

PCIe 1.0/2.0

电气一致性测试

用户手册

CN01A



深圳市鼎阳科技股份有限公司
SIGLENT TECHNOLOGIES CO., LTD.

目录

1	引言	4
2	测试项目和引用标准	5
2.1	测试项目	5
2.2	适用待测设备类型	7
2.3	引用标准	9
3	测试设备	10
3.1	鼎阳提供	10
3.2	FX-PCIE 装箱清单	10
3.3	功能模块介绍	12
3.3.1	系统板	12
3.3.2	插入式扩展板	13
3.3.3	测试点位	13
4	一致性测试软件	16
4.1	测试配置	16
4.2	结果查看	20
4.3	报告生成设置	21
5	PCIE 1.0/2.0 一致性测试	23
5.1	测试环境配置	23
5.1.1	发送端测试环境配置	23
5.1.2	接收端测试环境配置	24
5.1.3	CEM 终端卡测试环境配置	24
5.1.4	CEM 系统板测试环境配置	25
5.1.5	时钟测试环境配置	26
5.2	测试配置步骤	27
5.2.1	TX 测试配置流程	27
5.2.2	RX 测试配置流程	30
5.2.3	CEM 终端卡测试配置流程	33
5.2.4	CEM 系统板测试配置流程	35
5.2.5	参考时钟测试配置流程	38
5.3	测试项目说明	40
5.3.1	数据单位时间间隔	40

5.3.2	眼图宽度.....	41
5.3.3	抖动中位值与最大值之差.....	42
5.3.4	确定性抖动 (>1.5MHz)	42
5.3.5	低频随机抖动 RMS 值 (<1.5MHz)	43
5.3.6	随机抖动 RMS 值.....	43
5.3.7	确定性抖动最大值.....	44
5.3.8	总抖动值 (BER 1e-12)	44
5.3.9	眼图模板测试.....	44
5.3.10	差分电压峰峰值 (-3.5dB 去加重状态)	45
5.3.11	差分电压峰峰值 (-6dB 去加重状态)	46
5.3.12	去加重差分电压峰峰值 (-3.5dB 去加重状态)	46
5.3.13	去加重差分电压峰峰值 (-6dB 去加重状态)	47
5.3.14	去加重衰减比 (-3.5dB 去加重状态)	47
5.3.15	去加重衰减比 (-6dB 去加重状态)	47
5.3.16	差分电压峰峰值 (低幅值)	48
5.3.17	最小脉宽.....	48
5.3.18	上升沿时间.....	49
5.3.19	下降沿时间.....	49
5.3.20	共模交流电压 RMS 值.....	50
5.3.21	共模交流电压峰峰值.....	50
5.3.22	共模直流电压.....	50
5.3.23	共模直流电压电压变化量.....	51
5.3.24	D+, D- 间直流电压差	51
5.3.25	时钟上升沿压摆率.....	52
5.3.26	时钟下降沿压摆率.....	52
5.3.27	时钟差分电压高电平.....	52
5.3.28	时钟差分电压低电平.....	53
5.3.29	时钟占空比.....	53
5.3.30	时钟平均周期准确性.....	53
5.3.31	时钟平均周期准确性 (SSC)	54
5.3.32	时钟绝对周期.....	54
5.3.33	时钟周期-周期抖动	54
5.3.34	时钟相位抖动.....	55

5.3.35	时钟交叉点电压.....	55
5.3.36	时钟交叉点电压偏移.....	55
5.3.37	时钟单端最大绝对电压.....	56
5.3.38	时钟单端最小绝对电压.....	56
5.3.39	时钟上升沿-下降沿最大失配度.....	56
5.3.40	高频时钟抖动 RMS (>1.5MHz, Common Clk)	57
5.3.41	低频时钟抖动 RMS (<1.5MHz, Common Clk)	57
5.3.42	时钟 SSC 残余 (Common Clk)	57
5.3.43	时钟 SSC 最大相对偏移量 (Common Clk)	57
5.3.44	时钟 SSC 最大频率变化率 (Common Clk)	58
5.3.45	高频时钟抖动 RMS (>1.5MHz, Data Clk)	58
5.3.46	低频时钟抖动 RMS (<1.5MHz, Data Clk)	58
5.3.47	时钟 SSC 满调制深度 (Data Clk)	59
5.3.48	时钟 SSC 最大相对偏移量 (Data Clk)	59
5.3.49	时钟 SSC 最大频率变化率 (Data Clk)	59

1 引言

鼎阳科技目前可提供 PCIe 1.0/2.0 标准的电气一致性测试方案来验证 PCIe 接口的电气性能。PCIe 1.0/2.0 电气一致性测试所需设备包括高性能示波器、FX-PCIE 标准测试夹具、线缆及分析软件，本用户手册介绍 PCIe 1.0/2.0 电气一致性测试的测试夹具、测试方法和测试环境。

鼎阳科技推出的 PCIe 1.0/2.0 电气一致性分析方案，包括：

- 用户可以执行单项或多项测试；
- 向用户展示如何将示波器和被测设备（DUT：Device under test 的缩写）连接；
- 为每个测试项目自动设置示波器；
- 显示已执行测试的每个项目的详细信息和通过标准；
- 可创建 HTML、XML 或 PDF 测试报告。

2 测试项目和引用标准

2.1 测试项目

FX-PCIe 配合 SDS7000A/SDS8000A 的 PCIe 一致性测试功能支持以下 PCIe 电气一致性测试项目：

➤ 信号质量项目

数据单位时间间隔

眼宽

确定性抖动

随机抖动 RMS 值

确定性抖动最大值

总抖动值 (BER 1e-12)

抖动中位值与最大值之差

模板测试

差分电压峰峰值

去加重衰减比 (-3.5dB, -6dB)

去加重差分电压峰峰值 (-3.5dB, -6dB)

最小脉宽 (5GT/s)

上升沿时间

下降沿时间

➤ 共模电压项目

共模交流电压 RMS 值

共模直流电压

共模直流电压漂移

D+, D-间直流电压差

➤ 时钟测试

时钟上升沿压摆率

时钟下降沿压摆率

时钟差分电压高电平

时钟差分电压低电平

时钟占空比

时钟平均周期准确性

时钟绝对周期

时钟周期-周期抖动

时钟相位抖动

时钟交叉点电压

时钟交叉点电压偏移

时钟单端最大绝对电压

时钟单端最小绝对电压

时钟上升沿-下降沿最大失配度

公共时钟

高频时钟抖动 RMS ($>1.5\text{MHz}$)

低频时钟抖动 RMS ($<1.5\text{MHz}$)

时钟 SSC 残余 (@SSC Clock)

时钟 SSC 最大相对偏移量 (@SSC Clock)

时钟 SSC 最大频率变化率 (@SSC Clock)

数据时钟

高频时钟抖动 RMS ($>1.5\text{MHz}$)

低频时钟抖动 RMS ($<1.5\text{MHz}$)

时钟 SSC 满调制深度

时钟 SSC 最大相对偏移量

时钟 SSC 最大频率变化率

2.2 适用待测设备类型

PCIe 电气一致性测试中，不同的测试项目在不同版本、类型的待测设备下的适用性不同，具体见下表 2-1 各测试项适用的待测设备版本及类型。

表 2-1 各测试项适用的待测设备版本及类型

测试项目名称	适用待测设备版本及类型	
	PCIe 1.0	PCIe 2.0
数据单位时间间隔	发送端 接收端 CEM 终端卡 CEM 系统板	发送端 接收端 CEM 终端卡 CEM 系统板
眼宽	发送端 接收端 CEM 终端卡 CEM 系统板	发送端 接收端 CEM 终端卡 CEM 系统板
确定性抖动	不适用	发送端
随机抖动 RMS 值	不适用	发送端 接收端 CEM 终端卡 CEM 系统板
确定性抖动最大值	不适用	CEM 终端卡 CEM 系统板
总抖动值 (BER 1e-12)	不适用	发送端 接收端 CEM 终端卡 CEM 系统板
抖动中位值与最大值之差	发送端 接收端 CEM 终端卡 CEM 系统板	发送端 接收端 CEM 终端卡 CEM 系统板
模板测试	发送端 接收端 CEM 终端卡 CEM 系统板	发送端 接收端 CEM 终端卡 CEM 系统板
差分电压峰峰值	发送端 接收端 CEM 终端卡 CEM 系统板	发送端 接收端 CEM 终端卡 CEM 系统板
去加重衰减比	发送端	发送端
去加重差分电压峰峰值	发送端 接收端 CEM 终端卡 CEM 系统板	发送端 接收端 CEM 终端卡 CEM 系统板
最小脉宽 (5GT/s)	不适用	发送端
上升沿时间	发送端	发送端
下降沿时间	发送端	发送端
共模交流电压 RMS 值	发送端	发送端

共模直流电压	发送端	发送端
共模直流电压漂移	发送端	发送端
D+,D-间直流电压差	发送端	发送端
时钟上升沿压摆率	参考时钟	参考时钟
时钟下降沿压摆率	参考时钟	参考时钟
时钟差分电压高电平	参考时钟	参考时钟
时钟差分电压低电平	参考时钟	参考时钟
时钟占空比	参考时钟	参考时钟
时钟平均周期准确性	参考时钟	参考时钟
时钟绝对周期	参考时钟	参考时钟
时钟周期-周期抖动	参考时钟	参考时钟
时钟相位抖动	参考时钟	参考时钟
时钟交叉点电压	参考时钟	参考时钟
时钟交叉点电压偏移	参考时钟	参考时钟
时钟单端最大绝对电压	参考时钟	参考时钟
时钟单端最小绝对电压	参考时钟	参考时钟
时钟上升沿-下降沿最大失配度	参考时钟	参考时钟
高频时钟抖动 RMS (>1.5MHz)	不适用	参考时钟
低频时钟抖动 RMS (<1.5MHz)	不适用	参考时钟
时钟 SSC 残余	不适用	参考时钟
时钟 SSC 最大相对偏移量	不适用	参考时钟
时钟 SSC 最大频率变化率	不适用	参考时钟
时钟 SSC 满调制深度	不适用	参考时钟

2.3 引用标准

鼎阳推出的 PCIe 1.0/2.0 一致性测试方案，遵循《PCI Express Base Specification》以及《PCI Express Card Electromechanical Specification》。表 2-2 描述了不同类型测试项所参考的标准来源。

更多的标准信息请查询网站：<https://pcisig.com/specifications>

表 2-2 PCIe 1.0/2.0 测试参考标准

待测项目类型	参考标准
发送端测试项	Base Specification Revision 1.1, Table 4-5 Base Specification Revision 2.1, Table 4-9
接收端测试项	Base Specification Revision 1.1, Table 4-6 Base Specification Revision 2.1, Table 4-12
终端卡测试项	CEM Specification Revision 1.1, Table 4-7 CEM Specification Revision 2.1, Table 4-7, 4-8, 4-9, 4-10, 4-11
系统板测试项	CEM Specification Revision 1.1, Table 4-9 CEM Specification Revision 2.1, Table 4-14, 4-15, 4-16
参考时钟测试项	CEM Specification Revision 1.1, Table 2-1 CEM Specification Revision 2.1, Table 2-1, 2-2 Base Specification Revision 2.1, Table 4-16, 4-18

3 测试设备

完整的 PCIe 一致性测试需要用到以下的设备。

3.1 鼎阳提供

- 示波器 (SDS7000A/SDS8000A)：带宽>4GHz，开启了 PCIe 一致性选件 (SDS7000A-CT-PCIE/SDS8000A-CT-PCIE)，作为 PCIe 电气一致性分析工具。
- 夹具 (FX-PCIE)：PCIe 电气一致性测试夹具，引导被测设备 (DUT) 进入相关测试状态，并提供测试点。
- 2.92mm-SMP 线缆：用于信号测试。
- SMP-SMP 线缆：用于切换不同测试配置。
- BNC-SMA 转接头：配合 BNC 接口示波器使用。
- SMP 负载：用于端接未使用的信号 Lane。
- SMP 拔出工具：用于辅助 SMP 接口拔插。
- ATX 电源：为测试夹具提供电源。
- USB Type A-Type C 线缆：连接计算机与测试夹具，用于测试配置自动化切换。

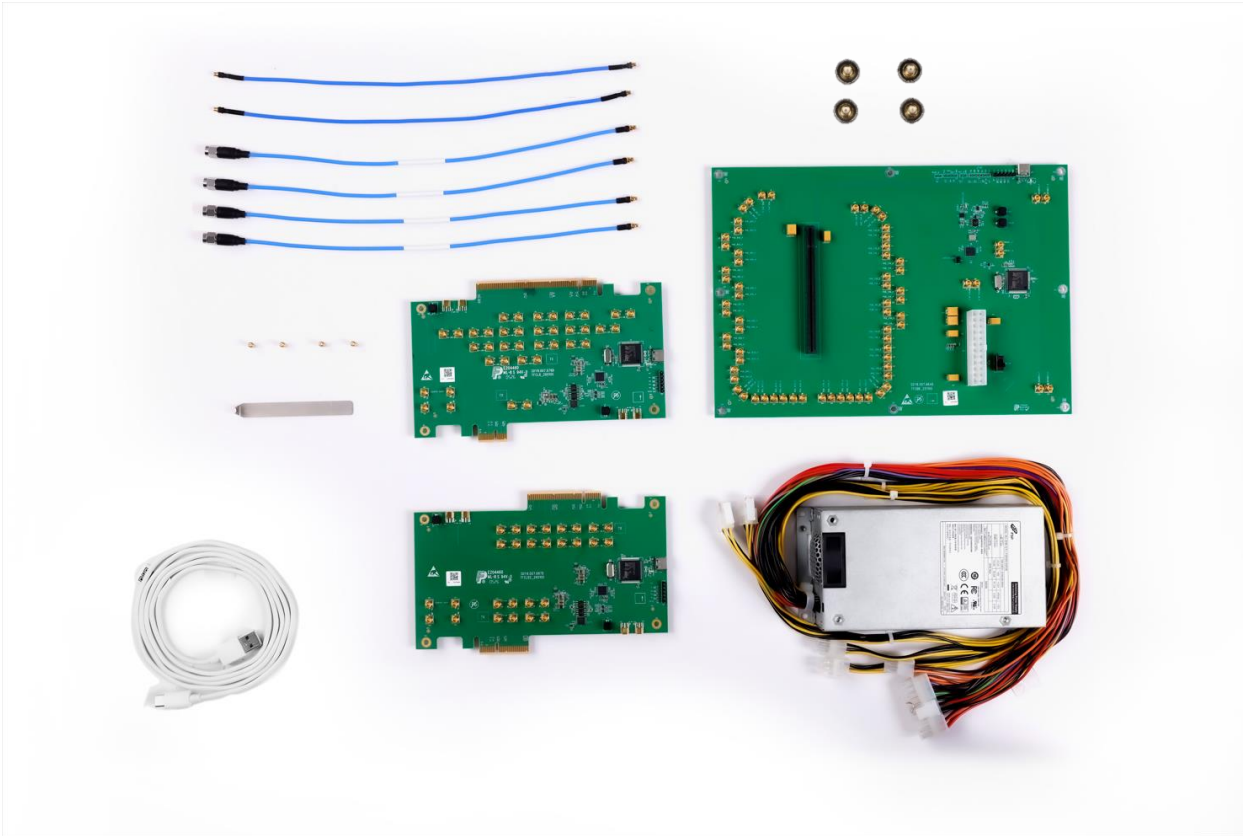
3.2 FX-PCIE 装箱清单

FX-PCIE 是配合 SDS7000A 或 SDS8000A 的 PCIe 一致性测试功能而推出的测试夹具套件，该测试夹具套件总共包含三块不同的测试夹具板，测试夹具板作为实现一致性测试功能的核心组成部件，其多样化的型号设计具备高度的兼容性与场景适配性，可灵活满足差异化测试需求。

FX-PCIE 的装箱清单如表 3-1 所示，装箱清单上列明的物品都已经交付，为确保您的权益，请您在签收后 48 小时内核对箱内物品与清单是否一致。如发现物品缺失、遗漏或损坏，请及时联系鼎阳客户服务中心或全国经销商，我们将第一时间为您处理。如未在时效内反馈遗漏、损坏情况，鼎阳科技后续将无法再次受理您的售后需求，敬请谅解。

表 3-1 装箱清单

物品名称	数量
用户手册	1
系统板（TFCBB）	1
AIC 板（TFCLB）	2
2.92mm-SMP 线缆（长度：300mm）	4
SMP-SMP 线缆（长度：300mm）	2
BNC-SMA 转接头	4
50Ω 终端（SMP）	4
SMP 接口拔出工具	1
USB Type-A 转 Type-C 线缆（长度：1.5 米）	1
ATX 电源	1



3.3 功能模块介绍

FX-PCIE 夹具套件由三个独立功能单板构成, 分别为系统板 (TFCBB)、插卡式扩展板 A (TFCLB1)、插卡式扩展板 B (TFCLB2)。其中 TFCLB1 配置有 X1/X16 规格 PCIe 接口, TFCLB2 配置有 X4/X8 规格 PCIe 接口, 二者通过差异化接口配置分别适配不同场景的测试需求。

3.3.1 系统板

系统板夹具如图 3-1 所示, 系统板夹具上各个模块介绍如下:

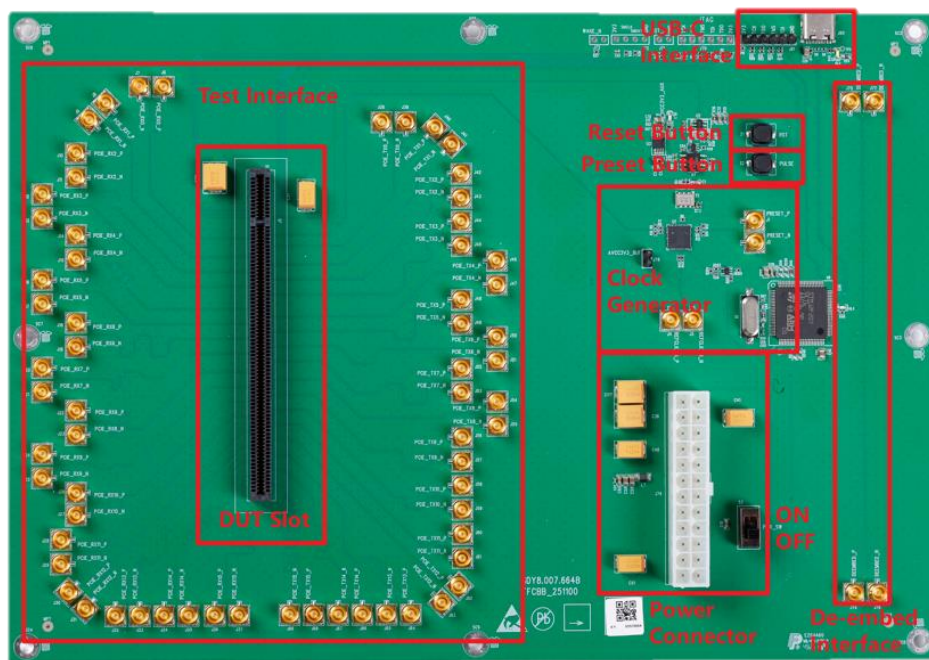
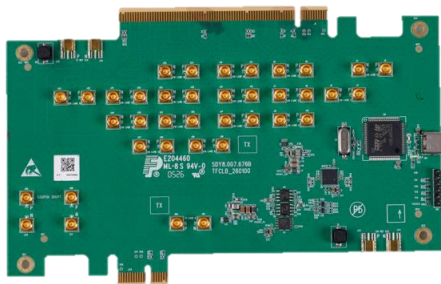


图 3-1 系统板

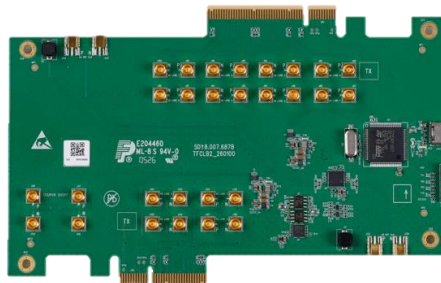
- DUT Slot: 被测设备的插槽, 用于接入待测设备。
- Test Interface: SMP 接口, 用于引出被测设备的 PCIe Lane。
- Power Connector: 整个夹具的供电端口, 使用 ATX 20Pin 标准主板电源接口。
- Reset Button: 用于复位 Compliance Pattern 模式。
- Preset Button: 提供持续 1ms 的 100MHz 时钟, 用于 Compliance Pattern 模式切换。
- Clock Generator: 为 DUT 提供时钟, 可选通板载时钟或外部输入时钟。
- USB-C Interface: 提供上位机控制, 用于 Compliance Pattern 模式切换。
- De-embed Interface: 固定长度走线(系统板为 5.2 inches, AIC 板为 1 inch), 用于去嵌。

3.3.2 插入式扩展板

插入式扩展板共有两块，TFCLB1 夹具板如图 3-2 (a) 所示，TFCLB2 夹具板如图 3-2 (b) 所示，分别对应 PCIe 不同 lane 规格的测试需求。



a) X1/X16



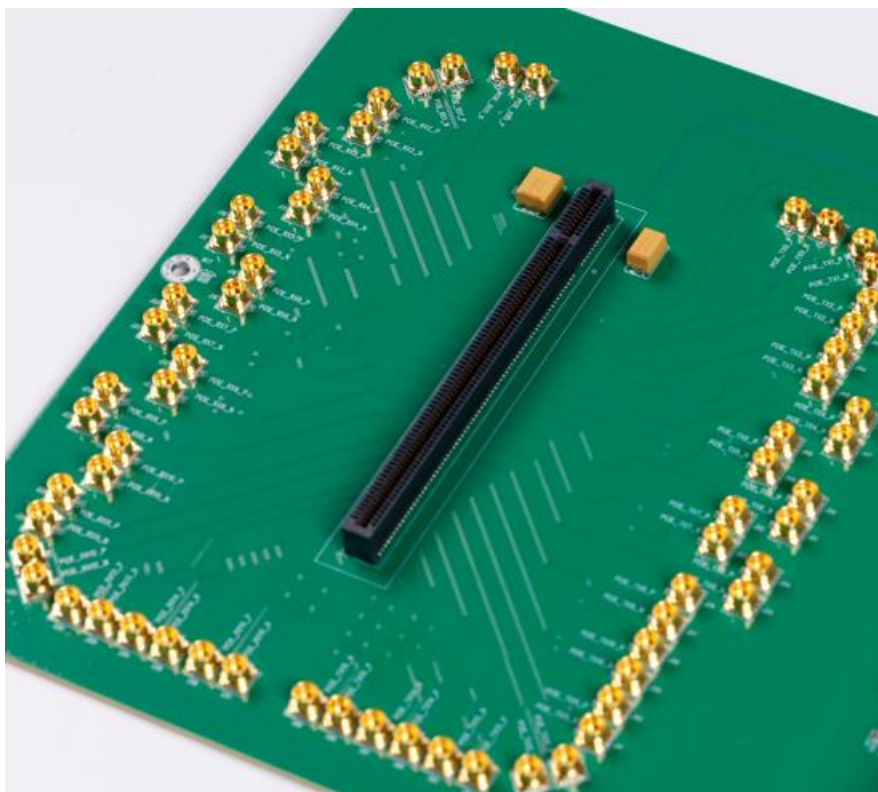
(b) X4/X8

图 3-2 插入式扩展卡

3.3.3 测试点位

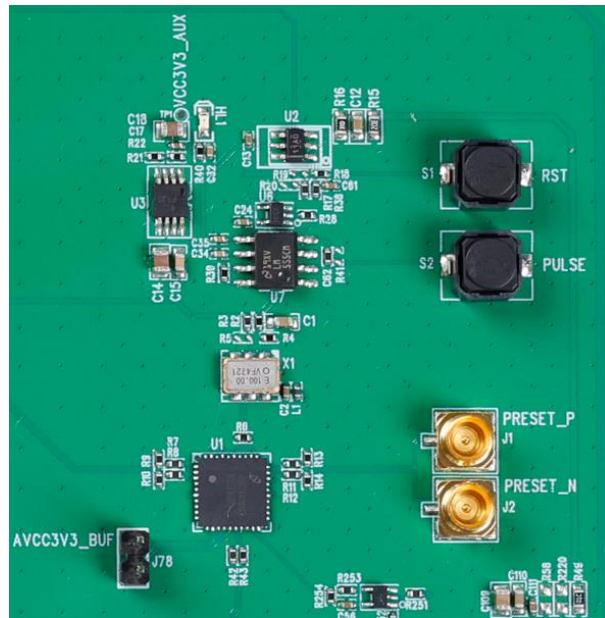
在夹具的各个模块中，都有提供对应的测试点位，接下来介绍各个测试点位的作用。

- SMP 接口：系统板上的 SMP 接口与 PCIe 卡槽相连，AIC 板上的 SMP 接口与金手指相连，通过 2.92mm-SMP 线缆与示波器相连，完成对应测试。



➤ Compliance Pattern 模式切换：

对于系统板，使用 SMP-SMP 线缆连接 PRESET 与 RX Lane（连接的 RX Lane 需要和测试的 TX Lane 对应），当按下板上 PULSE 按钮时，即可进行 Compliance Pattern 的切换；当按下板上 RST 按钮时，即可对 Compliance Pattern 进行复位。

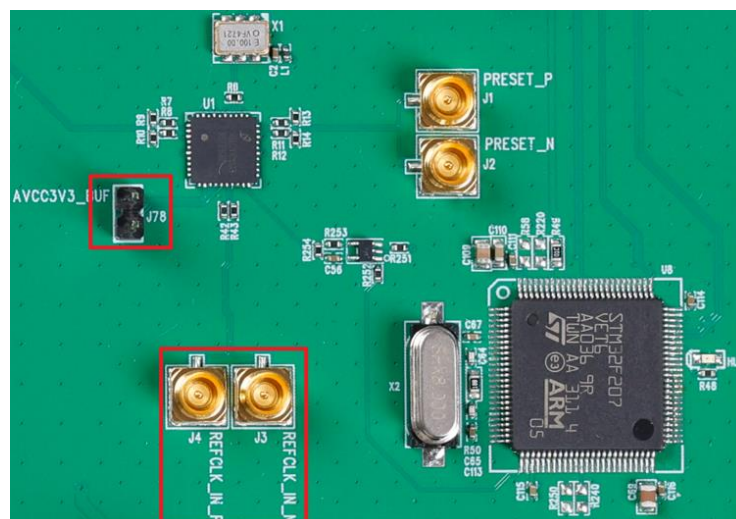


对于 AIC 板，连接方式和操作步骤与系统板一致。需注意，AIC 板无复位按钮，且 AIC 板的切换按钮放置在金手指对侧，即当插入金手指为 X16 时，对应的 Compliance Pattern 切换按钮放置在金手指另一边，方便接线操作。

➤ 时钟选通：

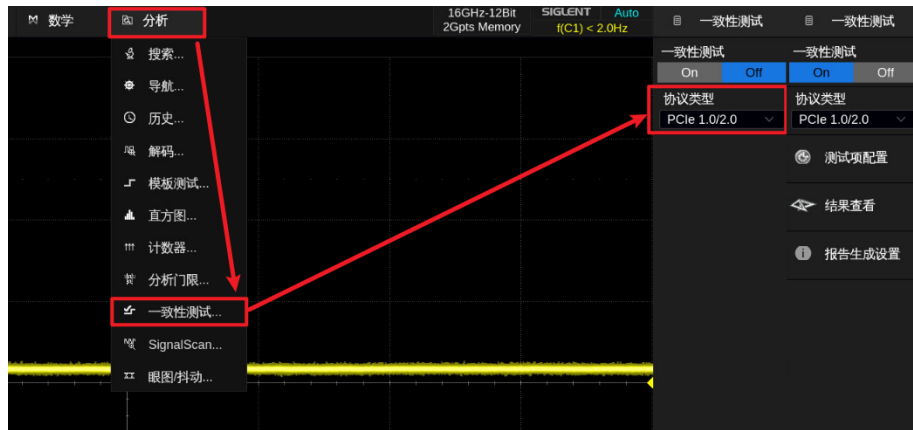
系统板 J78 提供时钟选通，可使用随箱附带的开口短路帽进行短接，实现对时钟源的选通。当未插有开口短路帽时，时钟源选择为外部时钟输入，需要使用外部设备通过 J3、J4 提供工作时钟；当插有开口短路帽时，时钟源选择为板载 100MHz 时钟，J3、J4 悬空即可。

仅系统板需要从板上或外部提供时钟，AIC 板时钟由 DUT 提供。



4 一致性测试软件

SDS7000A/SDS8000A 提供 PCIe 一致性测试功能，按照 分析 > 一致性测试 > 协议类型选择 PCIe1.0/2.0 > 点击 ON，即可打开一致性测试功能；其分为三大部分：测试项配置、结果查看、报告生成设置。

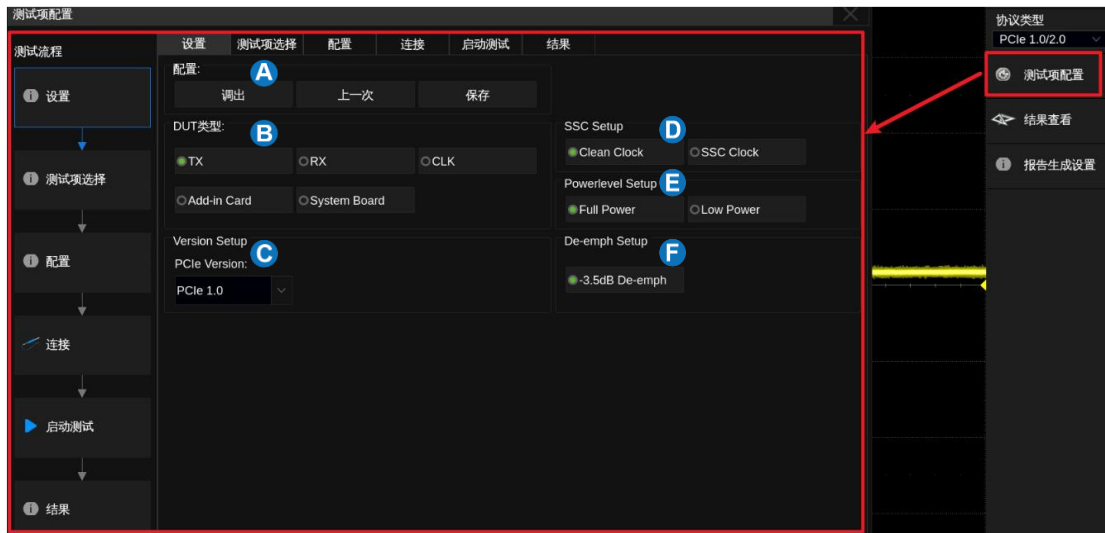


4.1 测试配置

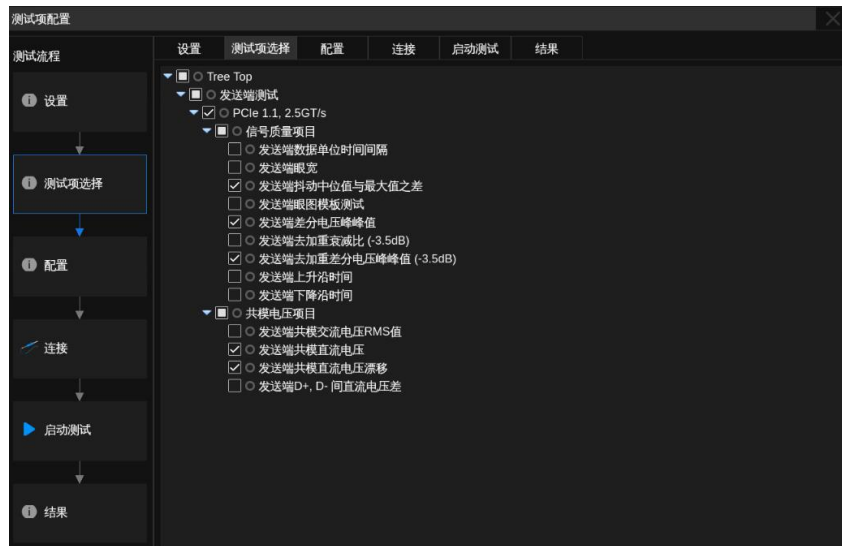
点击测试项配置会弹出具体的测试窗口，如下图所示，根据测试流程分为：设置、测试项选择、配置、连接、启动测试、结果六个步骤。

➤ 设置

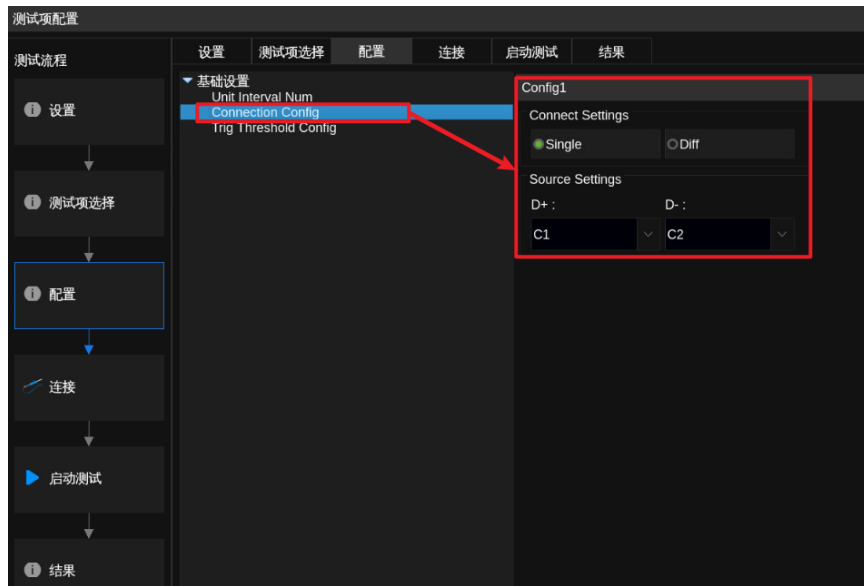
- 提供配置的“调出”、“上一次”、“保存”三个功能。
- 在“DUT 类型”中选择待测设备的类型。
- 在“Version Setup”中选择 PCIe 的速率。
- 在“SSC Setup”中选择时钟类型。
- 在“Power level Setup”中选择功率配置。
- 在“De-emph Setup”中选择去加重类型。



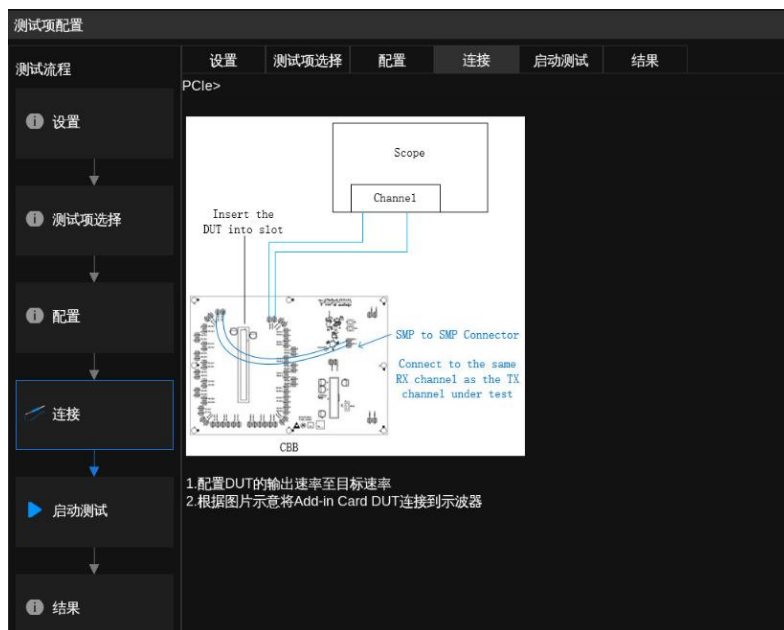
- 测试项选择：在本栏目中选择需要测试的项目。



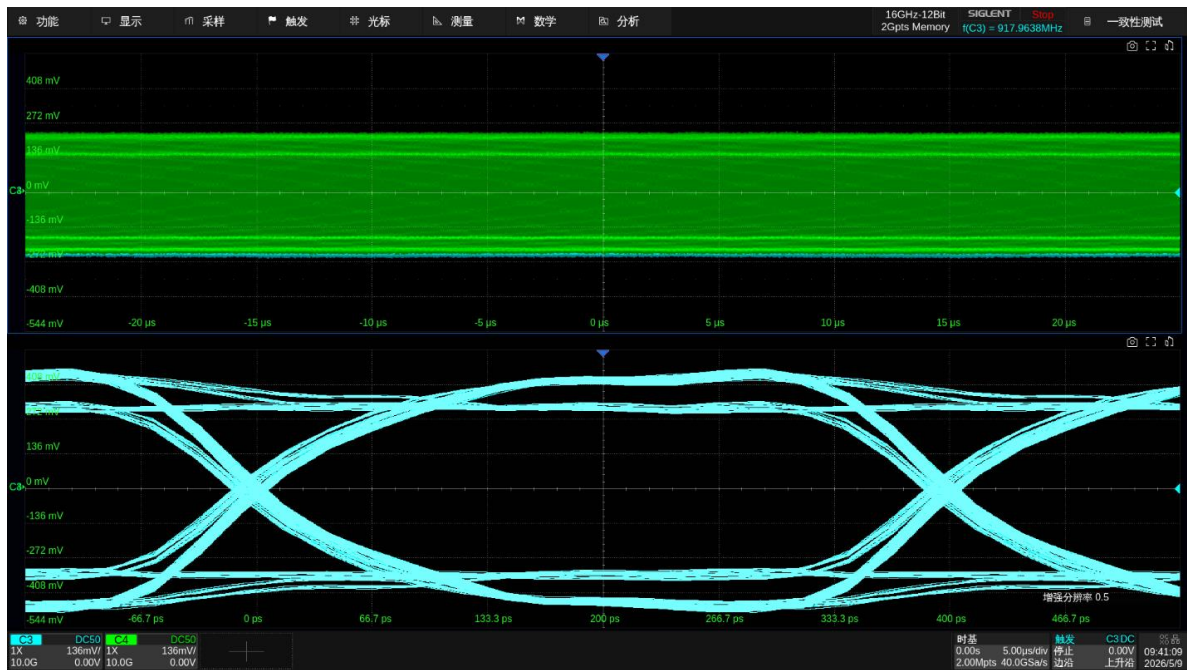
- 配置：前面选择的测试项目在本栏目会高亮提示，点击即可对相应的测试项进行配置，设置好示波器测量的信道。



- 连接：本栏目显示测试接线图与测试步骤，若一次性选择了多个测试项目，只会显示第一个待测项的信息，其他测试项接线图会在上一个测试项结束后有单独的页面弹窗提示。



- 启动测试
 - A、测试失败时，支持“继续”和“中止”两种选择
 - B、对于本轮测试的结果，提供测试结果的保存形式
- 点击右下角的启动测试即可开始本轮测试。



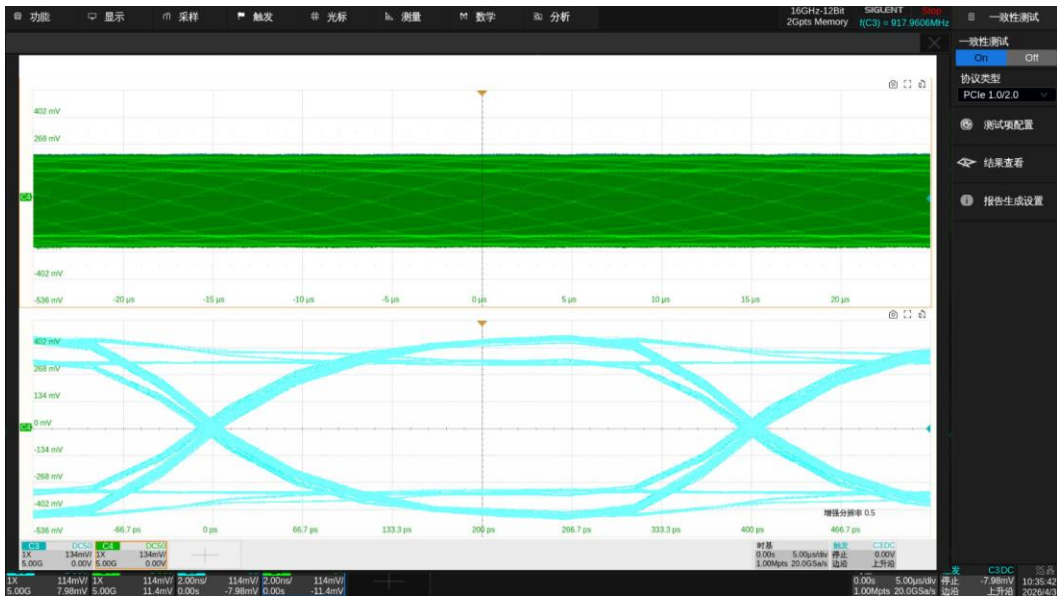
在接下来的测试过程中，按照弹窗提示完成测试即可，测试项全部完成后会弹出测试结果。

4.2 结果查看

点击“结果查看”，查看对应的测试结果。

上半部分是测试项目，提供各个项目的测试结果，官方要求的门限值参考。

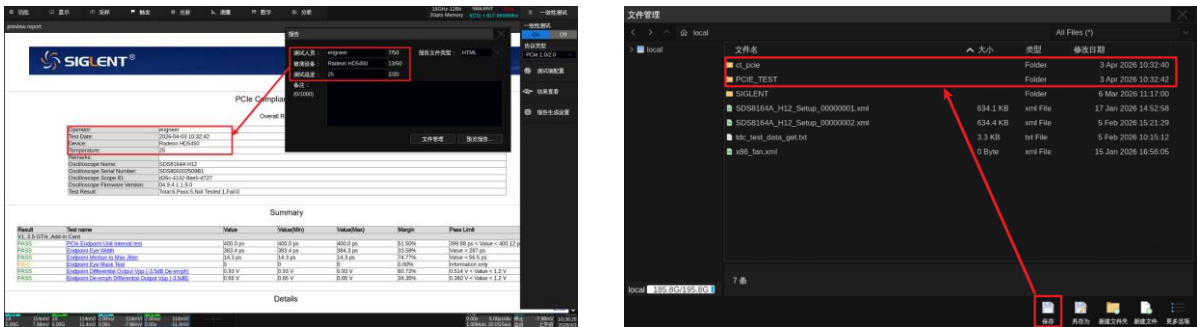
下半部分是对应的细节图，在上半部分点击感兴趣的项目，下半部分即可显示对应的细节，点击图片可以查看图片细节。



4.3 报告生成设置

点击“报告生成设置”，填入有关的测试信息，选择报告类型；“预览报告”可以提前查看生成报告的效果；“文件管理”中选择保存的路径，点击“保存”即可保存测试结果。

注意：保存成 HTML 格式时，会生成一个文件夹，HTML 文件及相关测试截图均在文件夹内，如需拷贝，需要把两者都拷走，并保持两者在同一路径下。



测试报告包括所有测试结果的摘要表，其中具有到详细信息页面的超链接，详细信息页面包括一个相关测试的屏幕截图。



PCIe Compliance Test Report

Overall Result: Pass

Operator:	engineer
Test Date:	2026-04-03 10:32:42
Device:	Radeon HD5450
Temperature:	25
Remarks:	
Oscilloscope Name:	SDS8164A H12
Oscilloscope Serial Number:	SDS800202509B1
Oscilloscope Scope ID:	d26c-4142-8ae5-d727
Oscilloscope Firmware Version:	04.9.4.1.1.9.0
Test Result:	Total:6,Pass:5,Not Tested:1,Fail:0

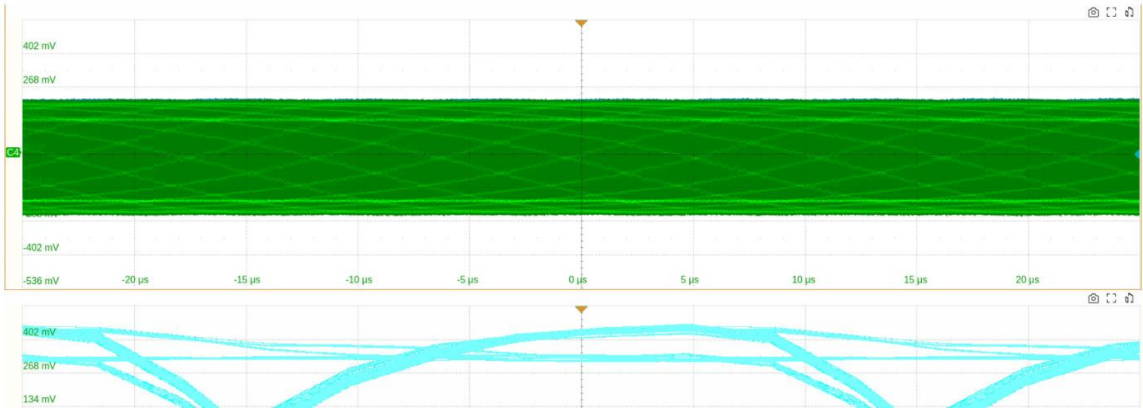
Summary

Result	Test name	Value	Value(Min)	Value(Max)	Margin	Pass Limit
V1_2.5 GT/s, Add-In Card						
PASS	PCIe Endpoint Unit Interval test	400.0 ps	400.0 ps	400.0 ps	51.50%	399.88 ps < Value < 400.12 ps
PASS	Endpoint Eye Width	383.4 ps	383.4 ps	384.3 ps	33.58%	Value > 287 ps
PASS	Endpoint Median to Max Jitter	14.3 ps	14.3 ps	14.3 ps	74.77%	Value < 56.5 ps
INFO	Endpoint Eye Mask Test	0	0	0	0.00%	Information only
PASS	Endpoint Differential Output Vpp (-3.5dB De-emph)	0.93 V	0.93 V	0.93 V	60.72%	0.514 V < Value < 1.2 V
PASS	Endpoint De-emph Differential Output Vpp (-3.5dB)	0.65 V	0.65 V	0.65 V	34.35%	0.360 V < Value < 1.2 V

Details

[\[Top\]](#)

PCIe Endpoint Unit Interval test	
Current	400.0 ps
Mean	400.004 ps
Min	400.0 ps
Max	400.0 ps
Pk-Pk	0.0 ps
Stdev	0.0 ps
Count	103
Pass Limit	399.88 ps < Value < 400.12 ps
Margin	51.50%
Result	PASS



5 PCIe 1.0/2.0 一致性测试

5.1 测试环境配置

针对不同的 PCIe 待测设备类型，测试环境可分为：在芯片封装 TX 引脚附近的 Breakout 端点进行测试，在芯片封装 RX 引脚附近的 Breakout 端点进行测试，使用 CBB 夹具进行 Add-in Card 测试，使用 CLB 夹具进行 System Board 测试，以及针对 REF CLK 的时钟信号测试。2.5GT/s, 5GT/s 两种速率的测试环境一致，仅设备输出的 Compliance Pattern 存在模式区别，在接下来的介绍中不做区分。

5.1.1 发送端测试环境配置

在直接对芯片 PCIe TX 输出信号进行测试时，需要针对特定待测芯片单独设计测试专用的 Breakout Point 布局，并且需要使用尽可能低误差的“准理想”时钟信号作为待测设备的参考时钟输入，避免引入额外的抖动干扰。

参考《PCI Express Base Specification》的测试环境建议，Breakout Point 需要尽可能贴近芯片封装的 TX 引脚，以最大限度避免来自走线的插入损耗影响，具体形式如图 5-1 所示。

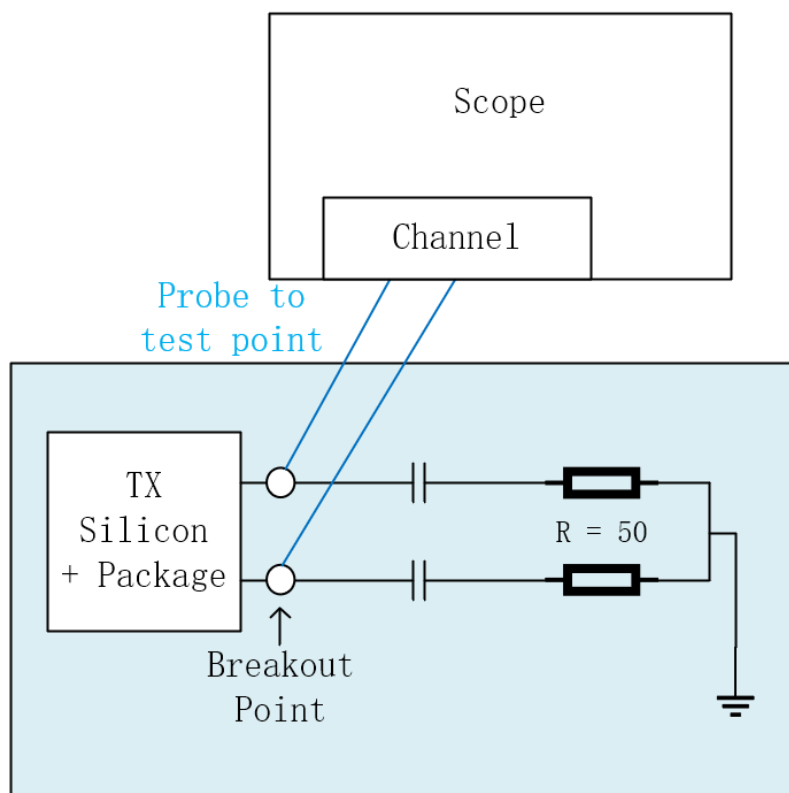


图 5-1 TX 测试连接关系与端点位置示例

进行 TX 测试时，可以使用高带宽有源单端探头或有源差分探头连接到对应的测试点，探头另一端连接到示波器的一个输入通道。当使用单个差分探头进行连接时，TX 测试中对应的 CM 测试项将不可用。

5.1.2 接收端测试环境配置

使用示波器进行 PCIe RX 测试时，并非直接针对芯片接收器进行测试，而是在尽可能接近芯片封装 RX 引脚端口的位置，测量端口附近的信号质量是否符合《PCI Express Base Specification》的规定。

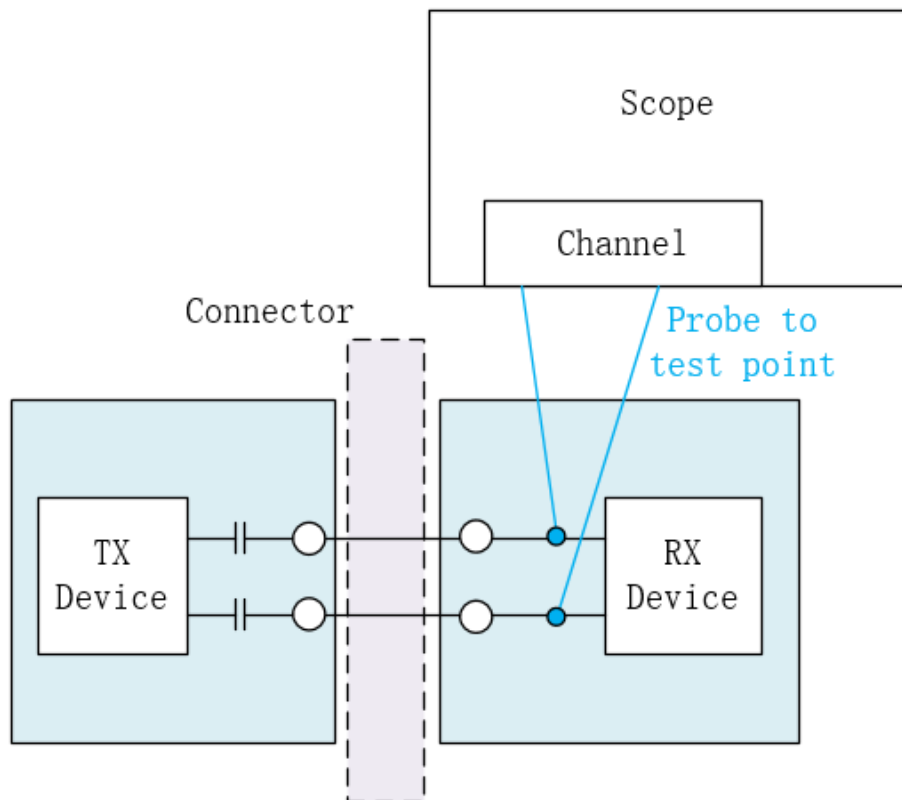


图 5-2 RX 测试连接关系与端点位置示例

5.1.3 CEM 终端卡测试环境配置

在对 CEM 终端卡，也即 Add-in Card PCIe 设备进行测试时，根据图示准备待测设备测试环境，准备 CBB 夹具，将终端卡接入 CBB 夹具，将时钟发生电路附近的 Preset 端口通过 SMP-SMP 线缆对连接至 RX 端口，连接的 RX 通道应当和待测的 TX 通道相对应。例如，当对 TX-Lane 0 进行测试时，应当将 Preset 端口连接至 RX-Lane 0 端口，从而正确进行 Preset 切换。

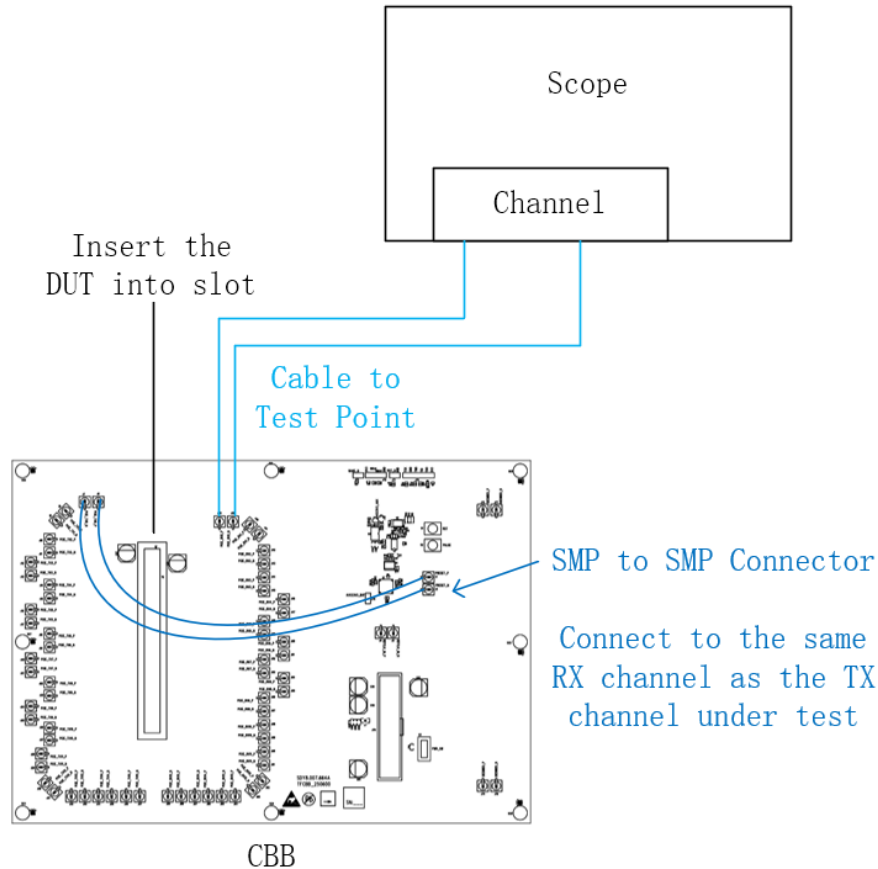


图 5-3 终端卡测试连接关系与端点位置示例

《PCI Express Base Specification》规定，设备会在初次上电启动/硬件 Reset 之后，主动检测 TX 通道端口的终端对地阻抗。如果 PCIe 设备在此阶段检测到了 TX 通道端口的对地阻抗为固定的 50Ω ，且未检测到可通信设备，就会将输出模式切换为 Polling.Compliance。对于 PCIe CEM Add-in Card 设备，使用 CBB 夹具并通过同轴线缆连接到示波器后，需要在 CBB 以及 DUT 上电之前，确保示波器的对应通道为 50Ω 状态。

5.1.4 CEM 系统板测试环境配置

在对 CEM 系统板，也即 System Board PCIe 设备进行测试时，根据图示准备待测设备测试环境，准备 CLB 夹具，将 CLB 夹具接入 DUT 插槽，将时钟发生电路附近的 Preset 端口通过 SMP-SMP 线缆对连接至 RX 端口，连接的 RX 通道应当和待测的 TX 通道相对应。例如，当对 TX-Lane0 进行测试时，应当将 Preset 端口连接至 RX-Lane 0 端口，从而正确进行 Preset 切换。

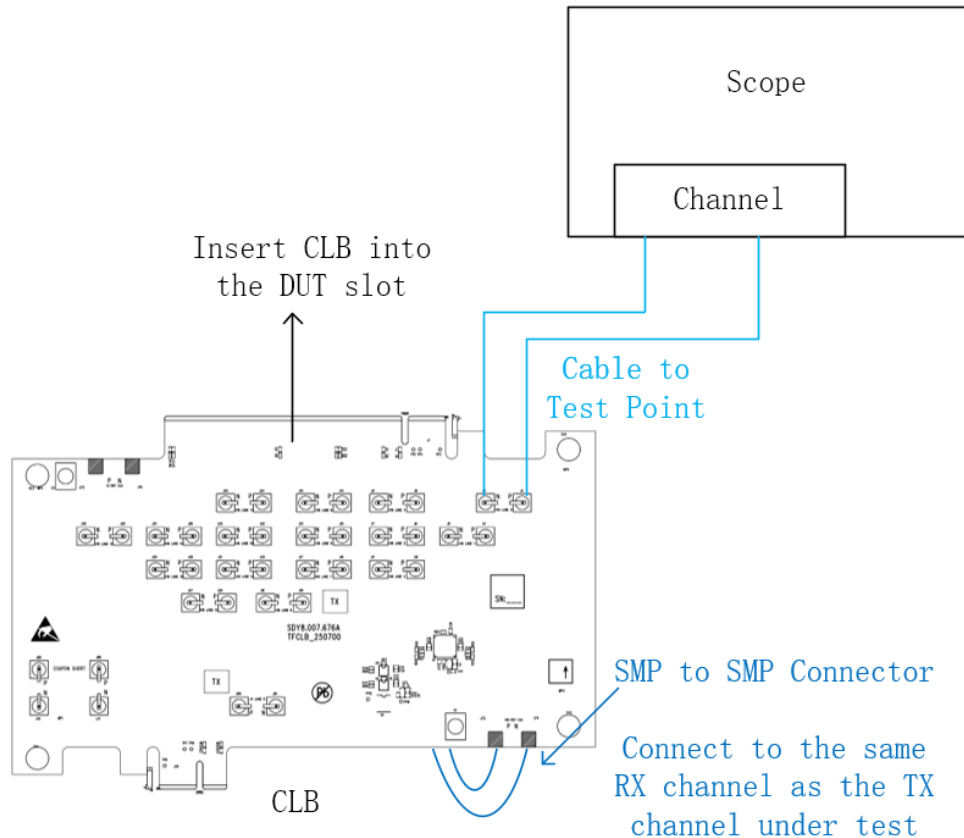


图 5-4 系统板测试连接关系与端点位置示例

《PCI Express Base Specification》规定，设备会在初次上电启动/硬件 Reset 之后，主动检测 TX 通道端口的终端对地阻抗。如果 PCIe 设备在此阶段检测到了 TX 通道端口的对地阻抗为固定的 50Ω ，且未检测到可通信设备，就会将输出模式切换为 Polling.Compliance。对于 PCIe CEM Add-in Card 设备，使用 CLB 夹具并通过同轴线缆连接到示波器后，需要在 DUT 上电之前，确保示波器的对应通道为 50Ω 状态。

5.1.5 时钟测试环境配置

对于一般 PCIe 设备而言，终端卡与系统板之间的参考时钟通常采取由系统板向终端卡提供 100MHz 参考时钟的同步时钟结构。鼎阳提供的 CLB 夹具可用于进行系统板的参考时钟测试。

在对系统板的参考时钟进行测试时，根据图示准备待测设备测试环境，准备 CLB 夹具，将 CLB 夹具接入 DUT 插槽，将 CLB 夹具引出的 CLK 测试端点连接至示波器对应通道，上电后观察待测系统板是否正确向 CLB 输出参考时钟信号。

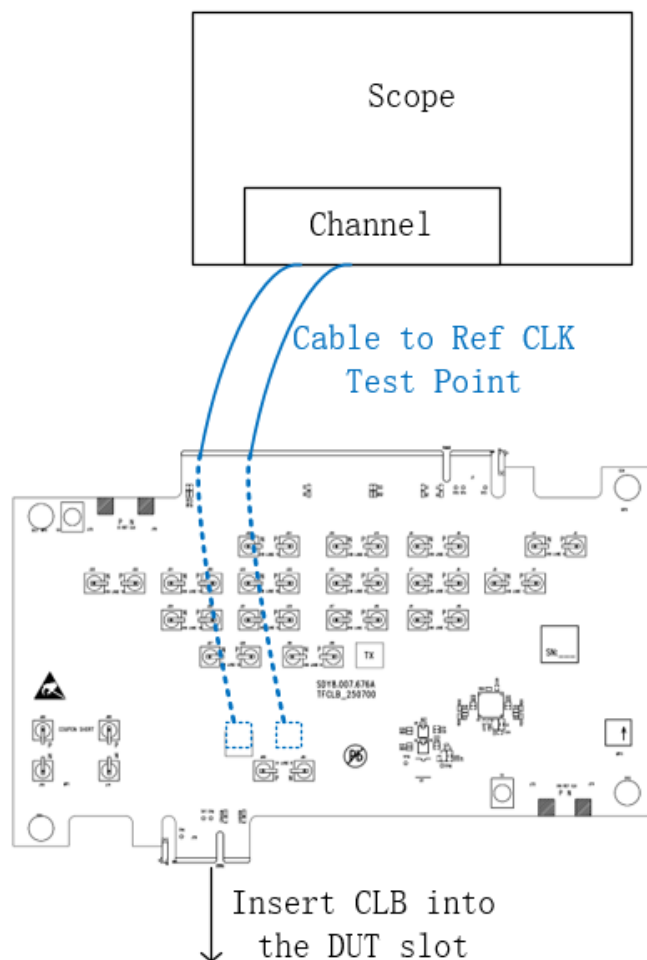


图 5-5 使用 CLB 进行参考时钟测试时的连接关系与端点位置示例

5.2 测试配置步骤

5.2.1 TX 测试配置流程

进行 PCIe TX 相关测试时，请根据测试需求，正确配置 SDS7000A/SDS8000A 一致性测试软件。

1. 在示波器菜单中的“分析”选择“一致性测试”功能，协议选择“PCIe 1.0/2.0”。通过 on/off 按钮启动一致性测试功能，随后点击“测试项配置”即可弹出配置窗口。
2. “设置”栏目下进行以下配置
 - a) “DUT 类型”选项中选择 DUT 类型为“TX”
 - b) “版本选择”选项中选择待测设备的 PCIe 版本号
 - c) “SSC Setup”选项中，根据 DUT 的时钟类型选择“Clean Clock”或“SSC Clock”
 - d) “Power lever”选项中，根据 DUT 的功耗类型选择“Full Power”或“Low Power”

- e) “De-emph Setup”选项中，根据希望测试的去加重配置，选择相应的去加重比例。
- 3. “测试项选择”栏目中，选中所希望进行的所有测试项
- 4. “配置”栏目中，选择测试过程中涉及的具体参数
 - a) “Unit Interval Num” 选项用于配置待测波形的中参与计算/统计的数据量/波形宽度
 - b) “Connection Config” 选项用于配置待测设备与示波器的连接方式
 - c) “Trig Threshold Config” 选项用于配置待测波形的边沿触发电平
- 5. “连接”栏目中，根据图示检查 DUT 和示波器的连接关系。
 - a) 根据图示准备待测设备测试环境，在合适的位置引出 Breakout Point，并通过同轴线缆或高带宽探头连接至示波器。
 - b) *PCI Express Base Specification* 规定，设备会在初次上电启动/硬件 Reset 之后，主动检测 TX 通道端口的终端对地阻抗。如果 PCIe 设备在此阶段检测到了 TX 通道端口的对地阻抗为固定的 50Ω ，且未检测到可通信设备，就会将输出模式切换为 Polling.Compliance 因此，在对 DUT 进行上电启动前应当确保待测端口的对地阻抗为 50Ω
- 6. “启动测试”栏目中，点击右下角按钮启动测试
 - a) 在点击“启动测试”后，示波器会进行一轮自动配置，并且弹出链接提示图
 - b) 此时，可以将待测设备通电，观察示波器是否已经捕获到待测波形，若已经捕获到待测波形，则可以进行后续操作
 - c) 根据所需测试的波形速率，将 DUT 配置为目标 Preset 状态。
 - d) 点击连接提示页的“启动测试”按钮，正式开始待测波形的捕获与计算统计。

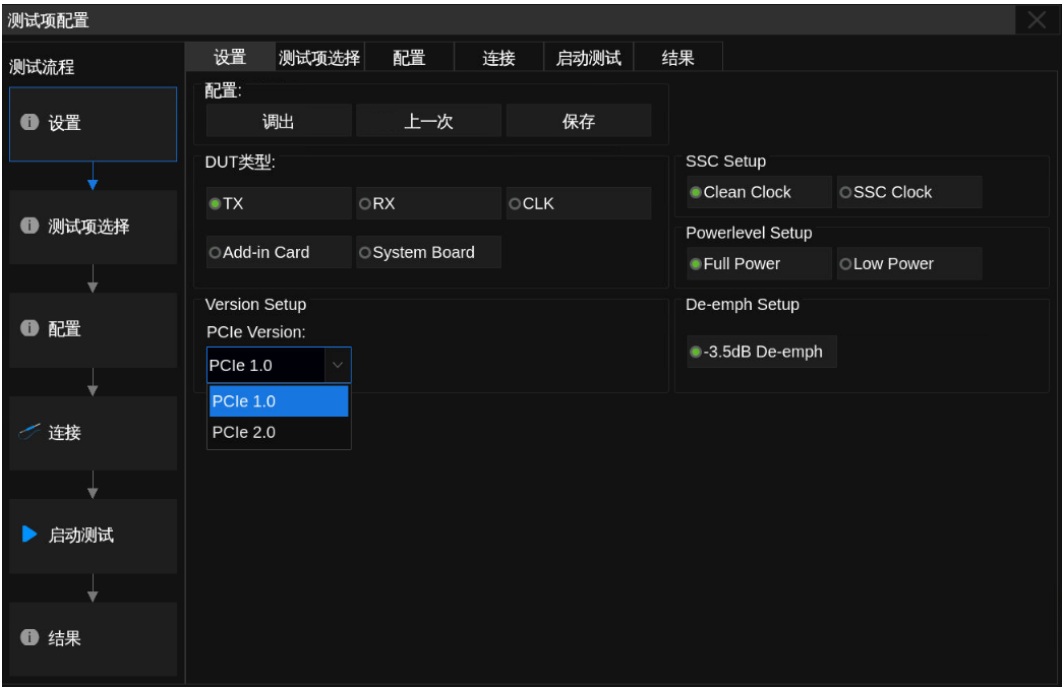


图 5-6 TX 测试 - 设置页面图示



图 5-7 TX 测试 - PCIe 1.0 可用测试项图示



图 5-8 TX 测试 - PCIe 2.0 可用测试项图示

5.2.2 RX 测试配置流程

进行 PCIe RX 相关测试时，请根据测试需求，正确配置 SDS7000A/SDS8000A 一致性测试软件。

1. 在示波器菜单中的“分析”选择“一致性测试”功能，协议选择“PCIe 1.0/2.0”。通过 on/off 按钮启动一致性测试功能，随后点击“测试项配置”即可弹出配置窗口。
2. “设置”栏目下进行以下配置
 - a) “DUT 类型”选项中选择 DUT 类型为“RX”
 - b) “版本选择”选项中选择发送端设备的 PCIe 版本号
 - c) “SSC Setup”选项中，根据发送端 DUT 的时钟类型选择“Clean Clock”或“SSC Clock”
3. “测试项选择”栏目中，选中所有希望进行的所有测试项
4. “配置”栏目中，选择测试过程中涉及的具体参数
 - a) “Unit Interval Num”选项用于配置待测波形的中参与计算/统计的数据量/波形宽度
 - b) “Connection Config”选项用于配置待测设备与示波器的连接方式
 - c) “Trig Threshold Config”选项用于配置待测波形的边沿触发电平
5. “连接”栏目中，根据图示检查 DUT 和示波器的连接关系。

- a) 根据图示准备待测设备测试环境，在尽可能接近芯片接收端的位置合理引出 Breakout Point，并通过高带宽探头连接至示波器。
 - b) *PCI Express Base Specification* 规定，设备会在初次上电启动/硬件 Reset 之后，主动检测 TX 通道端口的终端对地阻抗。如果 PCIe 设备在此阶段检测到了 TX 通道端口的对地阻抗为固定的 50Ω ，且未检测到可通信设备，就会将输出模式切换为 Polling.Compliance。因此，对于 PCIe RX 测试而言，用于引出 Polling.Compliance 状态的终端设备的端口特性等效为 50Ω 对地电阻，且 Breakout Point 不应当导致负载的对地阻抗偏离，因此，在对 DUT 进行上电启动前应当确保待测端口的对地阻抗为 50Ω
6. “启动测试”栏目中，点击右下角按钮启动测试
- a) 在点击“启动测试”后，示波器会进行一轮自动配置，并且弹出链接提示图
 - b) 此时，可以将待测设备通电，观察示波器是否已经捕获到待测波形，若已经捕获到待测波形，则可以进行后续操作
 - c) 根据所需测试的波形速率，将 DUT 配置为目标 Preset 状态。
 - d) 点击连接提示页的“启动测试”按钮，正式开始待测波形的捕获与计算统计。



图 5-9 RX 测试 - 设置页面图示



图 5-10 RX 测试 - PCIe 1.0 可用测试项图示



图 5-11 RX 测试 - PCIe 2.0 可用测试项图示

5.2.3 CEM 终端卡测试配置流程

进行 PCIe CEM Add-in Card 相关测试时，请根据测试需求，正确配置 SDS7000A/SDS8000A 一致性测试软件。

1. 在示波器菜单中的“分析”选择“一致性测试”功能，协议选择“PCIe 1.0/2.0”。通过 on/off 按钮启动一致性测试功能，随后点击“测试项配置”即可弹出配置窗口。
2. “设置”栏目下进行以下配置
 - a) “DUT 类型”选项中选择 DUT 类型为“Add-in Card”
 - b) “版本选择”选项中选择待测设备的 PCIe 版本号
 - c) “SSC Setup”选项中，根据 DUT 的时钟类型选择“Clean Clock”或“SSC Clock”
 - d) “Power lever”选项中，根据 DUT 的功耗类型选择“Full Power”或“Low Power”
 - e) “De-emph Setup”选项中，根据希望测试的去加重配置，选择相应的去加重比例。
3. “测试项选择”栏目中，选中所希望进行的所有测试项
4. “配置”栏目中，选择测试过程中涉及的具体参数
 - a) “Unit Interval Num”选项用于配置待测波形的中参与计算/统计的数据量/波形宽度
 - b) “Connection Config”选项用于配置待测设备与示波器的连接方式
 - c) “Trig Threshold Config”选项用于配置待测波形的边沿触发电平
5. “连接”栏目中，根据图示检查 DUT 和示波器的连接关系。
 - a) 根据图示准备待测设备测试环境，准备 CBB 夹具，将终端卡接入 CBB 夹具，将时钟发生电路附近的 Preset 端口通过 SMP-SMP 线缆对连接至 RX 端口，连接的 RX 通道应当和待测的 TX 通道相对应。例如，当对 TX-Lane 0 进行测试时，应当将 Preset 端口连接至 RX-Lane 0 端口，从而正确进行 Preset 切换。
 - b) *PCI Express Base Specification* 规定，设备会在初次上电启动/硬件 Reset 之后，主动检测 TX 通道端口的终端对地阻抗。如果 PCIe 设备在此阶段检测到了 TX 通道端口的对地阻抗为固定的 50Ω，且未检测到可通信设备，就会将输出模式切换为 Polling.Compliance。对于 PCIe CEM Add-in Card 设备，使用 CBB 夹具并通过同轴线缆连接到示波器后，需要在 CBB 以及 DUT 上电之前，确保示波器的对应通道为 50Ω 状态
6. “启动测试”栏目中，点击右下角按钮启动测试
 - a) 在点击“启动测试”后，示波器会进行一轮自动配置，并且弹出链接提示图
 - b) 此时，可以将待测设备通电，观察示波器是否已经捕获到待测波形，若已经捕获到待测波形，则可以进行后续操作

- c) 根据所需测试的波形速率，将 DUT 配置为目标 Preset 状态。
- d) 点击连接提示页的“启动测试”按钮，正式开始待测波形的捕获与计算统计。



图 5-12 CEM 终端卡测试 - 设置页面图示



图 5-13 CEM 终端卡测试 - PCIe 1.0 可用测试项图示



图 5-14 CEM 终端卡测试 - PCIe 2.0 可用测试项图示

5.2.4 CEM 系统板测试配置流程

进行 PCIe CEM System Board 相关测试时，请根据测试需求，正确配置 SDS7000A/SDS8000A 一致性测试软件。

1. 在示波器菜单中的“分析”选择“一致性测试”功能，协议选择“PCIe 1.0/2.0”。通过 on/off 按钮启动一致性测试功能，随后点击“测试项配置”即可弹出配置窗口。
2. “设置”栏目下进行以下配置
 - a) “DUT 类型”选项中选择 DUT 类型为“System Board”
 - b) “版本选择”选项中选择待测设备的 PCIe 版本号
 - c) “SSC Setup”选项中，根据 DUT 的时钟类型选择“Clean Clock”或“SSC Clock”
 - d) “Power lever”选项中，根据 DUT 的功耗类型选择“Full Power”或“Low Power”
 - e) “De-emph Setup”选项中，根据希望测试的去加重配置，选择相应的去加重比例。
3. “测试项选择”栏目中，选中所希望进行的所有测试项
4. “配置”栏目中，选择测试过程中涉及的具体参数
 - a) “Unit Interval Num”选项用于配置待测波形的中参与计算/统计的数据量/波形宽度
 - b) “Connection Config”选项用于配置待测设备与示波器的连接方式

- c) “Trig Threshold Config” 选项用于配置待测波形的边沿触发电平
5. “连接”栏目中，根据图示检查 DUT 和示波器的连接关系。
- a) 根据图示准备待测设备测试环境，准备 CLB 夹具，根据 DUT 的插槽通道数，选择合适的 x1/x4/x8/x16 的 CLB 接口，将 CLB 夹具接入 DUT 插槽。将时钟发生电路附近的 Preset 端口通过 SMP-SMP 线缆对连接至 RX 端口，连接的 RX 通道应当和待测的 TX 通道相对应。例如，当对 TX-Lane 0 进行测试时，应当将 Preset 端口连接至 RX-Lane 0 端口，从而正确进行 Preset 切换。
- b) *PCI Express Base Specification* 规定，设备会在初次上电启动/硬件 Reset 之后，主动检测 TX 通道端口的终端对地阻抗。如果 PCIe 设备在此阶段检测到了 TX 通道端口的对地阻抗为固定的 50Ω，且未检测到可通信设备，就会将输出模式切换为 Polling.Compliance。对于 PCIe CEM Add-in Card 设备，使用 CLB 夹具并通过同轴线缆连接到示波器后，需要在 DUT 上电之前，确保示波器的对应通道为 50Ω 状态
6. “启动测试”栏目中，点击右下角按钮启动测试
- a) 在点击“启动测试”后，示波器会进行一轮自动配置，并且弹出链接提示图
- b) 此时，可以将待测设备通电，观察示波器是否已经捕获到待测波形，若已经捕获到待测波形，则可以进行后续操作
- c) 根据所需测试的波形速率，将 DUT 配置为目标 Preset 状态。
- d) 点击连接提示页的“启动测试”按钮，正式开始待测波形的捕获与计算统计。

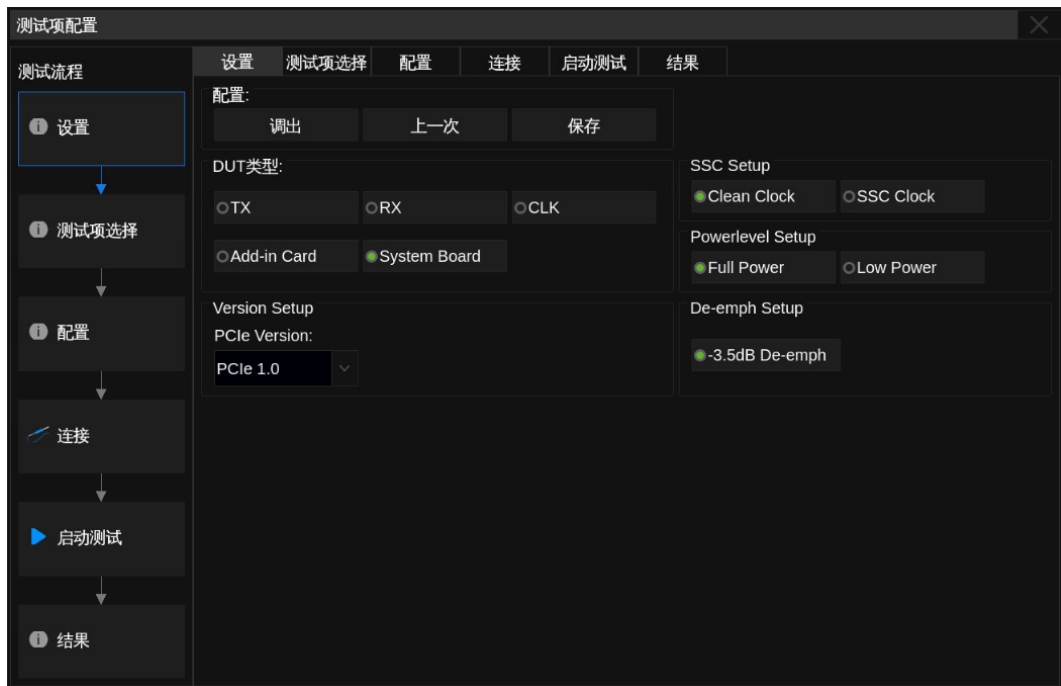


图 5-15 CEM 系统板测试 - 设置页面图示



图 5-16 CEM 系统板测试 - PCIe 1.0 可用测试项图示



图 5-17 CEM 系统板测试 - PCIe 2.0 可用测试项图示

5.2.5 参考时钟测试配置流程

进行 PCIe 参考相关测试时，请根据测试需求，正确配置 SDS7000A/SDS8000A 一致性测试软件。

1. 在示波器菜单中的“分析”选择“一致性测试”功能，协议选择“PCIe 1.0/2.0”。通过 on/off 按钮启动一致性测试功能，随后点击“测试项配置”即可弹出配置窗口。
2. “设置”栏目下进行以下配置
 - a) “DUT 类型”选项中选择 DUT 类型为“CLK”
 - b) “版本选择”选项中选择待测设备的 PCIe 版本号
 - c) “SSC Setup”选项中，根据 DUT 的时钟类型选择“Clean Clock”或“SSC Clock”
3. “测试项选择”栏目中，选中所希望进行的所有测试项
4. “配置”栏目中，选择测试过程中涉及的具体参数
 - a) “Connection Config”选项用于配置待测设备与示波器的连接方式
 - b) “Trig Threshold Config”选项用于配置待测波形的边沿触发电平
5. “连接”栏目中，根据图示检查 DUT 和示波器的连接关系。根据图示准备待测设备测试环境，准备 CLB 夹具，将 CLB 夹具接入待测 DUT，并将 CLB 夹具上，引出 REF CLK 信号的 SMP 端点通过 SMP-SMA 线缆连接至示波器。
6. “启动测试”栏目中，点击右下角按钮启动测试
 - a) 在点击“启动测试”后，示波器会进行一轮自动配置，并且弹出链接提示图
 - b) 此时，可以将待测设备通电，观察示波器是否已经捕获到待测波形，若已经捕获到待测波形，则可以进行后续操作
 - c) 点击连接提示页的“启动测试”按钮，正式开始待测波形的捕获与计算统计。



图 5-18 参考时钟测试 - 设置页面图示

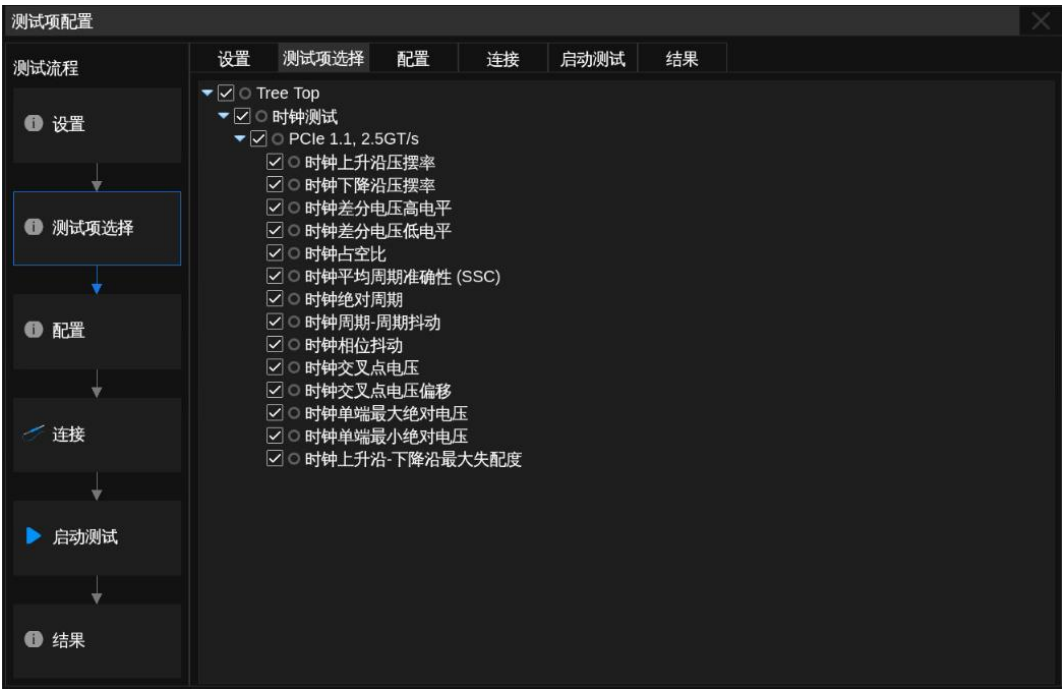


图 5-19 参考时钟测试 - PCIe 1.0 可用测试项图示



图 5-20 参考时钟测试 - PCIe 2.0 可用测试项图示

5.3 测试项目说明

5.3.1 数据单位时间间隔

5.3.1.1 测试内容

测试待测设备输出 Compliance Pattern 信号中的数据位的单位时间间隔。单位间隔是最基础的项目，是大量其它测试项目的时间基准。测试项需要保证 DUT 输出波形的时间间隔准确性。

当待测设备的参考时钟处于 SSC 配置模式时，SSC 调制会导致时钟频率的周期性变化，因此需要使用更宽的容差范围来评估单位间隔。

5.3.1.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	(Clean Clk) min: 399.88 ps, max: 400.12 ps (SSC) min: 399.88 ps, max: 402.12 ps
		RX	(Clean Clk) min: 399.88 ps, max: 400.12 ps (SSC) min: 399.88 ps, max: 402.12 ps
		Add-in Card	(Clean Clk) min: 399.88 ps, max: 400.12 ps (SSC) min: 399.88 ps, max: 402.12 ps

		System Board	(Clean Clk) min: 399.88 ps, max: 400.12 ps (SSC) min: 399.88 ps, max: 402.12 ps
PCle 2.0	2.5GT/s	TX	(Clean Clk) min: 399.88 ps, max: 400.12 ps (SSC) min: 399.88 ps, max: 402.12 ps
		RX	(Clean Clk) min: 399.88 ps, max: 400.12 ps (SSC) min: 399.88 ps, max: 402.12 ps
		Add-in Card	(Clean Clk) min: 399.88 ps, max: 400.12 ps (SSC) min: 399.88 ps, max: 402.12 ps
		System Board	(Clean Clk) min: 399.88 ps, max: 400.12 ps (SSC) min: 399.88 ps, max: 402.12 ps
PCle 2.0	5GT/s	TX	(Clean Clk) min: 199.94 ps, max: 200.06ps (SSC) min: 199.94 ps, max: 201.06ps
		RX	(Clean Clk) min: 199.94 ps, max: 200.06ps (SSC) min: 199.94 ps, max: 201.06ps
		Add-in Card	(Clean Clk) min: 199.94 ps, max: 200.06ps (SSC) min: 199.94 ps, max: 201.06ps
		System Board	(Clean Clk) min: 199.94 ps, max: 200.06ps (SSC) min: 199.94 ps, max: 201.06ps

5.3.2 眼图宽度

5.3.2.1 测试内容

测试待测设备输出 Compliance Pattern 信号的眼图宽度。眼宽是衡量信号时序裕量的重要指标，直接影响数据的正确采样。

5.3.2.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCle 1.0	2.5GT/s	TX	min: 0.75 UI
		RX	(Clean Clk) min: 0.4 UI (SSC) 不适用
		Add-in Card	min: 287 ps
		System Board	min: 246 ps
PCle 2.0	2.5GT/s	TX	min: 0.75 UI
		RX	(Clean Clk) min: 0.4 UI

			(SSC) 不适用
		Add-in Card	min: 287 ps
		System Board	min: 246 ps
PCIe 2.0	5GT/s	TX	min: 0.75 UI
		RX	不适用
		Add-in Card	min: 123 ps
		System Board	min: 246 ps

5.3.3 抖动中位值与最大值之差

5.3.3.1 测试内容

测试待测设备输出 Compliance Pattern 信号的抖动分布的中位值与最大偏差之间的差值。

5.3.3.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	max: 0.125 UI
		RX	(Clean Clk) max: 0.3 UI (SSC) 不适用
		Add-in Card	max: 56.5 ps
		System Board	max: 77 ps
PCIe 2.0	2.5GT/s	TX	max: 0.125 UI
		RX	(Clean Clk) max: 0.3 UI (SSC) 不适用
		Add-in Card	max: 56.5 ps
		System Board	max: 77 ps

5.3.4 确定性抖动 (>1.5MHz)

5.3.4.1 测试内容

测试待测设备输出 Compliance Pattern 信号中，频率大于 1.5MHz 的确定性抖动分量。确定性抖动包括周期抖动、占空比失真和码间干扰等可预测的抖动分量。此项仅适用于 TX 测试。

5.3.4.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	TX	max: 0.15 UI
		其它	不适用

5.3.5 低频随机抖动 RMS 值 (<1.5MHz)

5.3.5.1 测试内容

测试待测设备输出 Compliance Pattern 信号中, 频率小于 1.5MHz 的随机抖动 RMS 值。随机抖动是不可预测的高斯分布抖动, 主要由热噪声、散粒噪声等物理现象引起。此项仅适用于 TX 测试。

5.3.5.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	TX	max: 3.0 ps
		其它	不适用

5.3.6 随机抖动 RMS 值

5.3.6.1 测试内容

测试待测设备输出 Compliance Pattern 信号中的随机抖动 RMS 值。此项适用于 RX, Add-in Card, System Board 测试。

5.3.6.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	RX	仅信息提示
		Add-in Card	仅信息提示
		System Board	仅信息提示

5.3.7 确定性抖动最大值

5.3.7.1 测试内容

测试待测设备输出 Compliance Pattern 信号中的确定性抖动分量最大值。此项适用于 RX, Add-in Card, System Board 测试。

5.3.7.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	RX	max: 0.3 UI
		Add-in Card	max: 57 ps
		System Board	max: 57 ps

5.3.8 总抖动值 (BER 1e-12)

5.3.8.1 测试内容

测试待测设备输出 Compliance Pattern 信号中的总抖动值 (BER 1e-12)。此项适用于 RX, Add-in Card, System Board 测试。

5.3.8.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	RX	max: 0.4 UI
		Add-in Card	max: 77 ps
		System Board	max: 105 ps

5.3.9 眼图模板测试

5.3.9.1 测试内容

测试待测设备输出 Compliance Pattern 信号的眼图是否符合规范定义的眼图模板要求。测试结果以眼图模板显示为准，结果报告中不包含 Pass / Fail 信息。

5.3.9.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
------	------	--------	--------

PCIe 1.0	2.5GT/s	TX	仅信息提示
		RX	仅信息提示
		Add-in Card	仅信息提示
		System Board	仅信息提示
PCIe 2.0	2.5GT/s	TX	仅信息提示
		RX	仅信息提示
		Add-in Card	仅信息提示
		System Board	仅信息提示

5.3.10 差分电压峰峰值 (-3.5dB 去加重状态)

5.3.10.1 测试内容

测试待测设备输出 Compliance Pattern 信号的差分信号电压峰峰值。Compliance Pattern 信号应处在 -3.5dB 去加重模式的 Preset 状态。

5.3.10.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: 0.8 V, max: 1.2 V
		RX	(Clean Clk) min: 0.175 V, max: 1.2 V (SSC) 不适用
		Add-in Card	min: 0.514 V
		System Board	(Clean Clk) min: 0.274 V (SSC) 不适用
PCIe 2.0	2.5GT/s	TX	min: 0.8 V, max: 1.2 V
		RX	(Clean Clk) min: 0.175 V, max: 1.2 V (SSC) 不适用
		Add-in Card	min: 0.514 V, max: 1.2 V
		System Board	min: 0.274 V, max: 1.2 V
PCIe 2.0	5GT/s	TX	min: 0.8 V, max: 1.2 V
		RX	不适用
		Add-in Card	min: 0.38 V, max: 1.2 V
		System Board	min: 0.3 V, max: 1.2 V

5.3.11 差分电压峰峰值 (-6dB 去加重状态)

5.3.11.1 测试内容

测试待测设备输出 Compliance Pattern 信号的差分信号电压峰峰值。Compliance Pattern 信号应处在 -6dB 去加重模式的 Preset 状态。

5.3.11.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	TX	min: 0.8 V, max: 1.2 V
		RX	不适用
		Add-in Card	min: 0.306 V, max: 1.2 V
		System Board	min: 0.3 V, max: 1.2 V

5.3.12 去加重差分电压峰峰值 (-3.5dB 去加重状态)

5.3.12.1 测试内容

测试待测设备输出 Compliance Pattern 信号的差分信号的去加重部分电压峰峰值。Compliance Pattern 信号应处在 -3.5dB 去加重模式的 Preset 状态。

5.3.12.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: 0.504 V, max: 1.2 V
		RX	min: 0.504 V, max: 1.2 V
		Add-in Card	min: 0.360 V
		System Board	min: 0.253 V
PCIe 2.0	2.5GT/s	TX	min: 0.504 V, max: 1.2 V
		RX	min: 0.504 V, max: 1.2 V
		Add-in Card	min: 0.360 V, max: 1.2 V
		System Board	min: 0.253 V, max: 1.2 V
PCIe 2.0	5GT/s	TX	min: 0.504 V, max: 1.2 V
		RX	不适用
		Add-in Card	min: 0.38 V, max: 1.2 V
		System Board	min: 0.3 V, max: 1.2 V

5.3.13 去加重差分电压峰峰值（-6dB 去加重状态）

5.3.13.1 测试内容

测试待测设备输出 Compliance Pattern 信号的差分信号的去加重部分电压峰峰值。Compliance Pattern 信号应处在 -6dB 去加重模式的 Preset 状态。

5.3.13.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	TX	min: 0.504 V, max: 1.2 V
		RX	不适用
		Add-in Card	min: 0.26 V, max: 1.2 V
		System Board	min: 0.3 V, max: 1.2 V

5.3.14 去加重衰减比（-3.5dB 去加重状态）

5.3.14.1 测试内容

测试待测设备输出 Compliance Pattern 信号在-3.5dB 去加重配置下的去加重衰减比例。

5.3.14.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: -4.0 dB, max -3.0 dB
		其它	不适用
PCIe 2.0	2.5GT/s	TX	min: -4.0 dB, max -3.0 dB
		其它	不适用
PCIe 2.0	5GT/s	TX	min: -4.0 dB, max -3.0 dB
		其它	不适用

5.3.15 去加重衰减比（-6dB 去加重状态）

5.3.15.1 测试内容

测试待测设备输出 Compliance Pattern 信号在-6dB 去加重配置下的去加重衰减比例。

5.3.15.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	TX	min: -6.5 dB, max: -5.5 dB
		其它	不适用

5.3.16 差分电压峰峰值（低幅值）

5.3.16.1 测试内容

测试低功耗模式设备的发送端输出 Compliance Pattern 信号的差分信号电压峰峰值。

5.3.16.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: 0.4 V, max: 1.2 V
		其它	不适用
PCIe 2.0	2.5GT/s	TX	min: 0.4 V, max: 1.2 V
		其它	不适用
PCIe 2.0	5GT/s	TX	min: 0.4 V, max: 1.2 V
		其它	不适用

5.3.17 最小脉宽

5.3.17.1 测试内容

测试待测设备输出 Compliance Pattern 信号的最短脉冲宽度是否符合规范要求。最小脉宽测试对于确保信号完整性和避免码间干扰非常重要。

5.3.17.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	TX	min: 0.9 UI
		其它	不适用

5.3.18 上升沿时间

5.3.18.1 测试内容

测试待测设备输出 Compliance Pattern 信号从低电平上升到高电平的转换时间。PCIe 定义的上升沿时间的计算窗口为 20% ~ 80%。

5.3.18.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: 50 ps
		其它	不适用
PCIe 2.0	2.5GT/s	TX	min: 50 ps
		其它	不适用
PCIe 2.0	5GT/s	TX	min: 30 ps
		其它	不适用

5.3.19 下降沿时间

5.3.19.1 测试内容

测试待测设备输出 Compliance Pattern 信号从高电平下降到低电平的转换时间。PCIe 定义的下降沿时间的计算窗口为 80% ~ 20%。

5.3.19.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: 50 ps
		其它	不适用
PCIe 2.0	2.5GT/s	TX	min: 50 ps
		其它	不适用
PCIe 2.0	5GT/s	TX	min: 30 ps
		其它	不适用

5.3.20 共模交流电压 RMS 值

5.3.20.1 测试内容

测试待测设备输出 Compliance Pattern 信号的共模成分中的交流分量的均方根值。

5.3.20.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	max: 20 mV
		其它	不适用
PCIe 2.0	2.5GT/s	TX	max: 20 mV
		其它	不适用

5.3.21 共模交流电压峰峰值

5.3.21.1 测试内容

测试待测设备输出 Compliance Pattern 信号的共模成分中的交流分量的峰峰值。

5.3.21.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	TX	max: 100 mV
		其它	不适用

5.3.22 共模直流电压

5.3.22.1 测试内容

测试待测设备输出 Compliance Pattern 信号的共模成分中直流分量的电压值。

5.3.22.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: 0 V, max: 3.6 V
		其它	不适用
PCIe 2.0	2.5GT/s	TX	min: 0 V, max: 3.6 V

		其它	不适用
PCIe 2.0	5GT/s	TX	min: 0 V, max: 3.6 V
		其它	不适用

5.3.23 共模直流电压电压变化量

5.3.23.1 测试内容

测试待测设备输出 Compliance Pattern 信号的共模成分中直流分量的漂移变化范围。

5.3.23.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: 0 V, max: 100 mV
		其它	不适用
PCIe 2.0	2.5GT/s	TX	min: 0 V, max: 100 mV
		其它	不适用
PCIe 2.0	5GT/s	TX	min: 0 V, max: 100 mV
		其它	不适用

5.3.24 D+, D- 间直流电压差

5.3.24.1 测试内容

测试待测设备输出 Compliance Pattern 信号中, D+和 D- 信号之间的直流电压差。

5.3.24.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	TX	min: 0 V, max: 25 mV
		其它	不适用
PCIe 2.0	2.5GT/s	TX	min: 0 V, max: 25 mV
		其它	不适用
PCIe 2.0	5GT/s	TX	min: 0 V, max: 25 mV
		其它	不适用

5.3.25 时钟上升沿压摆率

5.3.25.1 测试内容

测量时钟信号上升沿的压摆率，评估时钟驱动器的能力和信号完整性。测试通过测量时钟信号从低电平到高电平的转换速率。

5.3.25.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: 0.6 V/ns, max: 4.0 V/ns
PCIe 2.0	2.5GT/s	CLK	min: 0.6 V/ns, max: 4.0 V/ns

5.3.26 时钟下降沿压摆率

5.3.26.1 测试内容

测量时钟信号下降沿的压摆率，评估时钟驱动器的对称性。确保上升沿和下降沿的压摆率匹配度符合规范要求。

5.3.26.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: 0.6 V/ns, max: 4.0 V/ns
PCIe 2.0	2.5GT/s	CLK	min: 0.6 V/ns, max: 4.0 V/ns

5.3.27 时钟差分电压高电平

5.3.27.1 测试内容

测量差分时钟信号的高电平电压（VIH_DIFF），确保接收端能够正确识别逻辑高电平。

5.3.27.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: 0.15 V
PCIe 2.0	2.5GT/s	CLK	min: 0.15 V

5.3.28 时钟差分电压低电平

5.3.28.1 测试内容

测量差分时钟信号的低电平电压 (VIL_DIFF)，确保接收端能够正确识别逻辑低电平。

5.3.28.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: -0.15 V
PCIe 2.0	2.5GT/s	CLK	min: -0.15 V

5.3.29 时钟占空比

5.3.29.1 测试内容

测量时钟信号的高电平时间占空比，确保在允许的范围内。测试计算一个时钟周期内高电平时间与整个周期的比值。

5.3.29.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: 40%, max: 60%
PCIe 2.0	2.5GT/s	CLK	min: 40%, max: 60%

5.3.30 时钟平均周期准确性

5.3.30.1 测试内容

测量时钟的平均周期准确性，评估时钟频率的稳定性。测试通过计算 3500 个连续单位间隔的样本数据作为时钟恢复窗口内单位间隔的平均值。

5.3.30.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: -300 ppm, max: 300 ppm
PCIe 2.0	2.5GT/s	CLK	min: -300 ppm, max: 300 ppm

5.3.31 时钟平均周期准确性 (SSC)

5.3.31.1 测试内容

测量在扩频时钟 (SSC) 调制下的时钟平均周期准确性。测试方法与平均周期测试相同，但允许 SSC 调制引起的频率偏差。

5.3.31.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: -300 ppm, max: 2800 ppm
PCIe 2.0	2.5GT/s	CLK	min: -300 ppm, max: 2800 ppm

5.3.32 时钟绝对周期

5.3.32.1 测试内容

测量时钟的周期绝对值。

5.3.32.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: 9.847 ns, max: 10.203 ns
PCIe 2.0	2.5GT/s	CLK	min: 9.847 ns, max: 10.203 ns

5.3.33 时钟周期-周期抖动

5.3.33.1 测试内容

测量相邻时钟周期之间的时间差变化，评估短期抖动性能。

5.3.33.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	max: 150 ps
PCIe 2.0	2.5GT/s	CLK	max: 150 ps

5.3.34 时钟相位抖动

5.3.34.1 测试内容

测量参考时钟的相位抖动，通常以 RMS 值表示。测试通过频域分析测量相位噪声。

5.3.34.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	max: 86 ps
PCIe 2.0	2.5GT/s	CLK	max: 86 ps

5.3.35 时钟交叉点电压

5.3.35.1 测试内容

测量时钟信号的交叉点电压 (V_{cross})，即差分信号过零点的电压值。

5.3.35.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: 0.25 V, max: 0.55 V
PCIe 2.0	2.5GT/s	CLK	min: 0.25 V, max: 0.55 V

5.3.36 时钟交叉点电压偏移

5.3.36.1 测试内容

测量交叉点电压随时间的变化量，评估抖动对交叉点的影响。

5.3.36.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	max: 0.14 V
PCIe 2.0	2.5GT/s	CLK	max: 0.14 V

5.3.37 时钟单端最大绝对电压

5.3.37.1 测试内容

测量时钟信号单端的最大绝对电压，确保不超过器件的绝对最大额定值。

5.3.37.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	max: 1.15 V
PCIe 2.0	2.5GT/s	CLK	max: 1.15 V

5.3.38 时钟单端最小绝对电压

5.3.38.1 测试内容

测量时钟信号单端的最小绝对电压，确保不低于器件的绝对最小额定值。

5.3.38.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	min: -0.3 V
PCIe 2.0	2.5GT/s	CLK	min: -0.3 V

5.3.39 时钟上升沿-下降沿最大失配度

5.3.39.1 测试内容

测量时钟上升沿和下降沿的最大失配度，确保上升沿和下降沿的压摆率匹配。

5.3.39.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 1.0	2.5GT/s	CLK	max: 20%
PCIe 2.0	2.5GT/s	CLK	max: 20%

5.3.40 高频时钟抖动 RMS (>1.5MHz, Common Clk)

5.3.40.1 测试内容

测量 Common Clock 架构下 1.5MHz 以上频段的 RMS 抖动。

5.3.40.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	CLK	max: 3.1 ps

5.3.41 低频时钟抖动 RMS (<1.5MHz, Common Clk)

5.3.41.1 测试内容

测量 Common Clock 架构下 10kHz 到 1.5MHz 频段的 RMS 抖动。

5.3.41.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	CLK	max: 3.0 ps

5.3.42 时钟 SSC 残余 (Common Clk)

5.3.42.1 测试内容

测量 Common Clock 架构下的 SSC 残差。

5.3.42.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	CLK	max: 75 ps

5.3.43 时钟 SSC 最大相对偏移量 (Common Clk)

5.3.43.1 测试内容

测量 Common Clock 架构下 SSC 的最大相对偏移量，即 SSC 调制过程中频率相对于原时钟频率的最大偏差。

5.3.43.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	CLK	min: -0.5%, max: 0%

5.3.44 时钟 SSC 最大频率变化率 (Common Clk)

5.3.44.1 测试内容

测量 Common Clock 架构下 SSC 的最大频率变化率 (df/dt)。

5.3.44.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	CLK	max: 750 fs/UI

5.3.45 高频时钟抖动 RMS (>1.5MHz, Data Clk)

5.3.45.1 测试内容

测量 Data Clock 架构下 1.5MHz 以上频段的 RMS 抖动。

5.3.45.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	CLK	max: 4.0 ps

5.3.46 低频时钟抖动 RMS (<1.5MHz, Data Clk)

5.3.46.1 测试内容

测量 Data Clock 架构下 10kHz 到 1.5MHz 频段的 RMS 抖动。

5.3.46.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCIe 2.0	5GT/s	CLK	max: 7.5 ps

5.3.47 时钟 SSC 满调制深度 (Data Clk)

5.3.47.1 测试内容

测量 Data Clock 架构下的完整 SSC 调制深度，即 SSC 调制达到的最大频偏范围。

5.3.47.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCle 2.0	5GT/s	CLK	max: 20 ns

5.3.48 时钟 SSC 最大相对偏移量 (Data Clk)

5.3.48.1 测试内容

测量 Data Clock 架构下 SSC 的最大相对偏移量

5.3.48.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCle 2.0	5GT/s	CLK	min: -0.5%, max: 0%

5.3.49 时钟 SSC 最大频率变化率 (Data Clk)

5.3.49.1 测试内容

测量 Data Clock 架构下 SSC 的最大频率变化率 (df/dt)。

5.3.49.2 测试结果要求范围

设备版本	设备速率	DUT 类型	通过限值参考
PCle 2.0	5GT/s	CLK	max: 750 fs/UI



关于鼎阳

鼎阳科技 (SIGLENT) 是通用电子测试测量仪器领域的行业领军企业, A 股上市公司。

2002 年, 鼎阳科技创始人开始专注于示波器研发, 2005 年成功研制出鼎阳第一款数字示波器。历经多年发展, 鼎阳产品已扩展到数字示波器、手持示波表、频谱分析仪、函数/任意波形发生器、矢量网络分析仪、射频/微波信号源、台式万用表、直流电源、电子负载、精密源表等基础测试测量仪器产品, 是全球极少数能够同时研发、生产、销售数字示波器、信号发生器、频谱分析仪和矢量网络分析仪四大通用电子测试测量仪器主力产品的厂家之一, 国家重点“小巨人”企业。同时也是国内主要竞争对手中极少数同时拥有这四大主力产品并且四大主力产品全线进入高端领域的厂家。公司总部位于深圳, 在马来西亚槟城州设有生产基地, 在美国克利夫兰、德国奥格斯堡、日本东京成立了子公司, 在成都成立了分公司, 产品远销全球 80 多个国家和地区, SIGLENT 已经成为全球知名的测试测量仪器品牌。

联系我们

深圳市鼎阳科技股份有限公司

全国免费服务热线: 400-878-0807

网址: www.siglent.com

声明

 是深圳市鼎阳科技股份有限公司的注册商标, 事先未经允许, 不得以任何形式或通过任何方式复制本手册中的任何内容。

本资料中的信息代替原先的此前所有版本。
技术数据如有变更, 恕不另行通告。

技术许可

对于本文档中描述的硬件和软件, 仅在得到许可的情况下才会提供, 并且只能根据许可进行使用或复制。

