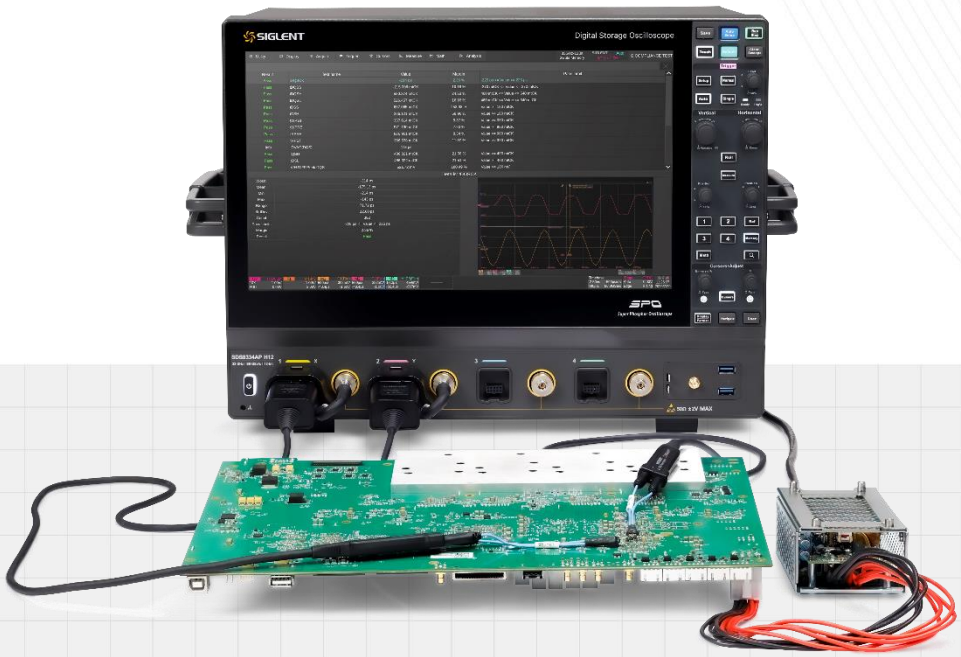
DDR2 / DDR3 / DDR4

一致性测试

用户手册

CN03B



深圳市鼎阳科技股份有限公司
SIGLENT TECHNOLOGIES CO., LTD.

目录

1 引言 18

2 测试项目和引用标准 19

2.1 测试项目 19

2.2 引用标准 26

3 测试设备 35

4 一致性测试软件 36

4.1 测试项配置 37

4.1.1 设置 37

4.1.2 测试项选择 40

4.1.3 配置 41

4.1.4 连接 47

4.1.5 启动测试 48

4.2 结果查看 49

4.3 报告生成设置 51

5 时钟单端正信号测试集 54

5.1 VSEH(Clock Plus) 54

5.1.1 规范说明 54

5.1.2 计算方法 54

5.1.3 测试结果参考 55

5.2 VSEL(Clock Plus) 56

5.2.1 规范说明 56

5.2.2 计算方法 56

5.2.3 测试结果参考 57

5.3 Overshoot 和 Overshoot Area(Clock Plus) 58

5.3.1 规范说明 59

5.3.2 计算方法 60

5.3.3 测试结果参考 60

5.4 Undershoot 和 Undershoot Area(Clock Plus) 62

5.4.1 规范说明 63

5.4.2 计算方法 63

5.4.3 测试结果参考 63

5.5 压摆率(Slew Rate)(Clock Plus) 65

5.5.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF) 65
5.5.2 测试结果参考 66
6 时钟单端负信号测试集 67
6.1 VSEH(Clock Minus) 67
6.1.1 规范说明 67
6.1.2 计算方法 67
6.1.3 测试结果参考 67
6.2 VSEL(Clock Minus) 69
6.2.1 规范说明 69
6.2.2 计算方法 69
6.2.3 测试结果参考 69
6.3 Overshoot 和 Overshoot Area (Clock Minus) 71
6.3.1 规范说明 72
6.3.2 计算方法 72
6.3.3 测试结果参考 72
6.4 Undershoot 和 Undershoot Area (Clock Minus) 74
6.4.1 规范说明 75
6.4.2 计算方法 75
6.4.3 测试结果参考 75
6.5 压摆率(Slew Rate)(Clock Minus) 77
6.5.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF) 77
6.5.2 测试结果参考 78
7 时钟差分信号测试集 79
7.1 tERR 测试集 79
7.1.1 规范说明 79
7.1.2 计算方法 81
7.1.3 测试结果参考 82
7.2 tCK(abs) 83
7.2.1 规范说明 83
7.2.2 计算方法 83
7.2.3 测试结果参考 84
7.3 tCH(abs) 85
7.3.1 规范说明 85
7.3.2 计算方法 85
7.3.3 测试结果参考 85

7.4 tCL(abs) 87
7.4.1 规范说明 87
7.4.2 计算方法 87
7.4.3 测试结果参考 87
7.5 tCK(avg) 89
7.5.1 规范说明 89
7.5.2 计算方法 92
7.5.3 测试结果参考 92
7.6 tCH(avg) 94
7.6.1 规范说明 94
7.6.2 计算方法 94
7.6.3 测试结果参考 94
7.7 tCL(avg) 96
7.7.1 规范说明 96
7.7.2 计算方法 96
7.7.3 测试结果参考 96
7.8 tJIT(per) 98
7.8.1 规范说明 98
7.8.2 计算方法 98
7.8.3 测试结果参考 99
7.9 tJIT(cc) 100
7.9.1 规范说明 100
7.9.2 计算方法 100
7.9.3 测试结果参考 101
7.10 tJIT(duty) 102
7.10.1 规范说明 102
7.10.2 计算方法 102
7.10.3 测试结果参考 102
7.11 tDVAC(CK) 104
7.11.1 规范说明 104
7.11.2 计算方法 104
7.11.3 测试结果参考 105
7.12 VIX(CK) 106
7.12.1 规范说明 106
7.12.2 计算方法 108
7.12.3 测试结果参考 108

7.13 VID(CK) 109
7.13.1 规范说明 109
7.13.2 计算方法 109
7.13.1 测试结果参考 110
7.14 VIHdiff.CK(AC) 111
7.14.1 规范说明 111
7.14.2 计算方法 111
7.14.3 测试结果参考 112
7.15 VILdiff.CK(AC) 113
7.15.1 规范说明 113
7.15.2 计算方法 113
7.15.3 测试结果参考 114
7.16 VIHdiff.CK(DC) 115
7.16.1 规范说明 115
7.16.2 计算方法 115
7.16.3 测试结果参考 116
7.17 VILdiff.CK(DC) 117
7.17.1 规范说明 117
7.17.2 计算方法 117
7.17.3 测试结果参考 118
8 数据选通单端正信号测试集 119
8.1 tHZ(DQS) 119
8.1.1 规范说明 120
8.1.2 计算方法 121
8.1.3 测试结果参考 121
8.2 tLZ(DQS) 123
8.2.1 规范说明 123
8.2.2 计算方法 124
8.2.3 测试结果参考 124
8.3 压摆率(Slew Rate)(DQS) 125
8.3.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF) 125
8.3.2 测试结果参考 126
8.4 Overshoot 和 Overshoot Area(DQS) 127
8.4.1 规范说明 128
8.4.2 计算方法 129
8.4.3 测试结果参考 130

8.5 Undershoot 和 Undershoot Area(DQS) 131
8.5.1 规范说明 132
8.5.2 计算方法 132
8.5.3 测试结果参考 132
8.6 VSEH(DQS) 134
8.6.1 规范说明 134
8.6.2 计算方法 134
8.6.3 测试结果参考 135
8.7 VSEL(DQS) 136
8.7.1 规范说明 136
8.7.2 计算方法 136
8.7.3 测试结果参考 137
9 数据选通单端负信号测试集 138
9.1 tLZ(DQS#) 138
9.1.1 规范说明 138
9.1.2 计算方法 138
9.1.3 测试结果参考 139
9.2 压摆率(Slew Rate)(DQS#) 140
9.2.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF) 140
9.2.2 测试结果参考 141
9.3 Overshoot 和 Overshoot Area (DQS#) 142
9.3.1 规范说明 143
9.3.2 计算方法 143
9.3.3 测试结果参考 144
9.4 Undershoot 和 Undershoot Area(DQS#) 145
9.4.1 规范说明 146
9.4.2 计算方法 146
9.4.3 测试结果参考 146
9.5 VSEH(DQS#) 148
9.5.1 规范说明 148
9.5.2 计算方法 148
9.5.3 测试结果参考 149
9.6 VSEL(DQS#) 150
9.6.1 规范说明 150
9.6.2 计算方法 150
9.6.3 测试结果参考 151

10 数据选通差分信号测试集 152
10.1 tDQSCK 152
10.1.1 规范说明 152
10.1.2 计算方法 153
10.1.3 测试结果参考 153
10.2 tDQSS 155
10.2.1 规范说明 155
10.2.2 计算方法 156
10.2.3 测试结果参考 156
10.3 tDQSH 158
10.3.1 规范说明 158
10.3.2 计算方法 159
10.3.3 测试结果参考 159
10.4 tDQSL 160
10.4.1 规范说明 160
10.4.2 计算方法 161
10.4.3 测试结果参考 161
10.5 tDSS 162
10.5.1 规范说明 162
10.5.2 计算方法 163
10.5.3 测试结果参考 163
10.6 tDSH 164
10.6.1 规范说明 164
10.6.2 计算方法 165
10.6.3 测试结果参考 165
10.7 tWPST 166
10.7.1 规范说明 166
10.7.2 计算方法 167
10.7.3 测试结果参考 167
10.8 tWPRE 168
10.8.1 规范说明 169
10.8.2 计算方法 170
10.8.3 测试结果参考 170
10.9 tRPRE 172
10.9.1 规范说明 173
10.9.2 计算方法 174

10.9.3 测试结果参考 174
10.10 tRPST 176
10.10.1 规范说明 177
10.10.2 计算方法 177
10.10.3 测试结果参考 178
10.11 tDVAC(DQS) 179
10.11.1 规范说明 179
10.11.2 计算方法 179
10.11.3 测试结果参考 180
10.12 tQSH 181
10.12.1 规范说明 181
10.12.2 计算方法 182
10.12.3 测试结果参考 182
10.13 tQSL 183
10.13.1 规范说明 183
10.13.2 计算方法 184
10.13.3 测试结果参考 184
10.14 VIX(DQS) 185
10.14.1 规范说明 186
10.14.2 计算方法 187
10.14.3 测试结果参考 187
10.15 VIX.Ratio(DQS) 188
10.15.1 规范说明 188
10.15.2 计算方法 188
10.15.3 测试结果参考 189
10.16 VID(DQS) 190
10.16.1 规范说明 190
10.16.2 计算方法 190
10.16.3 测试结果参考 191
10.17 VOX(DQS) 192
10.17.1 规范说明 192
10.17.2 计算方法 192
10.17.3 测试结果参考 192
10.18 VIHdiff.DQS(AC) 194
10.18.1 规范说明 194
10.18.2 计算方法 194

10.18.3 测试结果参考 194
10.19 VIHdiff.DQS(DC) 196
10.19.1 规范说明 196
10.19.2 计算方法 196
10.19.3 测试结果参考 196
10.20 VILdiff.DQS(AC) 198
10.20.1 规范说明 198
10.20.2 计算方法 198
10.20.3 测试结果参考 198
10.21 VILdiff.DQS(DC) 200
10.21.1 规范说明 200
10.21.2 计算方法 200
10.21.3 测试结果参考 200
10.22 VIH.Diff.Peak.DQS 202
10.22.1 规范说明 202
10.22.2 计算方法 202
10.22.3 测试结果参考 203
10.23 VIL.Diff.Peak.DQS 204
10.23.1 规范说明 204
10.23.2 计算方法 204
10.23.3 测试结果参考 205
10.24 VIH.Diff.Top.DQS 206
10.24.1 规范说明 206
10.24.2 计算方法 206
10.24.3 测试结果参考 206
10.25 VIL.Diff.Base.DQS 208
10.25.1 规范说明 208
10.25.2 计算方法 208
10.25.1 测试结果参考 208
10.26 VOHdiff(AC) 210
10.26.1 规范说明 210
10.26.2 计算方法 210
10.26.3 测试结果参考 210
10.27 VOLdiff(AC) 212
10.27.1 规范说明 212
10.27.2 计算方法 212

10.27.3 测试结果参考 212
10.28 SRIdiffR 214
10.28.1 规范说明 214
10.28.1 计算方法 215
10.28.2 测试结果参考 215
10.29 SRIdiffF 216
10.29.1 规范说明 216
10.29.2 计算方法 216
10.29.3 测试结果参考 216
10.30 SRQdiffR 218
10.30.1 规范说明 218
10.30.2 计算方法 219
10.30.3 测试结果参考 219
10.31 SRQdiffF 221
10.31.1 规范说明 221
10.31.2 计算方法 221
10.31.3 测试结果参考 222
11 数据信号测试集 223
11.1 tHZ(DQ) 223
11.1.1 规范说明 224
11.1.2 计算方法 224
11.1.3 测试结果参考 225
11.2 tLZ(DQ) 226
11.2.1 规范说明 227
11.2.2 计算方法 228
11.2.3 测试结果参考 228
11.3 tDQSQ 229
11.3.1 规范说明 230
11.3.2 计算方法 230
11.3.3 测量结果参考 231
11.4 tQH 232
11.4.1 规范说明 232
11.4.2 计算方法 233
11.4.3 测量结果参考 233
11.5 tDS.DQ(base) 235
11.5.1 规范说明 235

11.5.2 计算方法 236
11.5.3 测量结果参考 236
11.6 tDS.DQ(derate) 237
11.6.1 规范说明 237
11.6.2 计算方法 237
11.6.3 测量结果参考 238
11.7 tDH.DQ(base) 239
11.7.1 规范说明 239
11.7.2 计算方法 240
11.7.3 测量结果参考 240
11.8 tDH.DQ(derate) 241
11.8.1 规范说明 241
11.8.2 计算方法 241
11.8.3 测量结果参考 242
11.9 tDVWp 243
11.9.1 规范说明 243
11.9.2 计算方法 243
11.9.3 测量结果参考 243
11.10 tDIPW(DQ) 245
11.10.1 规范说明 245
11.10.2 计算方法 245
11.10.3 测量结果参考 246
11.11 tDQS2DQ 247
11.11.1 规范说明 247
11.11.2 计算方法 247
11.11.3 测量结果参考 248
11.12 VOH 249
11.12.1 计算方法 249
11.12.2 测量结果参考 249
11.13 VOL 250
11.13.1 计算方法 250
11.13.2 测量结果参考 250
11.14 VIHL(AC) 251
11.14.1 规范说明 251
11.14.2 计算方法 251
11.14.3 测量结果参考 252

11.15 srr1 253
11.15.1 规范说明 253
11.15.2 计算方法 254
11.15.3 测量结果参考 254
11.16 srr2 256
11.16.1 规范说明 256
11.16.2 计算方法 256
11.16.3 测量结果参考 257
11.17 srf1 258
11.17.1 规范说明 258
11.17.2 计算方法 259
11.17.3 测量结果参考 259
11.18 srf2 260
11.18.1 规范说明 260
11.18.2 计算方法 260
11.18.3 测量结果参考 261
11.19 Eye for Read/Write Burst(DQ) 262
11.19.1 计算方法 262
11.19.2 测量结果参考 263
11.20 tVAC(DQ) 264
11.20.1 规范说明 264
11.20.2 计算方法 264
11.20.3 测量结果参考 265
11.21 tAC 266
11.21.1 规范说明 266
11.21.2 计算方法 266
11.21.3 测量结果参考 266
11.22 VIH.DQ(AC) 268
11.22.1 规范说明 268
11.22.2 计算方法 268
11.22.3 测试结果参考 268
11.23 VIH.DQ(DC) 270
11.23.1 规范说明 270
11.23.2 计算方法 270
11.23.3 测试结果参考 271
11.24 VIL.DQ(AC) 272

11.24.1 规范说明 272
11.24.2 计算方法 272
11.24.3 测试结果参考 272
11.25 VIL.DQ(DC) 274
11.25.1 规范说明 274
11.25.2 计算方法 274
11.25.3 测试结果参考 274
11.26 压摆率(Slew Rate)(DQ) 276
11.26.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF) 276
11.26.2 测试结果参考 277
11.27 Overshoot 和 Overshoot Area(DQ) 278
11.27.1 规范说明 279
11.27.2 计算方法 279
11.27.3 测试结果参考 281
11.28 Undershoot 和 Undershoot Area(DQ) 282
11.28.1 规范说明 283
11.28.2 计算方法 283
11.28.3 测试结果参考 283
11.29 tDS1.DQ(base) 285
11.29.1 规范说明 285
11.29.2 计算方法 285
11.29.3 测量结果参考 286
11.30 tDS1.DQ(derate) 287
11.30.1 规范说明 287
11.30.2 计算方法 287
11.30.3 测量结果参考 287
11.31 tDH1.DQ(base) 289
11.31.1 规范说明 289
11.31.2 计算方法 290
11.31.3 测量结果参考 290
11.32 tDH1.DQ(derate) 291
11.32.1 规范说明 291
11.32.2 计算方法 291
11.32.3 测量结果参考 291
11.33 VOH(AC) 293
11.33.1 规范说明 293

11.33.2 计算方法 293
11.33.3 测量结果参考 293
11.34 VOH(DC) 295
11.34.1 规范说明 295
11.34.2 计算方法 295
11.34.3 测量结果参考 295
11.35 VOL(AC) 297
11.35.1 规范说明 297
11.35.2 计算方法 297
11.35.3 测量结果参考 297
11.36 VOL(DC) 299
11.36.1 规范说明 299
11.36.2 计算方法 299
11.36.3 测量结果参考 299
11.37 SRQseR 301
11.37.1 规范说明 301
11.37.2 计算方法 302
11.37.3 测试结果参考 302
11.38 SRQseF 303
11.38.1 规范说明 303
11.38.2 计算方法 303
11.38.3 测试结果参考 304

12 数据掩码信号测试集 305

12.1 tDS.DM(base) 305
12.1.1 规范说明 305
12.1.2 计算方法 306
12.1.3 测量结果参考 306
12.2 tDS.DM(derate) 307
12.2.1 规范说明 307
12.2.2 计算方法 307
12.2.3 测量结果参考 308
12.3 tDH.DM(base) 309
12.3.1 规范说明 309
12.3.2 计算方法 310
12.3.3 测量结果参考 310
12.4 tDH.DM(derate) 311

12.4.1 规范说明 311
12.4.2 计算方法 311
12.4.3 测量结果参考 312
12.5 tDIPW(DM) 313
12.5.1 规范说明 313
12.5.2 计算方法 313
12.5.3 测量结果参考 313
12.6 tVAC 315
12.6.1 规范说明 315
12.6.2 计算方法 315
12.6.3 测量结果参考 316
12.7 VIH.DM(AC) 317
12.7.1 规范说明 317
12.7.2 计算方法 317
12.7.3 测试结果参考 317
12.8 VIH.DM(DC) 319
12.8.1 规范说明 319
12.8.2 计算方法 319
12.8.3 测试结果参考 319
12.9 VIL.DM(AC) 321
12.9.1 规范说明 321
12.9.2 计算方法 321
12.9.3 测试结果参考 321
12.10 VIL.DM(DC) 323
12.10.1 规范说明 323
12.10.2 计算方法 323
12.10.3 测试结果参考 323
12.11 压摆率(Slew Rate)(DM) 325
12.11.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF) 325
12.11.1 测试结果参考 326
12.12 Overshoot 和 Overshoot Area(DM) 327
12.12.1 规范说明 328
12.12.2 计算方法 328
12.12.3 测试结果参考 329
12.13 Undershoot 和 Undershoot Area(DM) 330
12.13.1 规范说明 331

12.13.2 计算方法 331
12.13.3 测试结果参考 331
12.14 tDS1.DM(base) 333
12.14.1 规范说明 333
12.14.2 计算方法 333
12.14.3 测量结果参考 334
12.15 tDS1.DM(derate) 335
12.15.1 规范说明 335
12.15.2 计算方法 335
12.15.3 测量结果参考 335
12.16 tDH1.DM(base) 337
12.16.1 规范说明 337
12.16.2 计算方法 337
12.16.3 测量结果参考 338
12.17 tDH1.DM(derate) 339
12.17.1 规范说明 339
12.17.2 计算方法 339
12.17.3 测量结果参考 339
13 命令或地址信号测试集 341
13.1 tIS(base) 341
13.1.1 规范说明 342
13.1.2 计算方法 342
13.1.3 测量结果参考 343
13.2 tIS(derate) 344
13.2.1 规范说明 344
13.2.2 计算方法 344
13.2.3 测量结果参考 345
13.3 tIS(Vref) 346
13.3.1 规范说明 346
13.3.2 计算方法 347
13.3.3 测量结果参考 347
13.4 tIH(base) 349
13.4.1 规范说明 349
13.4.2 计算方法 350
13.4.3 测量结果参考 350
13.5 tIH(derate) 352

13.5.1 规范说明 352
13.5.2 计算方法 352
13.5.3 测量结果参考 353
13.6 tIH(Vref) 354
13.6.1 规范说明 354
13.6.2 计算方法 354
13.6.3 测量结果参考 355
13.7 tIPW 356
13.7.1 规范说明 356
13.7.2 计算方法 356
13.7.3 测量结果参考 357
13.8 tVAC(CA) 358
13.8.1 规范说明 358
13.8.2 计算方法 358
13.8.3 测量结果参考 359
13.9 VIH.CA(AC) 360
13.9.1 规范说明 360
13.9.2 计算方法 360
13.9.3 测试结果参考 361
13.10 VIH.CA(DC) 362
13.10.1 规范说明 362
13.10.2 计算方法 362
13.10.3 测试结果参考 362
13.11 VIL.CA(AC) 364
13.11.1 规范说明 364
13.11.2 计算方法 364
13.11.3 测试结果参考 365
13.12 VIL.CA(DC) 366
13.12.1 规范说明 366
13.12.2 计算方法 366
13.12.3 测试结果参考 367
13.13 压摆率(Slew Rate)(CA) 368
13.13.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF) 368
13.13.2 测试结果参考 369
13.14 Overshoot 和 Overshoot Area(CA) 370
13.14.1 规范说明 371

13.14.2 计算方法 372
13.14.3 测试结果参考 373
13.15 Undershoot 和 Undershoot Area(CA) 375
13.15.1 规范说明 376
13.15.2 计算方法 376
13.15.3 测试结果参考 376
13.16 Vref.CA(DC) 378
13.16.1 规范说明 378
13.16.2 计算方法 378
13.16.3 测试结果参考 379
13.17 Vref.CA(AC) 380
13.17.1 规范说明 380
13.17.1 计算方法 380
13.17.2 测试结果参考 380

1 引言

鼎阳科技目前可提供 DDR2/DDR3/DDR4 的一致性测试方案，涵盖 JEDEC（联合电子设备工程委员会）规范的电气、时钟和时序参数测试。一致性测试所需设备包括高性能示波器、差分探头及分析软件。本用户手册主要介绍 DDR2/DDR3/DDR4 一致性测试软件的使用方法，以及相关测试项的介绍。

鼎阳科技推出的 DDR 一致性分析方案，包括：

- 用户可以执行单项或多项测试；
- 向用户展示如何将示波器和被测设备（DUT: Device under test 的缩写）连接；
- 为每个测试项目自动设置示波器；
- 显示每个已执行测试项目的详细信息和通过标准；
- 可生成 HTML、XML 或者 PDF 测试报告。

2 测试项目和引用标准

2.1 测试项目

鼎阳科技推出的 SDS7000A/SDS8000A 示波器支持以下的 DDR 一致性测试项目，各组测试项如下：

测试项	DDR2	DDR3	DDR3L	DDR4
时钟单端正信号测试集				
Slew Rate-Setup-Rising(CK)	Y	Y	Y	
Slew Rate-Setup-Falling(CK)	Y	Y	Y	
Slew Rate-Hold-Rising(CK)	Y	Y	Y	
Slew Rate-Hold-Falling(CK)	Y	Y	Y	
Overshoot(CK)	Y	Y	Y	Y
Undershoot(CK)	Y	Y	Y	Y
Undershoot Area(CK)	Y	Y	Y	Y
Overshoot Area(CK)	Y	Y	Y	
VSEH(CK)		Y	Y	Y
VSEL(CK)		Y	Y	Y
Overshoot Area1(CK)				Y
Overshoot Area2(CK)				Y
时钟单端负信号测试集				
Slew Rate-Setup-Rising(CK#)	Y	Y	Y	
Slew Rate-Setup-Falling(CK#)	Y	Y	Y	
Slew Rate-Hold-Rising(CK#)	Y	Y	Y	
Slew Rate-Hold-Falling(CK#)	Y	Y	Y	
Overshoot(CK#)	Y	Y	Y	Y
Undershoot(CK#)	Y	Y	Y	Y
Undershoot Area(CK#)	Y	Y	Y	Y
Overshoot Area(CK#)	Y	Y	Y	
VSEH(CK#)		Y	Y	Y
VSEL(CK#)		Y	Y	Y
Overshoot Area1(CK#)				Y
Overshoot Area2(CK#)				Y

时钟差分信号测试集				
tERR 测试集	Y	Y	Y	Y
tCK(abs)	Y	Y	Y	Y
tCH(abs)	Y	Y	Y	Y
tCL(abs)	Y	Y	Y	Y
tCK(avg)	Y	Y	Y	Y
tCH(avg)	Y	Y	Y	Y
tCL(avg)	Y	Y	Y	Y
tJIT(per)	Y	Y	Y	Y
tJIT(cc)	Y	Y	Y	Y
tJIT(duty)	Y	Y	Y	
tDVAC(CK)		Y	Y	
VID(CK)	Y			
VIX(CK)	Y	Y	Y	Y
VIHdiff.CK(AC)		Y	Y	Y
VIHdiff.CK(DC)		Y	Y	Y
VILdiff.CK(AC)		Y	Y	Y
VILdiff.CK(DC)		Y	Y	Y
数据选通单端正信号测试集				
tHZ(DQS)	Y	Y	Y	Y
tLZ(DQS)	Y	Y	Y	
Slew Rate-Setup-Rising(DQS)	Y	Y	Y	
Slew Rate-Setup-Falling(DQS)	Y	Y	Y	
Slew Rate-Hold-Rising(DQS)	Y	Y	Y	
Slew Rate-Hold-Falling(DQS)	Y	Y	Y	
Overshoot(DQS)	Y	Y	Y	Y
Undershoot(DQS)	Y	Y	Y	Y
Overshoot Area(DQS)	Y	Y	Y	
Undershoot Area(DQS)	Y	Y	Y	
Overshoot Area1(DQS)				Y
Overshoot Area2(DQS)				Y
Undershoot Area1(DQS)				Y

Undershoot Area2(DQS)				Y
VSEH(DQS)		Y	Y	
VSEL(DQS)		Y	Y	
数据选通单端负信号测试集				
Slew Rate-Setup-Rising(DQS#)	Y	Y	Y	
Slew Rate-Setup-Falling(DQS#)	Y	Y	Y	
Slew Rate-Hold-Rising(DQS#)	Y	Y	Y	
Slew Rate-Hold-Falling(DQS#)	Y	Y	Y	
tLZ(DQS#)				Y
Overshoot(DQS#)	Y	Y	Y	Y
Undershoot(DQS#)	Y	Y	Y	Y
Overshoot Area(DQS#)	Y	Y	Y	
Overshoot Area(DQS#)	Y	Y	Y	
Overshoot Area1(DQS#)				Y
Overshoot Area2(DQS#)				Y
Undershoot Area1(DQS#)				Y
Undershoot Area2(DQS#)				Y
VSEH(DQS#)		Y	Y	
VSEL(DQS#)		Y	Y	
数据选通差分信号测试集				
tDQSCK	Y	Y	Y	Y
tDQSS	Y	Y	Y	Y
tDQSH	Y	Y	Y	Y
tDQSL	Y	Y	Y	Y
tDSS	Y	Y	Y	Y
tDSH	Y	Y	Y	Y
tWPST	Y	Y	Y	Y
tWPRE	Y	Y	Y	Y
tRPRE	Y	Y	Y	Y
tRPST	Y	Y	Y	Y
tQSH		Y	Y	Y
tQSL		Y	Y	Y

VIX(DQS)	Y	Y	Y	Y
VID(DQS)	Y			
VOX(DQS)	Y			
tDVAC(DQS)		Y	Y	
VIHdiff.DQS(AC)		Y	Y	
VIHdiff.DQS(DC)		Y	Y	
VILdiff.DQS(AC)		Y	Y	
VILdiff.DQS(DC)		Y	Y	
VOHdiff(AC)		Y	Y	Y
VOLdiff(AC)		Y	Y	Y
SRQdiffR		Y	Y	Y
SRQdiffF		Y	Y	Y
VIH.DIFF.Peak.DQS				Y
VIL.DIFF.Peak.DQS				Y
VIH.DIFF.Top.DQS				Y
VIL.DIFF.Base.DQS				Y
VIX.Ratio(DQS)				Y
SRIdiffR				Y
SRIdiffF				Y
数据信号测试集				
tAC	Y			
tHZ(DQ)	Y	Y	Y	Y
tLZ(DQ)	Y	Y	Y	Y
Overshoot(DQ)	Y	Y	Y	Y
Undershoot(DQ)	Y	Y	Y	Y
tDS.DQ(base)	Y	Y	Y	
tDS.DQ(derate)	Y	Y	Y	
tDH.DQ(base)	Y	Y	Y	
tDH.DQ(derate)	Y	Y	Y	
tDS1.DQ(base)	Y			
tDS1.DQ(derate)	Y			
tDH1.DQ(base)	Y			

tDH1.DQ(derate)	Y			
VOL				Y
VOH				Y
SRQseR		Y	Y	Y
SRQseF		Y	Y	Y
Overshoot Area(DQ)	Y	Y	Y	
Undershoot Area(DQ)	Y	Y	Y	
Overshoot Area1(DQ)				Y
Overshoot Area2(DQ)				Y
Undershoot Area1(DQ)				Y
Undershoot Area2(DQ)				Y
Slew Rate-Setup-Rising(DQ)	Y	Y	Y	
Slew Rate-Setup-Falling(DQ)	Y	Y	Y	
Slew Rate-Hold-Rising(DQ)	Y	Y	Y	
Slew Rate-Hold-Falling(DQ)	Y	Y	Y	
VOH(AC)		Y	Y	
VOH(DC)		Y	Y	
VOL(AC)		Y	Y	
VOL(DC)		Y	Y	
tDQSQ	Y	Y	Y	Y
tQH	Y	Y	Y	Y
tDIPW(DQ)	Y	Y	Y	Y
tVAC(DQ)		Y	Y	
VIH.DQ(AC)	Y	Y	Y	
VIH.DQ(DC)	Y	Y	Y	
VIL.DQ(AC)	Y	Y	Y	
VIL.DQ(DC)	Y	Y	Y	
tDVWp				Y
tDQS2DQ				Y
VIHL(AC)				Y
srr1				Y
srf1				Y

srr2				Y
srf2				Y
Eye for Read Burst(DQ)				Y
Eye for Write Burst(DQ)				Y
数据屏蔽信号测试集				
tDS.DM(base)	Y	Y	Y	
tDS.DM(derate)	Y	Y	Y	
tDH.DM(base)	Y	Y	Y	
tDH.DM(derate)	Y	Y	Y	
tDIPW(DM)	Y	Y	Y	
tVAC(DM)		Y	Y	
VIH.DM(AC)	Y	Y	Y	
VIH.DM(DC)	Y	Y	Y	
VIL.DM(AC)	Y	Y	Y	
VIL.DM(DC)	Y	Y	Y	
Slew Rate-Setup-Rising(DM)	Y	Y	Y	
Slew Rate-Setup-Falling(DM)	Y	Y	Y	
Slew Rate-Hold-Rising(DM)	Y	Y	Y	
Slew Rate-Hold-Falling(DM)	Y	Y	Y	
tDS1.DM(base)	Y			
tDS1.DM(derate)	Y			
tDH1.DM(base)	Y			
tDH1.DM(derate)	Y			
Overshoot(DM)	Y	Y	Y	Y
Undershoot(DM)	Y	Y	Y	Y
Overshoot Area(DM)	Y	Y	Y	
Undershoot Area(DM)	Y	Y	Y	
Overshoot Area1(DM)				Y
Overshoot Area2(DM)				Y
Undershoot Area1(DM)				Y
Undershoot Area2(DM)				Y
命令或地址信号测试集				

tIS(base)	Y	Y	Y	Y
tIS(derate)	Y	Y	Y	
tIH(base)	Y	Y	Y	Y
tIH(derate)	Y	Y	Y	
tIPW	Y	Y	Y	Y
tVAC(CA)		Y	Y	
tIS(Vref)				Y
tIH(Vref)				Y
VIH.CA(AC)	Y	Y	Y	Y
VIH.CA(DC)	Y	Y	Y	Y
VIL.CA(AC)	Y	Y	Y	Y
VIL.CA(DC)	Y	Y	Y	Y
Slew Rate-Setup-Rising(CA)	Y	Y	Y	
Slew Rate-Setup-Falling(CA)	Y	Y	Y	
Slew Rate-Hold-Rising(CA)	Y	Y	Y	
Slew Rate-Hold-Falling(CA)	Y	Y	Y	
Overshoot(CA)	Y	Y	Y	Y
Undershoot(CA)	Y	Y	Y	Y
Overshoot Area(CA)	Y	Y	Y	
Undershoot Area(CA)	Y	Y	Y	Y
Overshoot Area1(CA)				Y
Overshoot Area2(CA)				Y
VREFCA(DC)				Y
VREFCA(AC)				Y

2.2 引用标准

鼎阳科技推出的 DDR2/DDR3/DDR4 一致性测试方案，遵循 JEDEC 标准，下表详述了各个测试项目所参考的标准。

表 2.2-1 DDR4 测试标准引用

测试参数名	参考
VSEH(CK_t/CK_c)	JESD79-4D Table 124
VSEL(CK_t/CK_c)	JESD79-4D Table 124
Overshoot(CK_t/CK_c)	JESD79-4D Table 126
OvershootArea2(CK_t/CK_c)	JESD79-4D Table 126
OvershootArea1(CK_t/CK_c)	JESD79-4D Table 126
UndershootArea(CK_t/CK_c)	JESD79-4D Table 126
Undershoot(CK_t/CK_c)	JESD79-4D Table 126
VIHdiff.CK	JESD79-4D Table 122
VILdiff.CK	JESD79-4D Table 122
VIHdiff.CK(AC)	JESD79-4D Table 122
VILdiff.CK(AC)	JESD79-4D Table 122
VIX(CK)	JESD79-4D Table 129
tCK(abs)	JESD79-4D 13.3.1, Table 172, 173
tCK(avg)	JESD79-4D 13.3.2, Table 172, 173
tJIT(per)	JESD79-4D Table 172, 173
tJIT(cc)	JESD79-4D Table 172, 173
tERR(nper)	JESD79-4D Table 172, 173
tCH(abs)	JESD79-4D Table 172, 173
tCH(avg)	JESD79-4D Table 172, 173
tCL(avg)	JESD79-4D Table 172, 173
VIH.CA(AC)	JESD79-4D Table 121
VIH.CA(DC)	JESD79-4D Table 121
VIL.CA(DC)	JESD79-4D Table 121
VIL.CA(AC)	JESD79-4D Table 121
Overshoot(CA)	JESD79-4D Table 125
OvershootArea2(CA)	JESD79-4D Table 125
OvershootArea1(CA)	JESD79-4D Table 125
UndershootArea(CA)	JESD79-4D Table 125

测试参数名	参考
Undershoot(CA)	JESD79-4D Table 125
tIS(base)	JESD79-4D Table 172, 173
tIS(Vref)	JESD79-4D Table 172, 173
tIH(base)	JESD79-4D Table 172, 173
tIH(Vref)	JESD79-4D Table 172, 173
tIPW	JESD79-4D Table 172, 173
VOH	JESD79-4D Table 139
VOL	JESD79-4D Table 139
SRQseR, SRQseF	JESD79-4D Table 142
Overshoot(DQ/DM/DQS_t/DQS_c)	JESD79-4D Table 127
OvershootArea2(DQ/DM/DQS_t/DQS_c)	JESD79-4D Table 127
OvershootArea1(DQ/DM/DQS_t/DQS_c)	JESD79-4D Table 127
UndershootArea1(DQ/DM/DQS_t/DQS_c)	JESD79-4D Table 127
UndershootArea2(DQ/DM/DQS_t/DQS_c)	JESD79-4D Table 127
Undershoot(DQ/DM/DQS_t/DQS_c)	JESD79-4D Table 127
tLZ(DQ)	JESD79-4D Table 172, 173
tHZ(DQ)	JESD79-4D Table 172, 173
VREFCA(DC)	JESD79-4D 8.2, Table 121
VREFCA(AC)	JESD79-4D 8.2, Table 121
VIHDiffPeak	JESD79-4D Table 131
VILDiffPeak	JESD79-4D Table 131
VIHDiff.DQS	JESD79-4D Table 134
VILDiff.DQS	JESD79-4D Table 134
SRIdiffR, SRIdiffF	JESD79-4D Table 135
VIX(DQS)	JESD79-4D Table 132
VIX.Ratio(DQS)	JESD79-4D Table 132
VOHdiff	JESD79-4D Table 140
VOLdiff	JESD79-4D Table 140
SRQdiffR, SRQdiffF	JESD79-4D Table 144
tDQSS	JESD79-4D 4.25.1, Table 172, 173
tDQSS2	JESD79-4D 4.25.1, Table 172, 173
tDSS	JESD79-4D 4.25.1, Table 172, 173
tDSH	JESD79-4D 4.25.1, Table 172, 173

测试参数名	参考
tDQSH	JESD79-4D 4.25.1, Table 172, 173
tDQSL	JESD79-4D 4.25.1, Table 172, 173
tWPRE	JESD79-4D 4.25.1, Table 172, 173
tWPRE2	JESD79-4D 4.25.1, Table 172, 173
tWPST	JESD79-4D 4.25.1, Table 172, 173
tDQSCK	JESD79-4D 4.24.1, Table 172, 173
tQSH	JESD79-4D 4.24.1, Table 172, 173
tQSL	JESD79-4D 4.24.1, Table 172, 173
tRPRE	JESD79-4D 4.24.1, Table 172, 173
tRPRE2	JESD79-4D 4.24.1, Table 172, 173
tRPST	JESD79-4D 4.24.1, Table 172, 173
tLZ(DQS)	JESD79-4D 4.24.1, Table 172, 173
tHZ(DQS)	JESD79-4D 4.24.1, Table 172, 173
tDQSQ	JESD79-4D Table 172, 173, Note 49
tQH	JESD79-4D Table 172, 173, Note 49
tDVWp	JESD79-4D Table 172, 173, Note 49
tDIPW	JESD79-4D 13.6, Table 174
tDQS2DQ	JESD79-4D 13.6, Table 174
VIHL_AC	JESD79-4D 13.6, Table 174
srr1, srf1	JESD79-4D 13.6, Table 174
srr2	JESD79-4D 13.6, Table 174
srf2	JESD79-4D 13.6, Table 174

表 2.2-2 DDR3 测试标准引用

测试参数名	参考
VSEH(CK/CK#)	JESD79-3F Table 27
VSEL(CK/CK#)	JESD79-3F Table 27
Overshoot(CK/CK#)	JESD79-3F Table 37
Undershoot(CK/CK#)	JESD79-3F Table 37
OvershootArea(CK/CK#)	JESD79-3F Table 37, Figure 99
UndershootArea(CK/CK#)	JESD79-3F Table 37, Figure 99
VIX(CK)	JESD79-3F Table 28, Figure 93
VIX(CK)	JESD79-3F Table 28, Figure 93
VIX(CK)	JESD79-3-1A.01 Table 25, Figure 2
VIX(CK)	JESD79-3-1A.01 Table 25, Figure 2
VIHdiff.CK	JESD79-3F Table 25, Figure 91
VIHdiff.CK	JESD79-3-1A.01 Table 23
VILdiff.CK	JESD79-3F Table 25, Figure 91
VILdiff.CK	JESD79-3-1A.01 Table 23
VIHdiff.CK(AC)	JESD79-3F Table 25, Figure 91
VIHdiff.CK(AC)	JESD79-3-1A.01 Table 23
VILdiff.CK(AC)	JESD79-3F Table 25, Figure 91
VILdiff.CK(AC)	JESD79-3-1A.01 Table 23
tDVAC(CK)	JESD79-3F Table 26, Figure 91, JESD79-3-1A.01 Table 24
tJIT(cc)	JESD79-3F 12.1.5, Table 68, Table 69
tCK(avg)	JESD79-3F 12.1.1, Table 62-67
tJIT(per)	JESD79-3F 12.1.4, Table 68, Table 69
tERR(nper)	JESD79-3F 12.1.6, Table 68, Table 69
tCK(abs)	JESD79-3F 12.1.2, Table 68, Table 69
tCH(avg)	JESD79-3F 12.1.3, Table 68, Table 69
tCL(avg)	JESD79-3F 12.1.3, Table 68, Table 69
tJIT(duty)	JESD79-3F table 68, Table 69
tCH(abs)	JESD79-3F 12.1.3, Table 68, Table 69
tCL(abs)	JESD79-3F 12.1.3, Table 68, Table 69
VSEH(DQS/DQS#)	JESD79-3F Table 27
VSEL(DQS/DQS#)	JESD79-3F Table 27

测试参数名	参考
Overshoot(DQS/DQS#)	JESD79-3F Table 37
Undershoot(DQS/DQS#)	JESD79-3F Table 37
OvershootArea(DQS/DQS#)	JESD79-3F Table 37, Figure 99
UndershootArea(DQS/DQS#)	JESD79-3F Table 37, Figure 99
VIX(DQS)	JESD79-3F Table 28, Figure 93, JESD79-3-1A.01 Table 25
VIX(DQS)	JESD79-3F Table 28, Figure 93, JESD79-3-1A.01 Table 25
VIHdiff.DQS	JESD79-3F Table 25, Figure 91
VIHdiff.DQS	JESD79-3-1A.01 Table 23
VIHdiff.DQS	JESD79-3-1A.01 Table 23
VILdiff.DQS	JESD79-3F Table 25, Figure 91
VILdiff.DQS	JESD79-3-1A.01 Table 23
VIHdiff.DQS(AC)	JESD79-3F Table 25, Figure 91
VIHdiff.DQS(AC)	JESD79-3-1A.01 Table 23
VILdiff.DQS(AC)	JESD79-3F Table 25, Figure 91
VILdiff.DQS(AC)	JESD79-3-1A.01 Table 23
tDQSS	JESD79-3F table 68, Table 69, Figure 44
tDQSH	JESD79-3F table 68, Table 69, Figure 44
tDQSL	JESD79-3F table 68, Table 69, Figure 44
tDSS	JESD79-3F table 68, Table 69, Figure 44
tDSH	JESD79-3F table 68, Table 69, Figure 44
tWPRE	JESD79-3F 4.14.4, Figure 45, table 68, Table 69
tWPST	JESD79-3F 4.14.5, Figure 46, table 68, Table 69
tDVAC(DQS)	JESD79-3F Table 26, Figure 91, JESD79-3-1A.01 Table 24
VOHdiff(AC)	JESD79-3F Table 31
VOLdiff(AC)	JESD79-3F Table 31
SRQdiffR/SRQdiffF	JESD79-3F Table 35, Figure 96
SRQdiffR/SRQdiffF	JESD79-3F Table 35, Figure 96
SRQdiffR/SRQdiffF	JESD79-3-1A.01 Table 22
SRQdiffR/SRQdiffF	JESD79-3-1A.01 Table 22
tHZ(DQS)	JESD79-3F 4,13,2.3 Figure 30, Table 68, Table 69
tLZ(DQS)	JESD79-3F 4,13,2.3 Figure 30, Table 68, Table 69

测试参数名	参考
tRPRE	JESD79-3F 4.13.2.4 Figure31, Table 68, Table 69
tRPST	JESD79-3F 4.13.2.5 Figure32, Table 68, Table 69
tQSH	JESD79-3F 4.13.2.1 Figure 28, Table 68, Table 69
tQSL	JESD79-3F 4.13.2.1 Figure 28, Table 68, Table 69
tDQSCK	JESD79-3F 4.13.2.1 Figure 28, Table 68, Table 69
VIH.DQ(DC)	JESD79-3F Table 24, JESD79-3-1A.01 Table 5
VIL.DQ(DC)	JESD79-3F Table 24, JESD79-3-1A.01 Table 5
VIH.DQ(AC)	JESD79-3F Table 24, JESD79-3-1A.01 Table 5
VIL.DQ(AC)	JESD79-3F Table 24, JESD79-3-1A.01 Table 5
SlewSR	JESD79-3F 13.6 Figure 114
SlewSF	JESD79-3F 13.6 Figure 114
SlewHR	JESD79-3F 13.6 Figure 115
SlewHF	JESD79-3F 13.6 Figure 115
tDS(base)	JESD79-3F 13.6 Figure 114-117
tDH(base)	JESD79-3F 13.6 Figure 114-117
tDS(derate)	JESD79-3F Table 77-80, JESD-79-3-1A.01 Table 14
tDH(derate)	JESD79-3F Table 77-80, JESD-79-3-1A.01 Table 14
tDIPW	JESD79-3F Table 68, Table 69
tVAC	JESD79-3F Figure 114, Table 81, JESD79-3-1A.01 Table 16
VOH(DC)	JESD79-3F Table 30
VOH(AC)	JESD79-3F Table 30
VOL(DC)	JESD79-3F Table 30
VOL(AC)	JESD79-3F Table 30
SRQseR/SRQseF	JESD79-3F 9.3 Figure 95, Table 33
SRQseR/SRQseF	JESD79-3F 9.3 Figure 95, Table 33
SRQseR/SRQseF	JESD79-3F 9.3 Figure 95, JESD79-3-1A.01 Table 21
SRQseR/SRQseF	JESD79-3F 9.3 Figure 95, JESD79-3-1A.01 Table 21
tHZ(DQ)	JESD79-3F 4,13,2.3 Figure 30, Table 68, Table 69
tLZ(DQ)	JESD79-3F 4,13,2.3 Figure 30, Table 68, Table 69
tLZ(DQ)	JESD79-3F 4,13,2.3 Figure 30, Table 68, Table 69
tDQSQ	JESD79-3F 4.13.2 Figure 27, Table 68, Table 69
tQH	JESD79-3F 4.13.2 Figure 27, Table 68, Table 69

测试参数名	参考
Overshoot(DQ/DM)	JESD79-3F 9.6.2 Figure 99, Table 37
Undershoot(DQ/DM)	JESD79-3F 9.6.2 Figure 99, Table 37
OvershootArea(DQ/DM)	JESD79-3F 9.6.2 Figure 99, Table 37
UndershootArea(DQ/DM)	JESD79-3F 9.6.2 Figure 99, Table 37
VIH.CA(DC)	JESD79-3F 8.1.1 Table 23, JESD79-3-1A.01 Table 4
VIL.CA(DC)	JESD79-3F 8.1.1 Table 23, JESD79-3-1A.01 Table 4
VIH.CA(AC)	JESD79-3F 8.1.1 Table 23, JESD79-3-1A.01 Table 4
VIL.CA(AC)	JESD79-3F 8.1.1 Table 23, JESD79-3-1A.01 Table 4
SlewSR	JESD79-3F 13.6 Figure 110
SlewSF	JESD79-3F 13.6 Figure 110
SlewHR	JESD79-3F 13.6 Figure 111
SlewHF	JESD79-3F 13.6 Figure 111
Overshoot(ADDR/CMD)	JESD79-3F 9.6.2 Figure 98, Table 36
Undershoot(ADDR/CMD)	JESD79-3F 9.6.2 Figure 98, Table 36
OvershootArea(ADDR/CMD)	JESD79-3F 9.6.2 Figure 98, Table 36
UndershootArea(ADDR/CMD)	JESD79-3F 9.6.2 Figure 98, Table 36
tIS(base)	JESD79-3F Figure 110-113
tIH(base)	JESD79-3F Figure 110-113
tIS(derate)	JESD79-3F 13.5 Table 71-74, JESD79-3-1A.01 Table 8-10
tIH(derate)	JESD79-3F 13.5 Table 71-74, JESD79-3-1A.01 Table 8-10
tIPW	JESD79-3F Table 68, Table 69
tVAC	JESD79-3F Figure 110 Table 75, JESD79-3-1A.01 Table 11

表 2.2-3 DDR2 测试标准引用

测试参数名	参考
tCK(avg)	JESD-79-2F Table 43; JESD-208 Table 41
tCK(abs)	JESD-79-2F Table 43 Specific Note 36; JESD-208 Table 41 Specific Note 31
tCH(avg)	JESD-79-2F Table 43; JESD-208 Table 41
tCH(abs)	JESD-79-2F Table 43 Specific Note 36; JESD-208 Table 41 Specific Note 31
tCL(avg)	JESD-79-2F Table 43; JESD-208 Table 41
tCL(abs)	JESD-79-2F Table 43 Specific Note 36; JESD-208 Table 41 Specific Note 31
tJIT(per)	JESD-79-2F Table 43 Specific Note 35; JESD-208 Table 41 Specific Note 30
tJIT(cc)	JESD-79-2F Table 43 Specific Note 35; JESD-208 Table 41 Specific Note 30
tERR(2per)	JESD-79-2F Table 43 Specific Note 35; JESD-208 Table 41 Specific Note 30
tJIT(duty)	JESD-79-2F Table 43 Specific Note 35; JESD-208 Table 41 Specific Note 30
VIH(AC)	JESD-79-2F Table 21, JESD-208 Table 20
Slew Rate	JESD-79-2F Table 22, JESD-208 Table 21
Overshoot	JESD-79-2F Table 25/26, JESD-208 Table 24/25
Overshoot-area	JESD-79-2F Table 25/26, JESD-208 Table 24/25
Undershoot	JESD-79-2F Table 25/26, JESD-208 Table 24/25
Undershoot-area	JESD-79-2F Table 25/26, JESD-208 Table 24/25
VID(AC)	JESD-79-2F Table 23, JESD-208 Table 22
VIX(AC)	JESD-79-2F Table 23, JESD-208 Table 22
VOX(AC)	JESD-79-2F Table 24, JESD-208 Table 23
tAC	JESD-79-2F Table 42, Table 43, JESD-208 Table 41
tDQSCK	JESD-79-2F Table 42, Table 43, Figure 33, JESD-208 Table 41
tHZ	JESD-79-2F Table 42, Table 43, Figure 97, JESD-208 Table 41
tLZ(DQS)	JESD-79-2F Table 42, Table 43, Figure 97, JESD-208 Table 41
tLZ(DQ)	JESD-79-2F Table 42, Table 43, Figure 97, JESD-208 Table 41

测试参数名	参考
tDQSQ	JESD-79-2F Table 42, Table 43, Figure 32, JESD-208 Table 41
tQH	JESD-79-2F Table 42, Table 43, Figure 32, JESD-208 Table 41
tDQSS	JESD-79-2F Table 42, Table 43, Figure 39, JESD-208 Table 41
tDQSH	JESD-79-2F Table 42, Table 43, Figure 38, JESD-208 Table 41
tDQSL	JESD-79-2F Table 42, Table 43, Figure 38, JESD-208 Table 41
tDSS	JESD-79-2F Table 42, Table 43, Figure 39, JESD-208 Table 41
tDSH	JESD-79-2F Table 42, Table 43, Figure 39, JESD-208 Table 41
tWPST	JESD-79-2F Table 42, Table 43, Figure 38, JESD-208 Table 41
tWPRE	JESD-79-2F Table 42, Table 43, Figure 38, JESD-208 Table 41
tRPRE	JESD-79-2F Table 42, Table 43, Figure 32, JESD-208 Table 41
tRPST	JESD-79-2F Table 42, Table 43, Figure 32, JESD-208 Table 41
tDS(base)	JESD-79-2F Table 42, Table 43, Figure 85, JESD-208 Table 41
tDH(base)	JESD-79-2F Table 42, Table 43, Figure 85, JESD-208 Table 41
tDS(derate)	JESD-79-2F Table 44/46, Table 45, JESD-208 Table 42
tDH(derate)	JESD-79-2F Table 44/46, Table 45, JESD-208 Table 42
tDIPW	JESD-79-2F Table 42, Table 43, Figure 93, JESD-208 Table 41
tIS(base)	JESD-79-2F Table 42, Table 43, Figure 93, JESD-208 Table 41
tIH(base)	JESD-79-2F Table 42, Table 43, Figure 93, JESD-208 Table 41
tIS(derate)	JESD-79-2F Table 47, Table 48, JESD-208 Table 43
tIH(derate)	JESD-79-2F Table 47, Table 48, JESD-208 Table 43
tIPW	JESD-79-2F Table 42, Table 43, JESD-208 Table 41

3 测试设备

DDR2/3/4 一致性分析需要用到下述的设备：

- 示波器(如 SDS7000A/SDS8000A)，要求带宽≥8GHz，测试推荐的示波器带宽为 13G 到 16G 并开通 DDR 一致性分析选件。
- 有源差分探头：有源差分探头（如 SAP8000D），要求带宽≥8GHz，用于探测信号。

4 一致性测试软件

鼎阳科技的 DDR 一致性分析软件是依据 JEDEC 规范而推出的解决方案，该分析软件可控制示波器自动完成测试，图形化操作指导简化了测量过程，可灵活配置测试项目，测试报告记录了整个测量结果，包括测试数值及测试波形的截图。

SDS7000A / SDS8000A 提供 DDR2/ DDR3/ DDR4 一致性测试功能，按照 **分析** -> **一致性测试** -> **协议类型** 选择 **DDR**，点击 **ON**，即可打开一致性测试功能，如下图所示。



一致性测试功能分为三大部分：**测试项配置**、**结果查看**、**报告生成设置**，如下图所示。



4.1 测试项配置

测试项配置分为：**设置、测试项选择、配置、连接、启动测试、结果**六个步骤，其界面如下图所示。



下述为各测试项配置的详细说明：

4.1.1 设置

DDR 的设置项包含以下几大部分：配置、版本、数据速率、测试信号来源、数据选通信号类型(DDR2)、AC 电平（DDR3/DDR3L)、写前导码模式（DDR4)、读前导码模式（DDR4)。以下对各个部份分别介绍。括号里的版本表示该项配置为其所特有，例如：写前导码模式（DDR4)，表示测试 DDR4 时才会出现“写前导码模式”的选项。

1. 配置中的调出、上一次、保存：



- 保存：可以将设置、测试项选择、配置里的当前设置保存下来，会生成一个后缀是.xml 的文件，以便下一次直接调出保存的配置和选项。
- 调出：直接调用之前生成的.xml 的文件，使设置恢复到之前的状态。

- 上一次：调出上一次点击运行测试时的配置。

2. 版本选择：



选择要测试的 DDR 版本，目前提供 DDR2、DDR3、DDR3L、DDR4 四个测试版本。

3. 测试数据速率选择：



根据用户选择的不同 DDR 版本，有不同的数据速率可供用户选择，用户可根据 DUT 的速率进行相应的勾选。每个选项后面的数字代表所选 SDRAM 类型的数据传输速率（单位为 MT/s）。

4. 数据选通信号 DQS 的信号类型选择，该项选择适用于 DDR2 测试：



有的 DUT 上的 DDR2 的 DQS 为单端信号，有的是差分信号，用户可根据自己 DUT 的情况选择 DQS 信号的类型。

5. 测试信号来源选择：



测试信号来源分为两种：实时采集和波形文件。

- 实时采集：用户通过探头连接 DUT，实时采集测试数据，示波器根据采集的数据进行相应的测试。
- 波形文件：用户可以将待测的信号保存为 bin 文件，示波器会将相应的 bin 文件恢复为对应的波形，并对其进行相应的测试。

当测试信号来源选择“波形文件”时，可通过“配置”选项里的“波形文件设置”按照要求加入对应的波形文件。如下图所示：



当测试信号来源选择“波形文件”时，“连接”选项里就会提示“运行当前测试不需要连接任何探头”；如果选择的“实时采集”，那么“连接”里就会显示各个通道所需要接入的信号。注意，用户在每次启动测试时，需要查看设备的连接是否满足对应的“连接”要求。

6. AC 电平选择，该项选择适用于 DDR3 测试：

AC 电平分为 DQ 和 CA 两部份，其分别表示数据信号 DQ 和命令/地址信号 CA，不同的数据速率有不同的可选值，AC 电平的可选值如下图所示：



上图中的 135、150、175 和 DDR 测试时的阈值有关，所选的值越小阈值越低，其对噪声的容限越低，时序窗口越小，对应的 DDR3 数据速率越快。例如选择 DDR3-2133 时， DQ 的 AC 电平只有 135 可选，如下图所示：



用户可根据实际的数据速率选择不同的 AC 电平值，所选的值越小越严苛，一般推荐高速选 135，中速选 150，低速选 150 或者 175。

7. 写前导码模式，该项选择适用于 DDR4 测试：

当数据速率为 2400MT/s 及以上时，写前导码模式中的 2tCK 选项会变成可选项，用户可根据 DUT 的 DQS 写前导码长度进行相应的勾选，1tCK 表示 DQS 写前导码长度为 1 个时钟周期， 2tCK 表示 DQS 写前导码长度为 2 个时钟周期。

8. 读前导码模式，该项选择适用于 DDR4 测试：

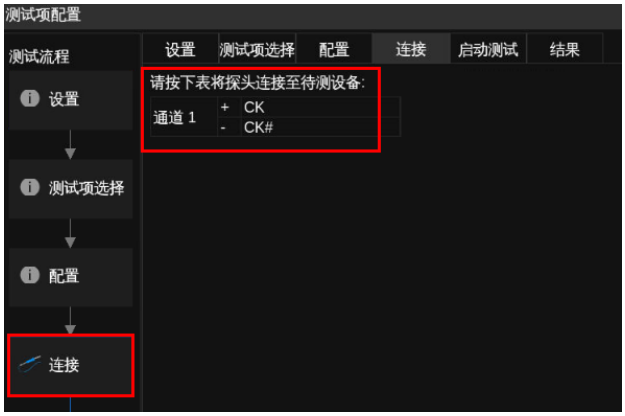
该选项的含义同写前导码模式一样，只不过此处针对的是读前导码，此处不再赘述。

4.1.2 测试项选择

在本栏目中选择需要测试的项目，如下所示。



用户可勾选想测的项目，不同的测试项目有不同的连接方法，“连接”里会显示各个通道所需要接入的信号。在启动测试前请检查 DUT 是否按要求连接。连接界面如下图所：

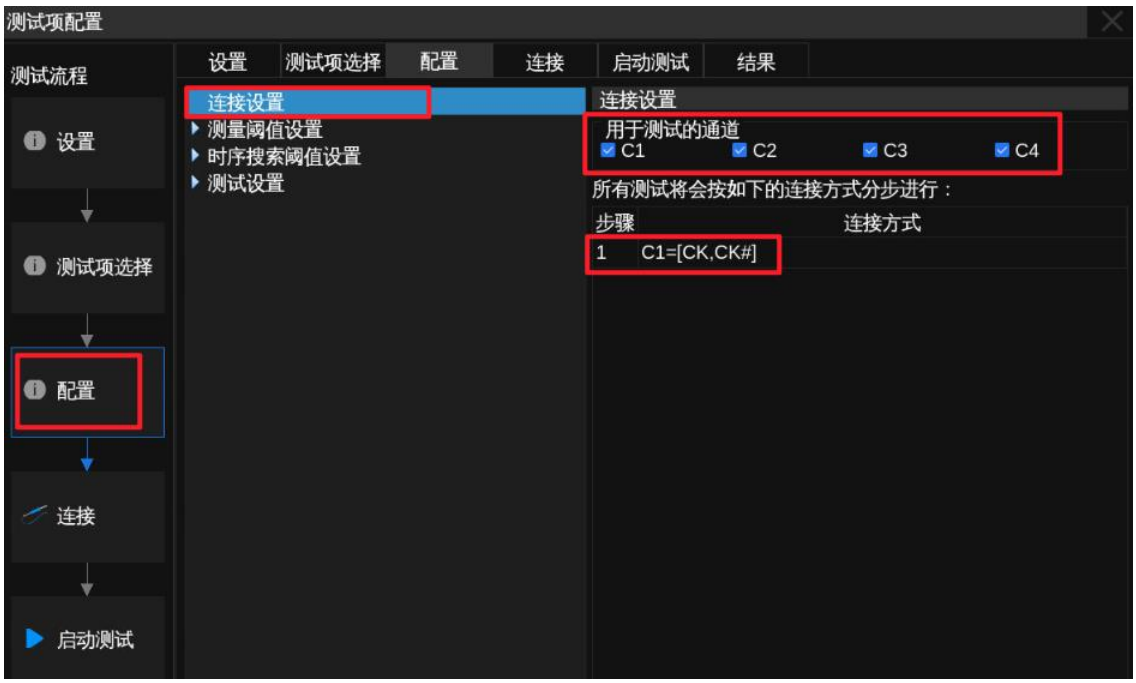


根据上图的提示，将 CLK 差分信号的正端接 1 通道差分探头的正极，将 CLK 差分信号的负端接 1 通道差分探头的负极。

4.1.3 配置

1. 连接设置

该配置用于选择测试通道，用户可根据自己的需要选择对应的测试通道，系统会根据用户的选择分配不同的信号，如下图所示：



上图中，将 4 个通道都勾选上的话，系统会认为 4 个通道均可用于测试，然后就会将当前测试项的信号分配到 1 通道。即要求将 CLK 差分信号接到示波器 1 通道。

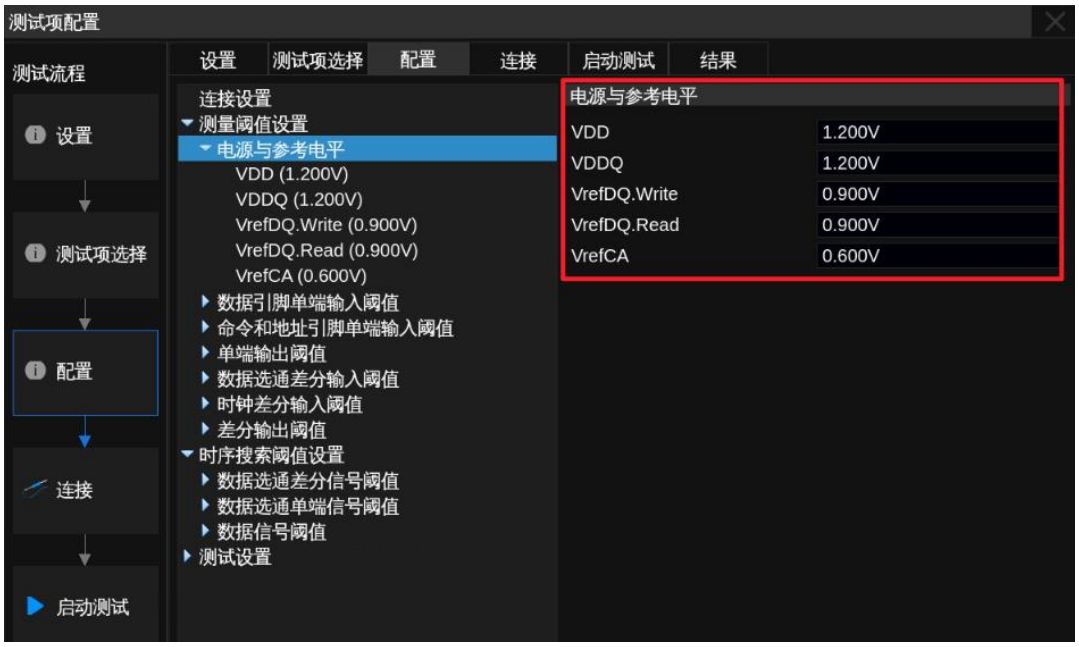


上图中，只勾选了 3、4 通道，系统会认为只有 3、4 通道可用于测试，然后就将当前测试项的信号分配到 3 通道。即要求将 CLK 差分信号接到示波器 3 通道。此时的连接页面也会对应变成 3 通道，如下图所示。用户可根据实际情况灵活选择用于测试的通道。多个信号时，具体某个信号接哪个通道，此由系统分配，当前不支持手动指定。



2. 测量阈值设置

该项用于设置测试时的阈值以及一些参考电平，主要用于高低电平确定。这些配置已由系统提前配置好了，且遵循 JESD 规范要求，用户无需单独配置。在设置中选择不同的 DDR 版本、不同的数据速率以及不同的 AC 电平值(DDR3)，该配置值有的也会跟着自动改变。如有特殊要求，用户可以在右边的输入框里自定义这些配置值，一般使用系统自带的配置值即可。配置界面如下图所示：



3. 时序搜索算法设置



配置里的时序搜索算法设置分为两个部分：

1） 读写分离中检查幅度（顶端值-底端值）

- 对数据选通信号使能



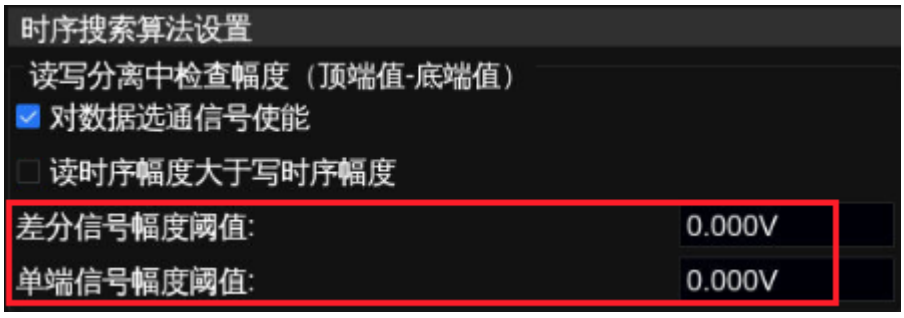
勾选时，算法会在原有的根据相位判断读写时序的基础上加上 DQS 幅度判断，因为一般情况下，DDR4 中 DQS 读时序和写时序的幅度是不一样的，所以可以以此判断读写时序，避免仅根据相位判断时因为抖动导致时序误判。不勾上该选项，仅以相位作为读写时序的判断依据。

- 读时序幅度大于写时序幅度



在勾选上“对数据选通信号使能”的基础上，此选项被勾选时，如果信号幅度大于阈值则为读时序，小于阈值为写时序。不勾选时，如果信号幅度大于阈值则为写时序，小于阈值为读时序。

- 差分/单端信号幅度阈值



该值分别用来设置 DQS 为差分信号和单端信号时的幅度判断阈值，即作为根据 DQS 幅度判断读写时序时的阈值。

2) 时序搜索中检查片选信号

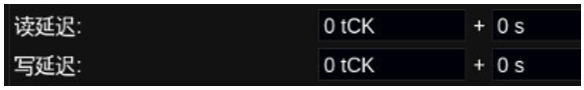


- 使能



DDR 中的片选信号主要用于多 Rank 中的单个 Rank 的选择上，目前常用的单 Rank 连接方式下，一条数据线只连接一个 DRAM 芯片，多 Rank 下，一条数据线连接多个 DRAM 芯片，多 Rank 下，抓取的读写数据可能并不是被测芯片的数据，勾选上该选项，测试时会检测片选信号，用于确保读写数据的准确性。此时需要接上片选信号，部分测试项至少要 4 个探头才可以完成测试。

- 读延迟/写延迟



由于片选信号并不会在整个 Burst 内保持低电平，而是作为命令的一部分，这意味着在读写命令发出后，片选信号 CS 的状态可能已经改变，所以在算法上无法通过检测读写时序时的片选信号状态来确定当前数据来自于被测 DRAM 芯片。所以在算法上，通过在读写时序起始位(不包含前导码)向左移动读延迟 / 写延迟秒的位置，判断该位置上片选信号的状态。

不同配置下的读写延迟时间不一样，用户需要将被测设备的读写延迟时间录入输入框内，以便算法准确判断 CS 信号的状态。

读写延迟分为 tCK 为单位的部分和秒为单位的部分，两个不同单位的部分在实际算法中会被加起来。目前 tCK 最大值暂定为 32，最小值为 0，秒的限制为±100ns。tCK 部分供用户直接根据寄存器配置输入 RL/WL 的值，秒用于微调时间差。也可以将手动测量得到的片选低电平至 DQS(不包括前导码)的第一个边沿之间的时间差填在秒里，tCK 填 0。用户可以灵活的配置相应的数值。

- 有效电平



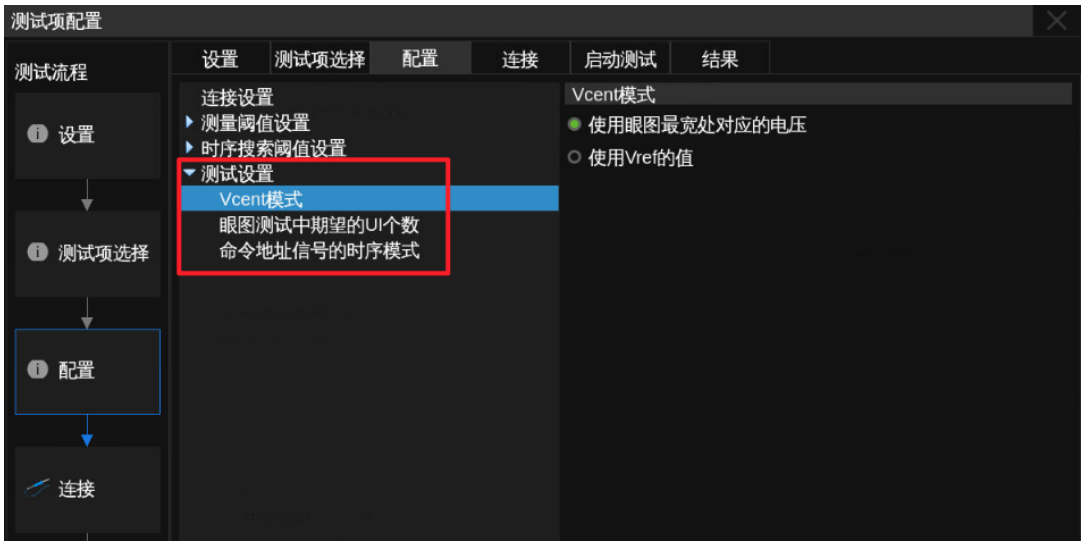
用户输入片选信号选中该芯片时所对应的电平，如果算法搜索到的 CS 电平不等于用户所设定的电平，则会在时序搜索结果中删除该时序。经过筛选后满足要求的时序才会被用于测试项测试或者眼图绘制。

4. 时序搜索阈值设置：

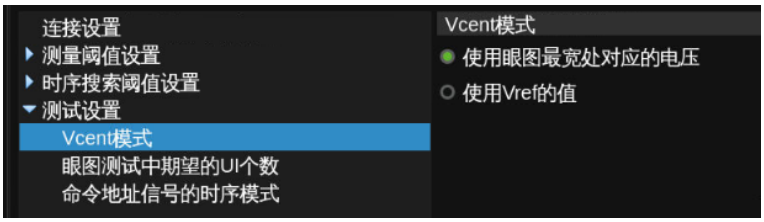
该阈值主要用于时序搜索时判断数据的有效性，上升沿需要从低阈值穿过高阈值才会算作一个有效边沿，下降沿类似，然后 Idle 电平也是通过判断信号电压是否在高阈值和低阈值之间来实现的。该阈值的设置直接影响时序的搜索结果，用户可根据实际的波形进行相应的修改和设置。



5. 测试设置，该项选择适用于 DDR4 测试：



- Vcent 模式：如下图所示，用于选择是通过统计眼图开口最宽处作为 VcentDQ，还是直接使用电源和参考电压阈值中的 Vref 阈值作为 VcentDQ 相关测量项的测试阈值。



- 眼图测试中期望的 UI 个数：用于选择眼图积累所希望的 UI 个数，由于一帧波形内的有效 UI 个数不一定能够满足测试需求，所以目前眼图通过截取多帧波形中 Burst 内的波形至一个波形文件并导入到 Memory 再进行绘制的方式实现，实际测试中会尽量使得实际的 UI 个数不小

于该值；如果一个 UI 内的波形点数过多，则可能会由于总波形的点数限制原因而导致实际的 UI 个数小于该设置值。



- 命令地址的时序模式：1T 模式/2T 模式，如下图，1T 模式下命令/地址保持一个时钟周期，在第一个时钟上升沿处采样，2T 模式下命令地址保持 2 个时钟周期，第一个时钟上升沿处由于片选信号为高所以无效，因此芯片实际会使用第二个时钟上升沿处采样的命令/地址信号。该模式影响 tIS 测试项。



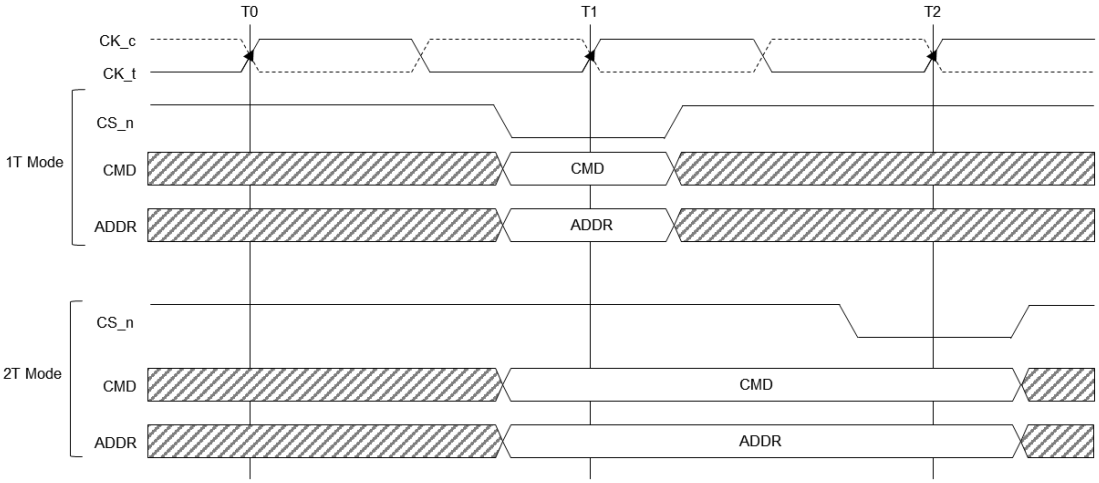
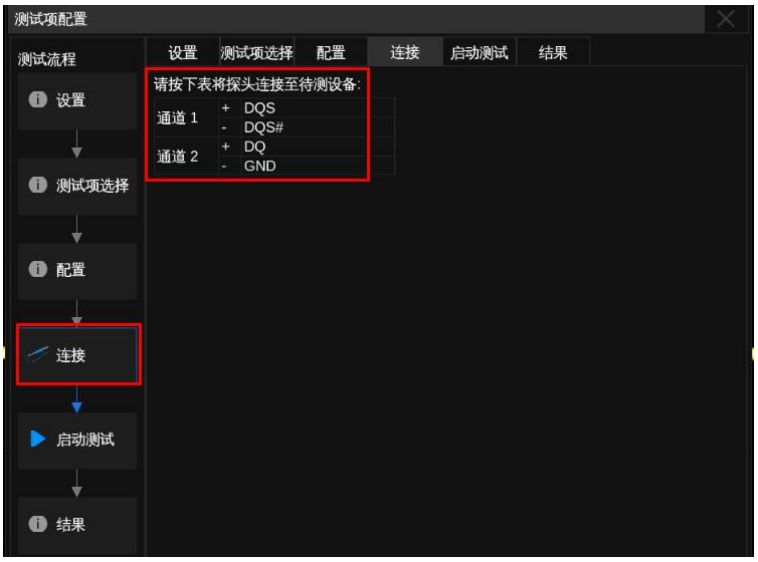


图 4.1-1 1T 模式/2T 模式的区别

4.1.4 连接

根据选择的测试项，以及配置中的连接设置的不同，连接页面会显示各个通道所需连接的待测设备信号，用户按要求将对应的信号接入对应的通道即可。连接界面如图下图所示。



注意：在每次启动测试前，请检查信号的连接是否符合要求。

4.1.5 启动测试

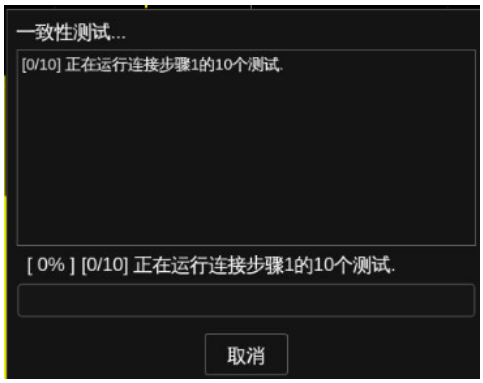
启动测试窗口如下图所示，点击“运行测试”后，界面右上角会弹出提示框，以提示用户按要求连接好设备。



提示窗口如下图所示，如果用户已经连接好设备，点击确定即可开始测试，如果还没连接好，可以等连接好后再点击确定；点击停止即可取消此次测试，点击跳过可以跳过该连接所对应的测试项，进行下一个测试项，并弹出下一项的连接提示窗口，按提示要求连接即可。如果用户选择了多个测试项，在每个大的测试项结束后，也会弹出这样的提示框，按要求连接即可。



在接下来的测试过程中，会有弹窗显示当前的测试进度，如下图所示。点击取消可停止当前测试。



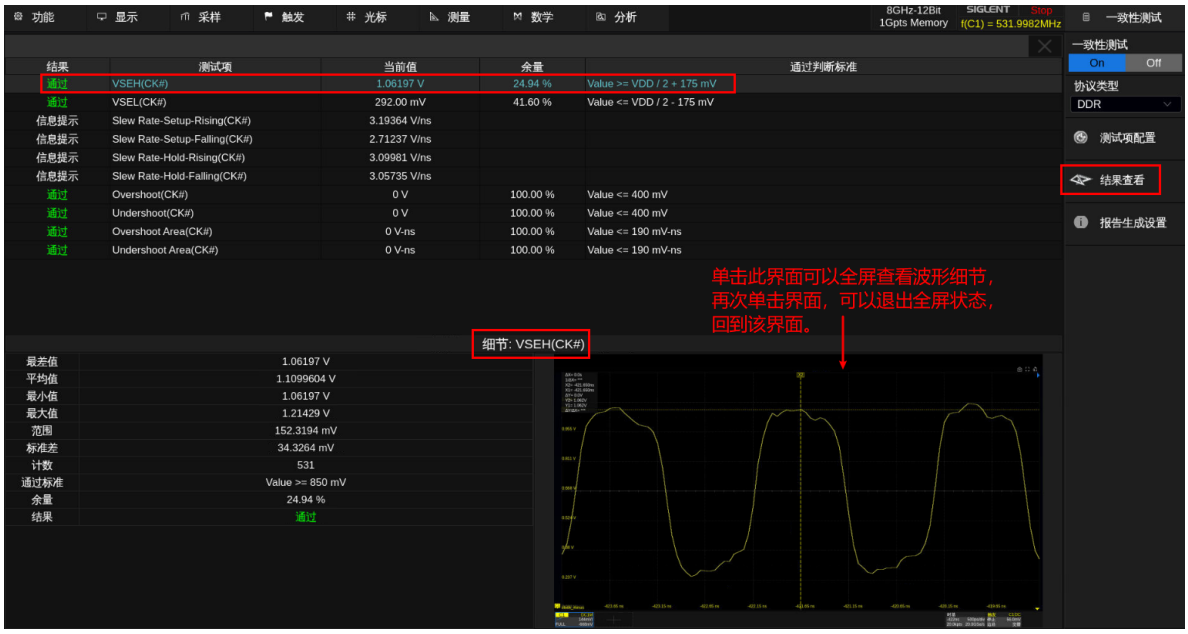
当捕获到对应的波形后，界面会显示各个测试项的波形，并用光标卡出测试位置，然后自动截图。若未捕获到相应的波形，弹窗也会有相应的提示，如下图所示：



若未捕获到所需的时序，系统会再次尝试，当多次尝试后都未捕获到，点击取消和退出即可结束当前测试。此时请检查 DUT 的连接是否满足系统要求，也可手动查看信号波形有无异常。

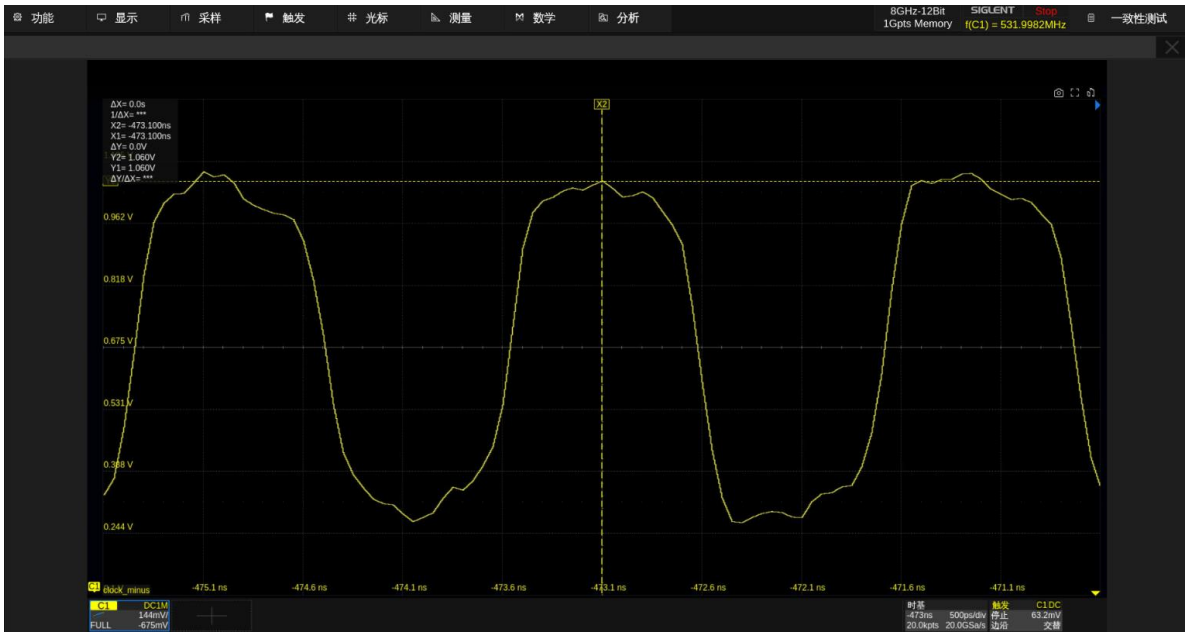
4.2 结果查看

测试完成后，示波器会自动进入到测试结果界面，如下图所示：



点击某个具体的测试项，界面下方会对应显示该测试项的细节信息。可以单击波形界面放大波形，查看波形的细节信息，再次点击放大后的波形，可以返回到该界面。点击右侧的结果查看，可以退出该界面，再次点击结果查看，可以进入该界面。

波形细节图，如下图所示：



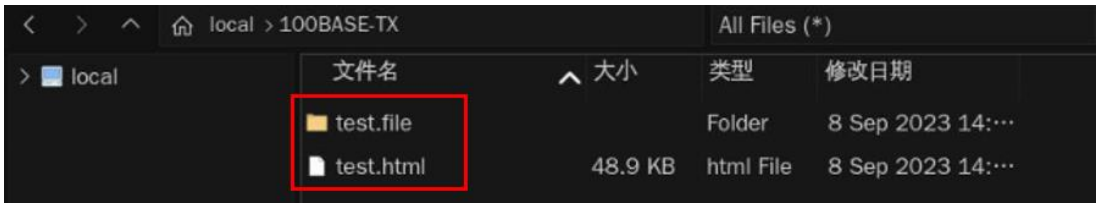
点击上图的界面可返回结果界面。

4.3 报告生成设置

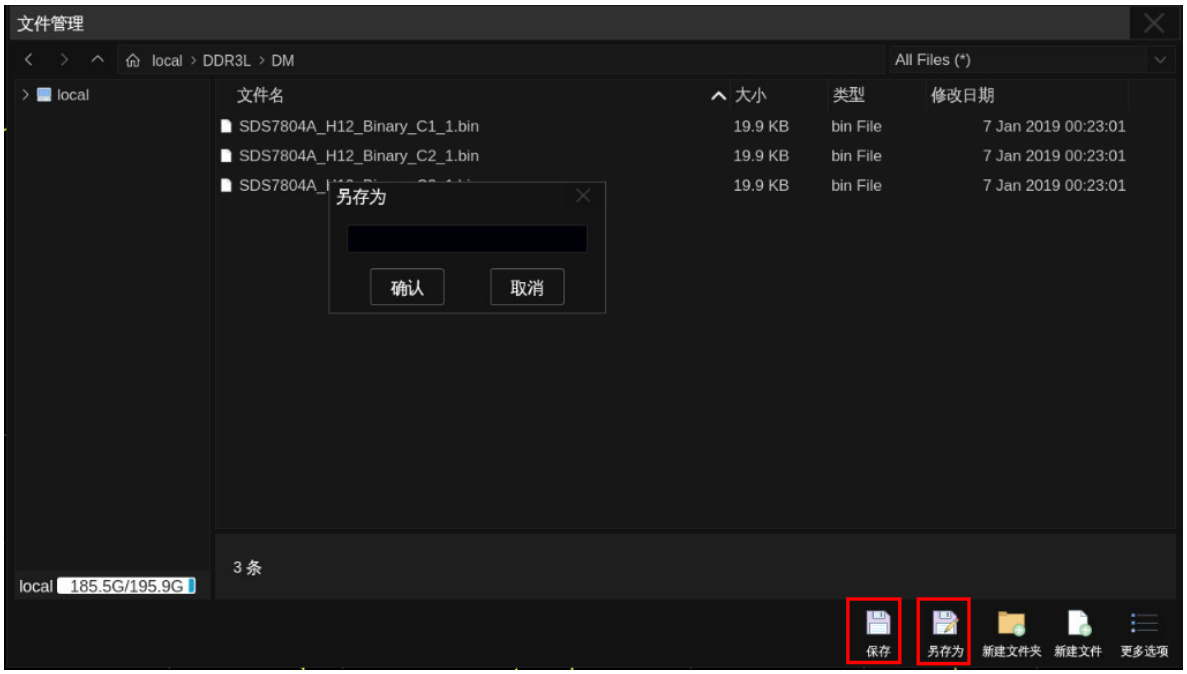


如上图所示，点击右上角的一致性测试，再点击 **报告生成设置，可进入报告生成设置界面**，左侧可填入有关的测试信息，也可不填。报告文件类型提供了三种文件格式：XML、HTML、PDF，用户可根据需求选择。

【注意】：保存成 HTML 格式时，如下图所示，会生成一个文件夹与 HTML 文件，两者的文件名相同（后缀名不同），如需拷贝，需要把两者都拷走，并且将两者放置在同一路径下。



点击**预览报告**可以提前查看生成报告的效果；点击**文件管理**，用户可自行选择报告保存的路径，点击**保存**即可保存测试结果，点击**另存为**，可以给文件命名再保存。如下图所示。



测试报告包括所有测试结果的摘要表，点击具体的某个测试项，可以跳转到对应的波形截图位置，以便查看详细的测试信息。

SIGLENT®

DDR Compliance Test Report

Overall Result: Pass

Operator:	ylz
Test Date:	2019-01-12 00:17:09
Device:	SDS7000A
Temperature:	25
Remarks:	
Oscilloscope Name:	SDS7804A H12
Oscilloscope Serial Number:	SDS70020240323
Oscilloscope Scope ID:	9ca8-34cb-7625-4db1
Oscilloscope Firmware Version:	04.16.05.1.2.1.0
Test Result:	Total:10,Pass:10,Not Tested:0,Fail:0

Summary

Result	Test Name	Worst Value	Worst Margin	Pass Limits
Pass	VSEH(CK#)	1.05969 V	24.67 %	Value >= 850 mV
Pass	VSEL(CK#)	279.05 mV	44.19 %	Value <= 500 mV
Info	Slew Rate-Setup-Rising(CK#)	2.99437 V/ns	N/A	N/A
Info	Slew Rate-Setup-Falling(CK#)	2.52122 V/ns	N/A	N/A
Info	Slew Rate-Hold-Rising(CK#)	2.94095 V/ns	N/A	N/A
Info	Slew Rate-Hold-Falling(CK#)	2.71323 V/ns	N/A	N/A
Pass	Overshoot(CK#)	0 V	100.00 %	Value <= 400 mV
Pass	Undershoot(CK#)	0 V	100.00 %	Value <= 400 mV
Pass	Overshoot Area(CK#)	0 V-ns	100.00 %	Value <= 190 mV-ns
Pass	Undershoot Area(CK#)	0 V-ns	100.00 %	Value <= 190 mV-ns

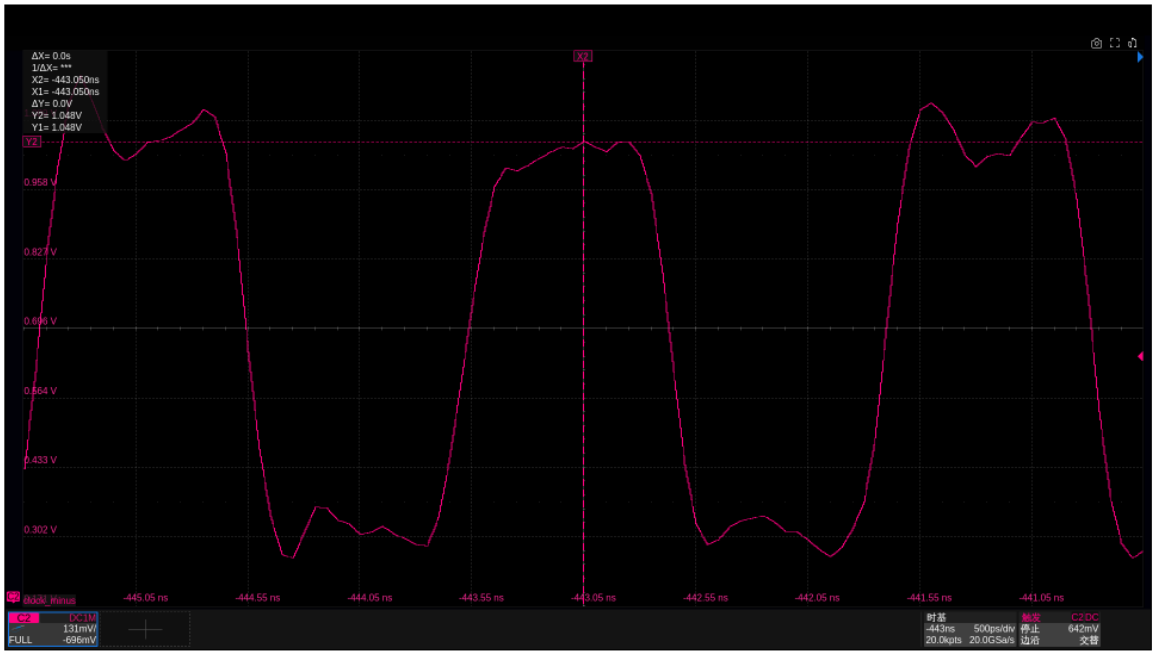
报告的总览信息以及摘要信息如上图所示。

详细信息页面包括一个相关测试波形的屏幕截图、相应测试结果、测试阈值(Pass Limits)以及测试结果离门限余量的百分比(Worst Margin)等信息，如下图所示。

Details

[Top]

VSEH(CK#)	
Worst Value	1.048 V
Mean	1.1004 V
Min	1.048 V
Max	1.199 V
Range	150.6 mV
Stdev	18.126 mV
Count	532
Pass Limits	Value >= 850 mV
Worst Margin	23.31 %
Result	Pass



5 时钟单端正信号测试集

5.1 VSEH(Clock Plus)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证 CLK 单端正信号的正脉冲的最大电压是否符合 JESD 规范中规定的 VSEH 值。DDR3/DDR4 的 VDD 值直接影响一致性限制值，DDR3 中该值为 1.5V，DDR3L 为 1.35V，DDR4 中该值为 1.2V。用户可以选择使用配置中的"阈值设置"功能，按照自定义的 VDD 值执行此测试，一般情况下不建议更改这些参数。

注：用户手册中如果只写了 DDR3 的取值范围，未单独列出 DDR3L 的取值范围，则表示该范围也适用于 DDR3L，下同。

5.1.1 规范说明

表 5.1-1 DDR3 VSEH(CK)规格要求

测试项	释义	DDR3-800/1066/1333/1600		单位
		最小值	最大值	
VSEH(CK)	时钟单端高电平	(VDD/2)+0.175	/	V

表 5.1-2 DDR4 VSEH(CK)规格要求

测试项	规格						单位
	DDR4-1600/1866/2133		DDR4-2400/2666		DDR4-2933/3200		
VSEH(CK)	Min	Max	Min	Max	Min	Max	V
	(VDD/2)+0.1	/	(VDD/2)+0.095	/	(VDD/2)+0.085	/	

5.1.2 计算方法

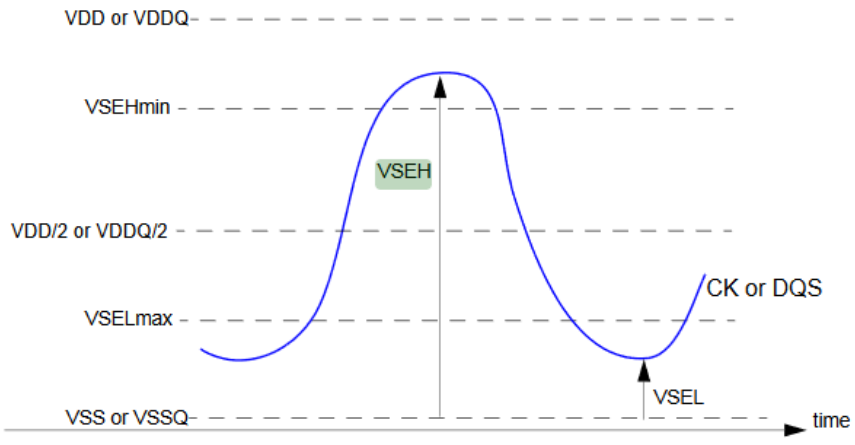


图 5.1-1 V_{SEH} 计算方法

1. 预置示波器。
2. 在被测 CLK 信号的上升沿触发。
3. 在整个波形中查找所有有效的时钟正脉冲。一个有效的时钟正脉冲从有效时钟上升沿的 VREF 穿越点始，到下一个有效时钟下降沿的 VREF 穿越点结束。
4. 对于一个有效的时钟正脉冲，测量其脉冲的电压最大值 VMax 并将其视为 VSEH。对波形中发现的所有有效正脉冲重复上一步。
5. 从测出的 VSEH 中找出最差的结果。

5.1.3 测试结果参考

下图 5.1-2 为可观测的测试结果示例。



图 5.1-2 DDR3 VSEH(CK)测试示例

5.2 VSEL(Clock Plus)

该项测试为 DDR3 所特有，该测试的目的是验证 CLK 单端正信号的负脉冲的最小电压是否符合 JESD 规范中规定的 VSEL 值。DDR3/DDR4 的 VDD 值直接影响一致性限制值，DDR3 中该值为 1.5V，DDR3L 为 1.35V，DDR4 为 1.2V，用户可以选择使用配置中的 "阈值设置 "功能，按照自定义的 VDD 值执行此测试，一般情况下不建议更改这些参数。

5.2.1 规范说明

表 5.2-1 DDR3 VSEL(CK)规格要求

测试项	释义	DDR3-800/1066/1333/1600		单位
		最小值	最大值	
VSEL(CK)	时钟单端低电平	/	(VDD/2)-0.175	V

表 5.2-2 DDR4 VSEL(CK)规格要求

测试项	规格						单位
	DDR4-1600/1866/2133		DDR4-2400/2666		DDR4-2933/3200		
VSEL(CK)	Min	Max	Min	Max	Min	Max	V
	/	(VDD/2)-0.1	/	(VDD/2)-0.095	/	(VDD/2)-0.085	

5.2.2 计算方法

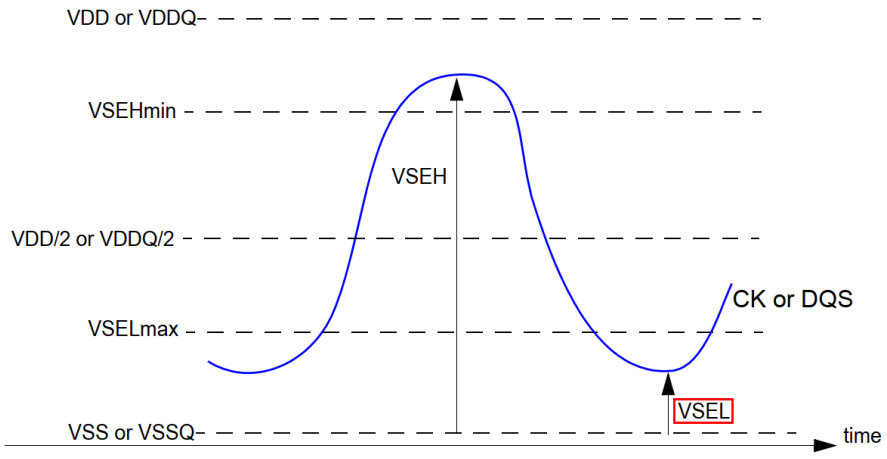


图 5.2-1 V_{SEL} 计算方法

1. 预置示波器。

2. 在被测 CLK 信号的上升沿触发。
3. 在整个波形中查找所有有效的时钟负脉冲。一个有效的时钟负脉冲开始于有效时钟下降沿的 VREF 穿越点，结束于有效时钟上升沿的 VREF 穿越点。
4. 对于一个有效的时钟负脉冲，测量其电压最小值 VMin 并将其视为 VSEL 值。
5. 对波形中发现的所有有效负脉冲重复上一步。
6. 从测出的 VSEL 中找出最差的结果。

5.2.3 测试结果参考

下图 5.2-2 为可观测的测试结果示例。



图 5.2-2 DDR3 VSEL(CK)测试示例

5.3 Overshoot 和 Overshoot Area(Clock Plus)

过冲测试可分为两个子测试：过冲幅度和过冲面积测试。过冲测试的目的是从获取的波形区域验证测试信号的过冲值（过冲幅度和过冲面积）是否满足 JESD 规范中规定的一致性限值。过冲面积的计算基于过冲宽度和过冲幅度。过冲区域应小于或等于 JESD 规范中规定的一致性限制。

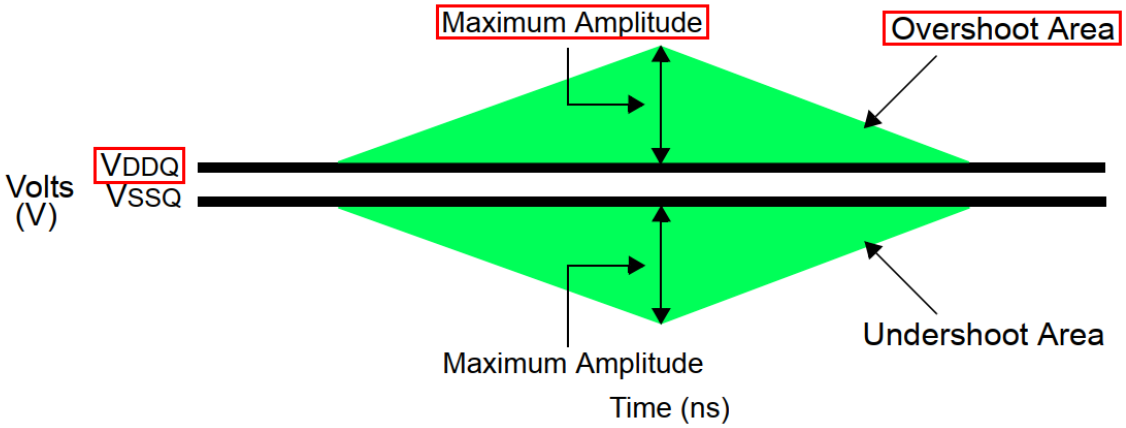


图 5.3-1 DDR2/3 CK 过冲幅度和过冲面积的定义

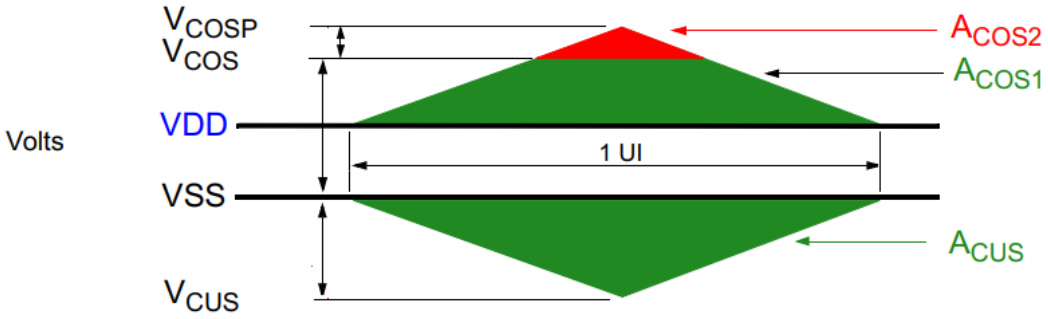


图 5.3-2 DDR4 CK 过冲幅度和过冲面积的定义

DDR4 自动化测试中 CLKP 的 Overshoot 定义为超过 VDD（1.2V）的部分，其最大不能超过 0.3V。Overshoot Area 分为两部分，Overshoot Area1 是一个 UI 内，介于 VDD(1.2V)和 Vcos(1.44V)之间的部分的面积；Overshoot Area2 是一个 UI 内超过 Vcos1.44V 的部分的面积。DDR4 对这两部分的过冲面积都有严格的要求，门限取值范围如下表 5.3-3 所示。Undershoot 和 Undershoot Area 和 DDR3 没有多大差异。

5.3.1 规范说明

表 5.3-1 DDR3 CK 过冲幅度和过冲面积规格要求

测试项	规格					
	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Overshoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Overshoot Area	0.25V-ns	0.19 V-ns	0.15 V-ns	0.13 V-ns	0.11 V-ns	0.10 V-ns

表 5.3-2 DDR2 CK 过冲幅度和过冲面积规格要求

测试项	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Overshoot	0.5V	0.5V	0.5V	0.5V	0.5V
Overshoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19 V-ns

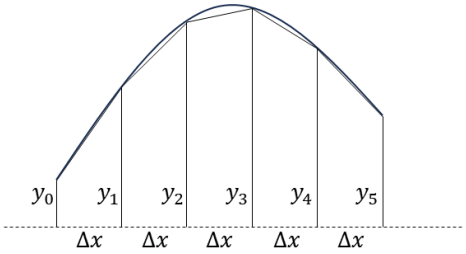
表 5.3-3 DDR4 CLK_P/N 过/下冲幅度和过/下冲面积规格要求

Parameter	Symbol	DDR4-1600	DDR4-1866	DDR4-2133	DDR4-2400	DDR4-2666	DDR4-2933	DDR4-3200	unit
Maximum peak amplitude above V_{COS}	V_{COSP}	0.06							V
Upper boundary of overshoot area A_{DOS1}	V_{COS}	VDD + 0.24							V
Maximum peak amplitude allowed for undershoot	V_{CUS}	0.3							V
Maximum overshoot area per 1 UI above VCOS	A_{COS2}	0.0038	0.0032	0.0028	0.0025	0.0025			V-ns
Maximum overshoot area per1 UI between VDD and V_{DOS}	A_{COS1}	0.1125	0.0964	0.0844	0.075	0.075			V-ns

Maximum undershoot area per 1 UI below VSS	ACUS	0.1144	0.098	0.0858	0.0762	0.0762	V-ns

5.3.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找过冲区。过冲区从 CLK 与 V_{DDQ}（或 V_{DDCA}）上升交叉点开始，到 V_{DDQ}（或 V_{DDCA}）与 CLK 下降沿交叉点结束。
2. 在过冲区域内，执行以下步骤：
   a) 通过以下步骤评估过冲幅度：
      i. 计算波形过冲区最大电压 V_{MAX}。
      ii. 则过冲幅度 = V_{MAX} - V_{DDQ}（或 V_{DDCA}）。
   b) 采用梯形法计算过冲区域面积，如下图所示：



$$\text{Area} \approx \Delta x\left(\frac{y_0}{2} + y_1 + y_2 + y_3 + \cdots + \frac{y_n}{2}\right)$$

图 5.3-3 过冲面积计算方式

   c) 将计算结果存储，供以后的最坏情况查找过程使用。
3. 对获取的波形中发现的其余过冲区重复上一步。
4. 从存储结果中找出最差的结果。
5. 将测试结果与一致性测试限值进行比较。

5.3.3 测试结果参考

下图 5.3-4 为可观测的测试结果示例。



图 5.3-4 DDR3 Overshoot(CK)和 Overshoot Area (CK)测试示例

注：若测试的过冲幅度和过冲面积均为 0，表明被测信号幅度没有超过 VDDQ，此为正常现象。

5.4 Undershoot 和 Undershoot Area(Clock Plus)

下冲测试可分为两个子测试：下冲幅度和下冲面积测试。下冲测试的目的是从获取的波形区域验证测试信号的下冲值（下冲幅度和下冲面积）是否满足 JESD 规范中规定的一致性限值。下冲面积的计算基于下冲宽度和下冲幅度。下冲区域应小于或等于 JESD 规范中规定的一致性限制。

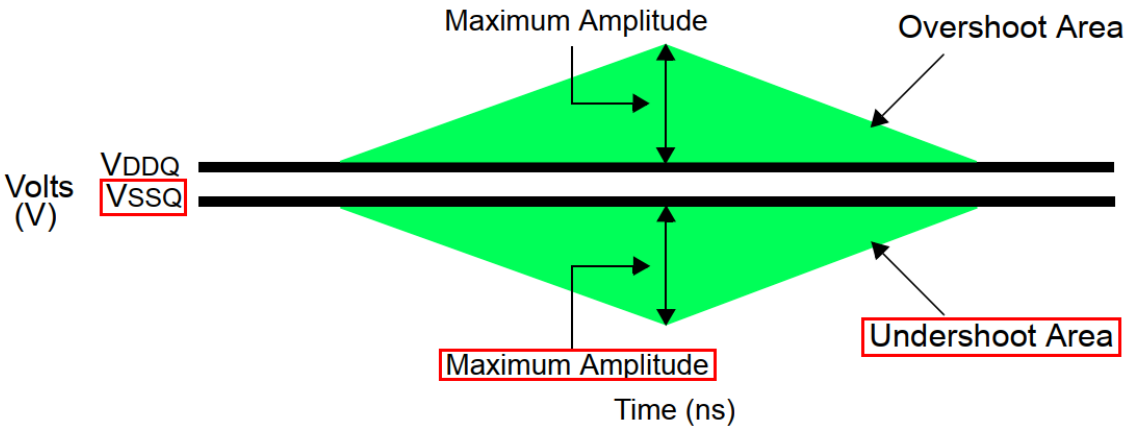


图 5.4-1 DDR2/DDR3 CK 下冲幅度和下冲面积的定义

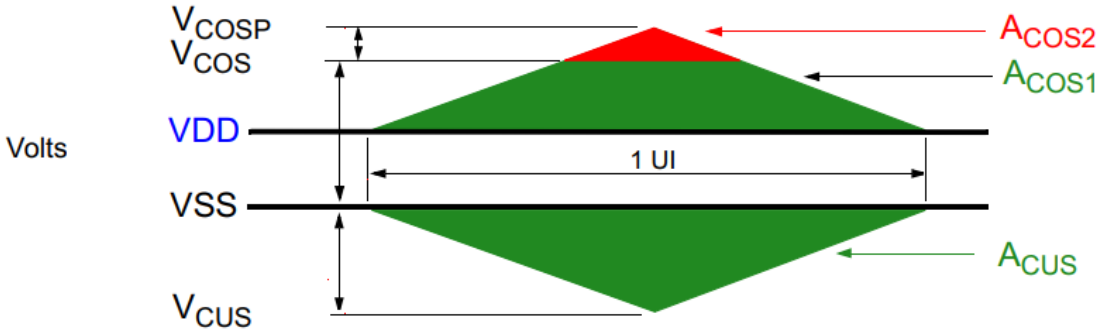


图 5.4-2 DDR4 CK 下冲幅度和下冲面积的定义

DDR4 自动化测试中 CLKP 的 Undershoot 定义为低于 VSS(0V)的部分，其最大不能低于-0.3V。Undershoot Area 是一个 UI 内，介于 VSS(0V)和 Vcus(-0.3V)之间的部分的面积。DDR4 的下冲和下冲面积的门限取值如上表 5.3-3 所示。

5.4.1 规范说明

表 5.4-1 DDR3 CK 下冲幅度和下冲面积规格要求

测试项	规格					
	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Undershoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Undershoot Area	0.25 V-ns	0.19 V-ns	0.15 V-ns	0.13 V-ns	0.11 V-ns	0.10 V-ns

表 5.4-2 DDR2 CK 下冲幅度和下冲面积规格要求

	规格				
测试项	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Undershoot	0.5V	0.5V	0.5V	0.5V	0.5V
Undershoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19 V-ns

5.4.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找下冲区。
2. 在下冲区域内，执行以下步骤：
   a) 计算下冲幅度：
      i. 计算波形下冲区域的最小电压 V_{MIN}；
      ii. 则下冲幅度=0 - V_{MIN}。
   b) 通过梯形法计算 0V 以下的波形面积得到下冲面积测量结果。
3. 对获取的波形中发现的其余下冲区域重复上一步。
4. 从所有测量结果中找出最差的结果。
5. 将测试结果与测试限值进行比较。

5.4.3 测试结果参考

下图 5.4-3 为可观测的测试结果示例。



图 5.4-3 DDR3 Undershoot 和 Undershoot Area(CK)测试示例

注：若测试的下冲幅度和下冲面积均为 0，表明被测信号幅度没有超过 VSSQ，此为正常现象。

5.5 压摆率(Slew Rate)(Clock Plus)

该测试为 DDR2/DDR3 所特有。信号的建立和保持时间的压摆率(slew rate)主要针对 Address/Command/Data 这些单端信号，且 DDR3 规范中并未给出判断标准。对于 CLK 和 DQS 这种差分信号，JESD 规范中也没有规定差分信号的单端连接下的测量标准。在 DDR3 的自动化测量中，CLK 差分信号单端连接的 setup time 或 hold time 的 slew rate 测量仅作为参考，没有判断标准。

DDR2 中给出了 setup time 的压摆率的取值范围：value>=1V/ns，hold time 的压摆率测量仅作为参考，没有判断标准。

5.5.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF)

标准上分为了标称压摆率和切线压摆率，对于下图中的建立/保持时序的压摆率，当波形早于标称压摆率时，使用标称压摆率作为tDS补偿值的选择依据，否则使用切线压摆率作为依据。测试时，对所有有效的边沿，取其标称压摆率作为测量值，统计所有测量值与用户定义的阈值进行比对。

建立时间（tDS）的压摆率定义：

- 上升信号：从上升沿穿过 VREF(dc)到第一次穿过 VIH(ac)min 的斜率。
- 下降信号：从下降沿穿过 VREF(dc)到第一次穿过 VIL(ac)max 的斜率。

保持时间（tDH）的压摆率定义：

- 上升信号：从最后一次穿过 VIL(dc)max 到上升沿穿过 VREF(dc)的斜率。
- 下降信号：从最后一次穿过 VIH(dc)min 到下降沿穿过 VREF(dc)的斜率。

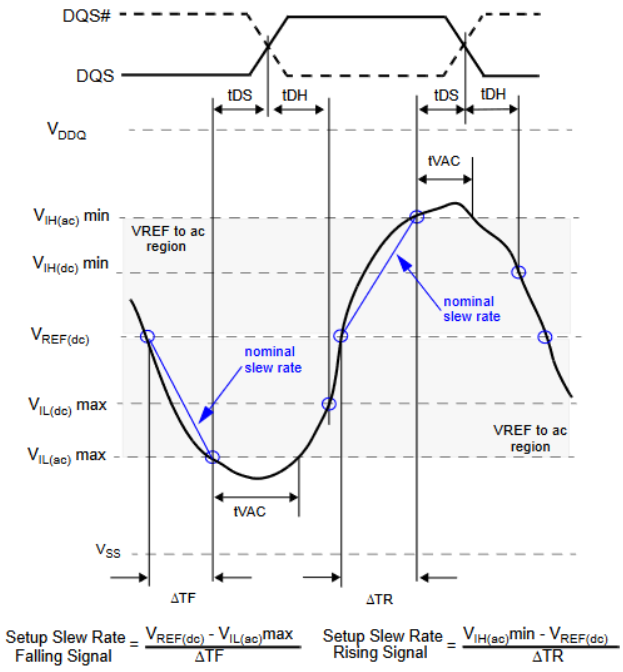


图 5.5-1 标称压摆率

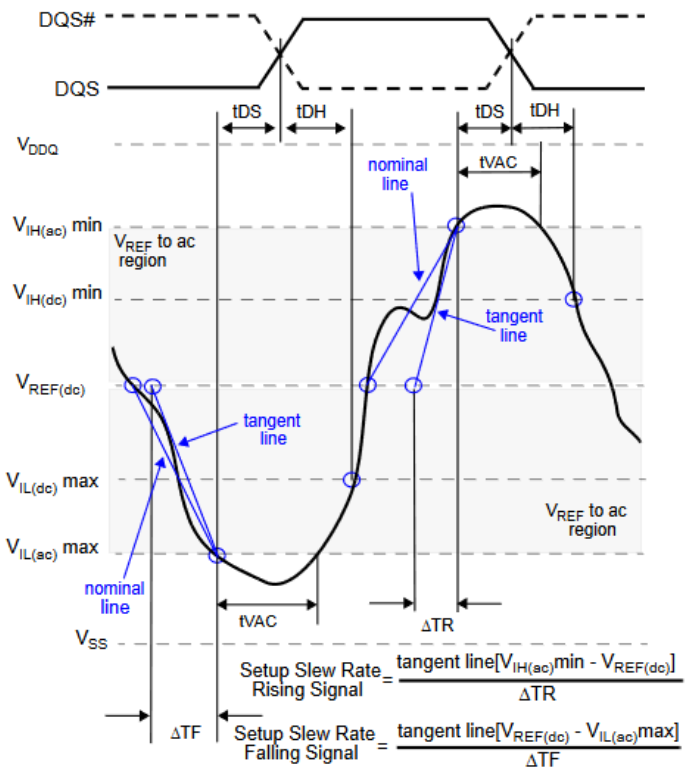


图 5.5-2 切线压摆率

5.5.2 测试结果参考

下图 5.5-3 为可观测的测试结果示例。



图 5.5-3 DDR3 Slew rate Setup/Hold-Rising/Falling(CLK)测试示例

6 时钟单端负信号测试集

6.1 VSEH(Clock Minus)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证 CLK 单端负信号的正脉冲的最大电压是否符合 JESD 规范中规定的 V_{SEH} 值。DDR3/DDR4 的 V_{DD} 值直接影响一致性限制值，DDR3 中该值为 1.5V，DDR3L 为 1.35V，DDR4 为 1.2V。用户可以选择使用配置中的 "阈值设置 "功能，按照自定义的 VDD 值执行此测试，一般情况下不建议更改这些参数。

6.1.1 规范说明

表 6.1-1 DDR3 VSEH(CK#)规格要求

参数	释义	DDR3-800/1066/1333/1600		单位
		最小值	最大值	
VSEH(CK#)	时钟单端高电平	(V_{DD}/2)+0.175	/	V

表 6.1-2 DDR4 VSEH(CK#)规格要求

测试项	规格						单位
	DDR4-1600/1866/2133		DDR4-2400/2666		DDR4-2933/3200		
VSEH(CK#)	Min	Max	Min	Max	Min	Max	V
	(VDD/2)+0.1	/	(VDD/2)+0.095	/	(VDD/2)+0.085	/	

6.1.2 计算方法

该项测试的计算方法同时钟单端正信号的 VSEH，请参考 5.1.2。

6.1.3 测试结果参考

下图 6.1-1 为可观测的测试结果示例。



图 6.1-1 VSEH(CK#)测试示例

6.2 VSEL(Clock Minus)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证 CLK 单端负信号的负脉冲的最小电压是否符合 JESD 规范中规定的 V_{SEL} 值。DDR3/DDR4 的 V_{DD} 值直接影响一致性限制，DDR3 中该值为 1.5V，DDR3L 为 1.35V，DDR4 为 1.2V。用户可以选择使用配置中的"阈值设置"功能，按照自定义的 VDD 值执行此测试，一般情况下不建议更改这些参数。

6.2.1 规范说明

表 6.2-1 DDR3 VSEL(CK#)规格要求

参数	说明	DDR3-800/1066/1333/1600		单位
		最小值	最大值	
VSEL(CK#)	时钟单端低电平	/	(VDD/2)-0.175	V

表 6.2-2 DDR4 VSEL(CK#)规格要求

测试项	规格						单位
	DDR4-1600/1866/2133		DDR4-2400/2666		DDR4-2933/3200		
VSEL(CK#)	Min	Max	Min	Max	Min	Max	V
	/	(VDD/2)-0.1	/	(VDD/2)-0.095	/	(VDD/2)-0.085	

6.2.2 计算方法

该项测试的计算方法同时钟单端正信号的 VSEL，请参考 5.2.2。

6.2.3 测试结果参考

下图 6.2-1 为可观测的测试结果示例。



图 6.2-1 VSEL(CK#)测试示例

6.3 Overshoot 和 Overshoot Area (Clock Minus)

过冲测试可分为两个子测试：过冲幅度和过冲面积测试。过冲测试的目的是从获取的波形区域验证测试信号的过冲值（过冲幅度和过冲面积）是否满足 JEDEC 规范中规定的一致性限值。过冲面积的计算基于过冲宽度和过冲幅度。过冲区域应小于或等于 JEDEC 规范中规定的一致性限制。

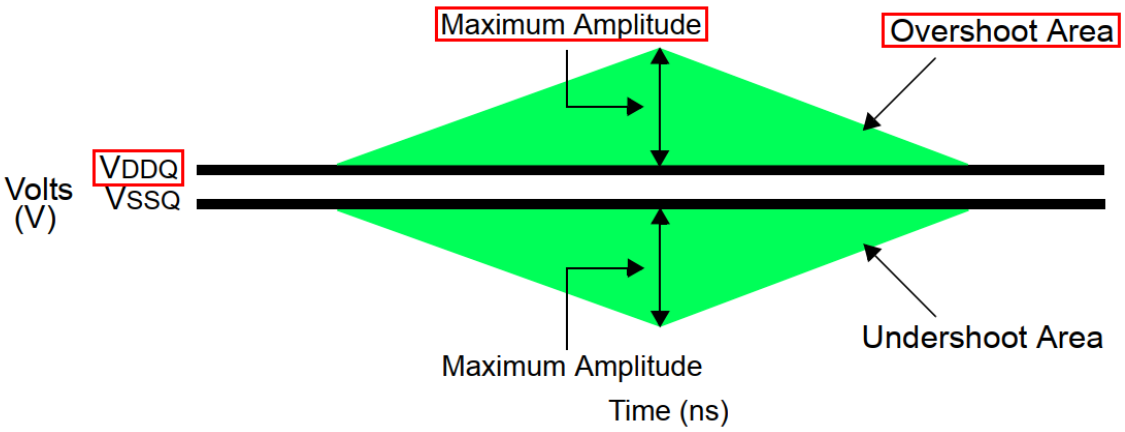


图 6.3-1 DDR2/3 CK#过冲幅度和过冲面积的定义

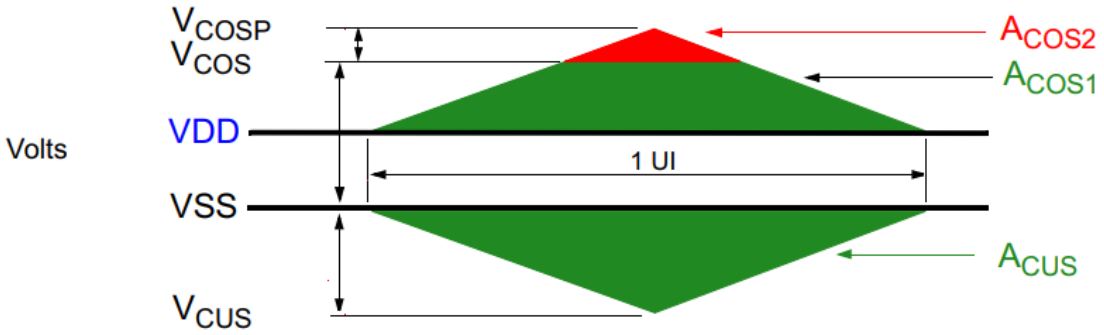


图 6.3-2 DDR4 CK#过冲幅度和过冲面积的定义

DDR4 自动化测试中 CLKN 的 Overshoot 定义为超过 VDD(1.2V)的部分，其最大不能超过 0.3V。Overshoot Area 分为两部分， Overshoot Area1 是一个 UI 内，介于 VDD(1.2V)和 Vcos(1.44V)之间的部分的面积； Overshoot Area2 是一个 UI 内超过 Vcos1.44V 的部分的面积，。DDR4 对这两部分的过冲面积都有严格的要求，门限取值范围如表 5.3-3 所示。Undershoot 和 Undershoot Area 和 DDR3 没有多大差异。

6.3.1 规范说明

表 6.3-1 DDR3 CK#过冲幅度和过冲面积规格要求

测试项	规格					
	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Overshoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Overshoot Area	0.25V-ns	0.19 V-ns	0.15 V-ns	0.13 V-ns	0.11 V-ns	0.10 V-ns

表 6.3-2 DDR2 CK#过冲幅度和过冲面积规格要求

测试项	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Overshoot	0.5V	0.5V	0.5V	0.5V	0.5V
Overshoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19 V-ns

注：DDR4 的过冲幅度和过冲面积规格要求见表 5.3-3。

6.3.2 计算方法

该项测试的计算方法同时钟单端正信号的 Overshoot 和 Overshoot Area，请参考 5.3.2。

6.3.3 测试结果参考

下图 6.3-3 为可观测的测试结果示例。



图 6.3-3 DDR3 Overshoot(CK#)和 Overshoot Area(CK#)测试示例

注：若测试的过冲幅度和过冲面积均为 0，表明被测信号幅度没有超过 VDDQ，此为正常现象。

6.4 Undershoot 和 Undershoot Area (Clock Minus)

下冲测试可分为两个子测试：下冲幅度和下冲面积测试。下冲测试的目的是从获取的波形区域验证测试信号的下冲值（下冲幅度和下冲面积）是否满足 JEDEC 规范中规定的一致性限值。下冲面积的计算基于下冲宽度和下冲幅度。下冲区域应小于或等于 JEDEC 规范中规定的一致性限制。

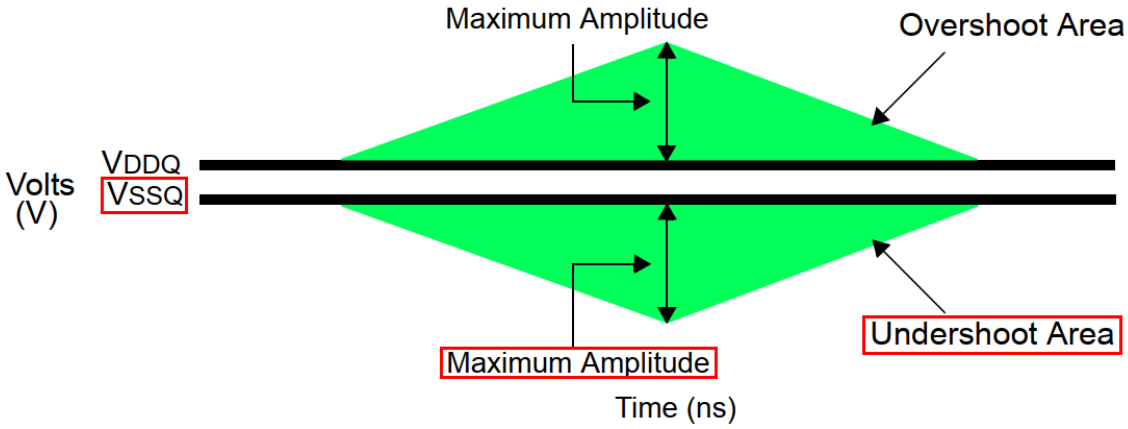


图 6.4-1 DDR2/DDR3 CK#下冲幅度和下冲面积的定义

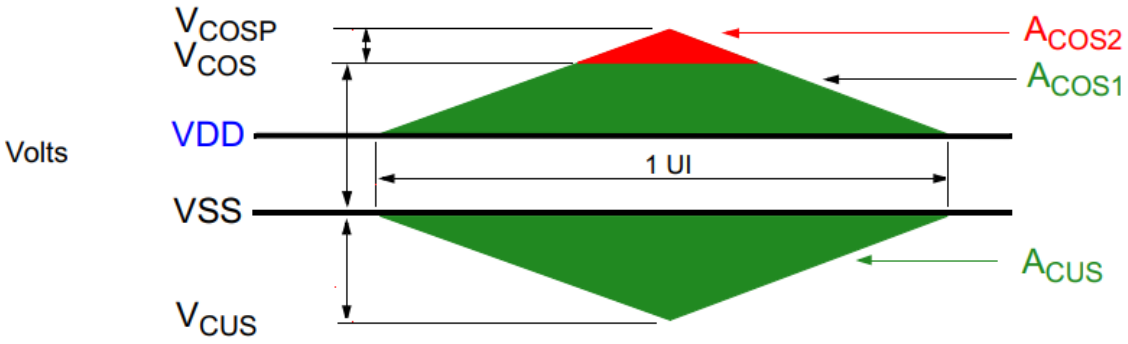


图 6.4-2 DDR4 CK#下冲幅度和下冲面积的定义

DDR4 自动化测试中 CLKN 的 Undershoot 定义为低于 VSS(0V)的部分，其最大不能超过 0.3V。Undershoot Area 是一个 UI 内，介于 VSS(0V)和 Vcus(-0.3V)之间的部分的面积。DDR4 的下冲和下冲面积的门限取值如上表 5.3-3 所示。

6.4.1 规范说明

表 6.4-1 DDR3 CK#下冲幅度和下冲面积规格要求

测试项	规格					
	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Undershoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Undershoot Area	0.25 V-ns	0.19 V-ns	0.15 V-ns	0.13 V-ns	0.11 V-ns	0.10 V-ns

表 6.4-2 DDR2 CK#下冲幅度和下冲面积规格要求

测试项	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Undershoot	0.5V	0.5V	0.5V	0.5V	0.5V
Undershoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19 V-ns

注：DDR4 的下冲幅度和下冲面积规格要求见表 5.3-3。

6.4.2 计算方法

该项测试的计算方法同时钟单端正信号的 Undershoot 和 Undershoot Area，请参考 5.4.2。

6.4.3 测试结果参考

下图 6.4-3 为可观测的测试结果示例。



图 6.4-3 DDR3 Undershoot (CK#)和 Undershoot Area (CK#)测试示例

注：若测试的下冲幅度和下冲面积均为 0，表明被测信号幅度没有超过 VSSQ，此为正常现象。

6.5 压摆率(Slew Rate)(Clock Minus)

该测试为 DDR2/DDR3 所特有，信号的建立和保持时间的压摆率(slew rate)主要针对 Address/Command/Data 这些单端信号，且 DDR3 规范文档并未给出判断标准。对于 CLK 和 DQS 这种差分信号，JESD 规范中也没有规定差分信号的单端连接下的测量标准。所以在自动测量中，在 DDR3 的自动化测量中，CLK 差分信号单端连接的 setup time 或 hold time 的 slew rate 测量仅作为参考，没有判断标准。

DDR2 中给出了 setup time 的压摆率的取值范围：value>=1V/ns，其 hold time 的压摆率测量仅作为参考，没有判断标准。

6.5.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF)

标准上分为了标称压摆率和切线压摆率，对于下图中的建立/保持时序的压摆率，当波形早于标称压摆率时，使用标称压摆率作为tDS补偿值的选择依据，否则使用切线压摆率作为依据。测试时，对所有有效的边沿，取其标称压摆率作为测量值，统计所有测量值与用户定义的阈值进行比对。

建立时间（tDS）的斜率定义：

- 上升信号：从上升沿穿过 VREF(dc)到第一次穿过 VIH(ac)min 的斜率。
- 下降信号：从下降沿穿过 VREF(dc)到第一次穿过 VIL(ac)max 的斜率。

保持时间（tDH）的斜率定义：

- 上升信号：从最后一次穿过 VIL(dc)max 到上升沿穿过 VREF(dc)的斜率。
- 下降信号：从最后一次穿过 VIH(dc)min 到下降沿穿过 VREF(dc)的斜率。

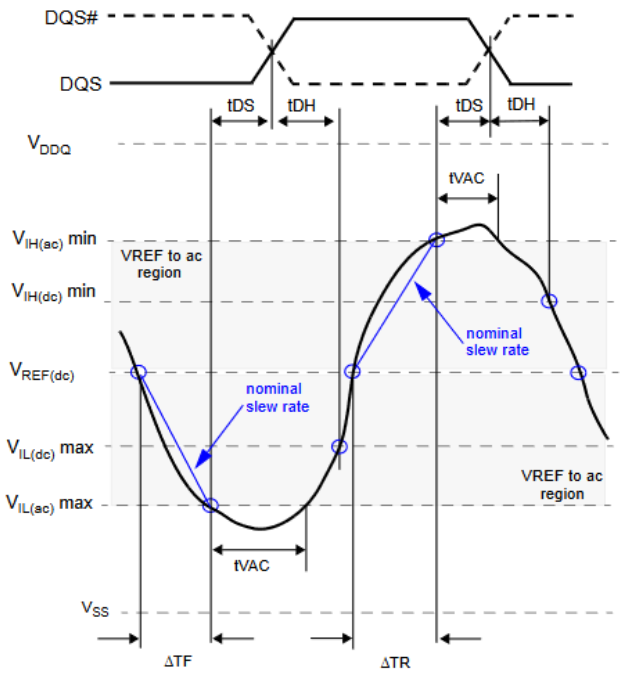


图 6.5-1 标称压摆率

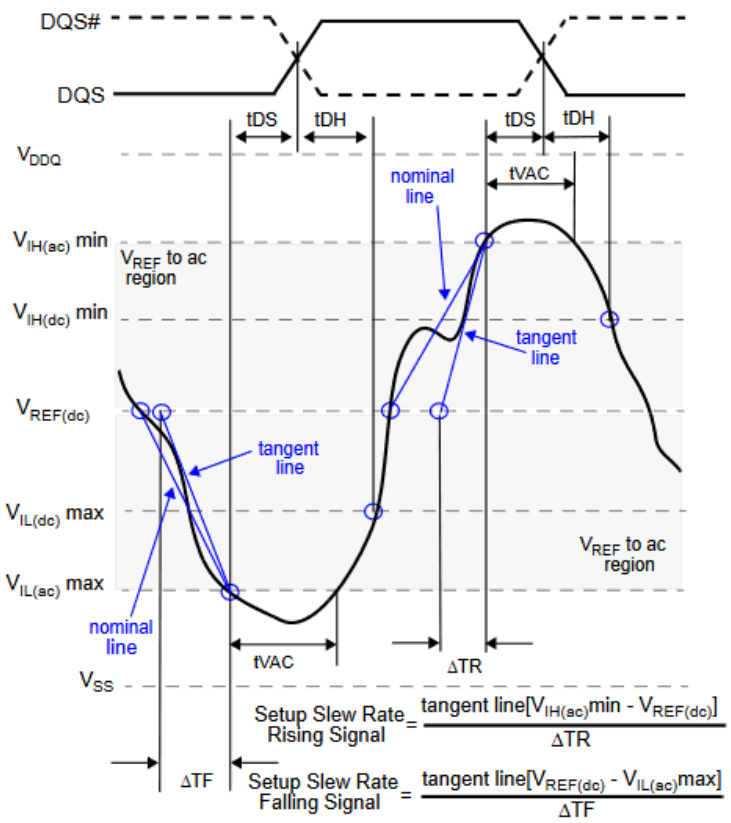


图 6.5-2 切线压摆率

6.5.2 测试结果参考

下图 6.5-3 为可观测的测试结果示例。



图 6.5-3 DDR3 Slew rate Setup/Hold-Rising/Falling (CK#)测试示例

7 时钟差分信号测试集

7.1 tERR 测试集

该测试的目的是测量时钟周期的累计误差。

7.1.1 规范说明

表 7.1-1 DDR3 tERR 规范说明

测试项	DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		单位
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
tERR(2per)	-147	147	-132	132	-118	118	-103	103	ps
tERR(3per)	-175	175	-157	157	-140	140	-122	122	ps
tERR (4per)	-194	194	-175	175	-155	155	-136	136	ps
tERR (5per)	-209	209	-188	188	-168	168	-147	147	ps
tERR (6per)	-222	222	-200	200	-177	177	-155	155	ps
tERR (7per)	-232	232	-209	209	-186	186	-163	163	ps
tERR (8per)	-241	241	-217	217	-193	193	-169	169	ps
tERR(9per)	-249	249	-224	224	-200	200	-175	175	ps
tERR(10per)	-257	257	-231	231	-205	205	-180	180	ps
tERR(11per)	-263	263	-237	237	-210	210	-184	184	ps
tERR(12per)	-269	269	-242	242	-215	215	-188	188	ps
tERR(nper)	tERR(nper)min = (1 + 0.68ln(n))*tJIT(per)min								ps
	tERR(nper)max = (1 + 0.68ln(n))*tJIT(per)max								

表 7.1-2 DDR3 tERR 规范说明

测试项	DDR3-1866		DDR3-2133		单位
	最小值	最大值	最小值	最大值	
tERR(2per)	-88	88	-74	74	ps
tERR(3per)	-105	105	-87	87	ps
tERR(4per)	-117	117	-97	97	ps
tERR(5per)	-126	126	-105	105	ps
tERR(6per)	-133	133	-111	111	ps
tERR(7per)	-139	139	-116	116	ps

tERR(8per)	-145	145	-121	121	ps
tERR(9per)	-150	10	-125	125	ps
tERR(10per)	-154	154	-128	128	ps
tERR(11per)	-158	158	-132	132	ps
tERR(12per)	-161	161	-134	134	ps
tERR(nper)	tERR(nper)min = (1 + 0.68ln(n))*tJIT(per)min				ps
tERR(nper)	tERR(nper)max = (1 + 0.68ln(n))*tJIT(per)max				ps

表 7.1-3 DDR2 tERR 规格要求

测试项	DDR2-667		DDR2-800		DDR2-1066		单位
	最小值	最大值	最小值	最大值	最小值	最大值	
tERR(2per)	-175	175	-150	150	-132	132	ps
tERR(3per)	-225	225	-175	175	-157	157	ps
tERR(4per)	-250	250	-200	200	-175	175	ps
tERR(5per)	-250	250	-200	200	-188	188	ps
tERR(6-10per)	-350	350	-300	300	-250	250	ps
tERR(11-50per)	-450	450	-450	450	-425	425	ps

表 7.1-4 DDR4 tERR 规格要求

测试项	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		DDR4-2666		DDR4-2933		DDR4-3200		单位
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
tERR (2per)	-92	92	-79	79	-69	69	-61	61	-55	55	-50	50	-46	46	ps
tERR (3per)	-109	109	-94	94	-82	82	-73	73	-66	66	-60	60	-55	55	ps
tERR (4per)	-121	121	-104	104	-91	91	-81	81	-73	73	-66	66	-61	61	ps
tERR (5per)	-131	131	-112	112	-98	98	-87	87	-78	78	-71	71	-65	65	ps
tERR (6per)	-139	139	-119	119	-104	104	-92	92	-83	83	-75	75	-69	69	ps
tERR (7per)	-145	145	-124	124	-109	109	-97	97	-87	87	-79	79	-73	73	ps
tERR (8per)	-151	151	-129	129	-113	113	-101	101	-91	91	-83	83	-76	76	ps
tERR (9per)	-156	156	-134	134	-117	117	-104	104	-94	94	-85	85	-78	78	ps

tERR (10per)	-160	160	-137	137	-120	120	-107	107	-96	96	-88	88	-80	80	ps
tERR (11per)	-164	164	-141	141	-123	123	-110	110	-99	99	-90	90	-83	83	ps
tERR (12per)	-168	168	-144	144	-126	126	-112	112	-101	101	-92	92	-84	84	ps
tERR (13per)	-172	172	-147	147	-129	129	-114	114	-103	103	-93	93	-86	86	ps
tERR (14per)	-175	175	-150	150	-131	131	-116	116	-104	104	-95	95	-87	87	ps
tERR (15per)	-178	178	-152	152	-133	133	-118	118	-106	106	-97	97	-89	89	ps
tERR (16per)	-180	189	-155	155	-135	135	-120	120	-108	108	-98	98	-90	90	ps
tERR (17per)	-183	183	-157	157	-137	137	-122	122	-110	110	-100	100	-92	92	ps
tERR (18per)	-185	185	-159	159	-139	139	-124	124	-112	112	-101	101	-93	93	ps
tERR (nper)	tERR(nper)min = ((1 + 0.68ln(n)) * tJIT(per)_total min) tERR(nper)max = ((1 + 0.68ln(n)) * tJIT(per)_total max)						tERR(nper)min = ((1 + 0.68ln(n)) * tJIT(per)_total min) tERR(nper)max = ((1 + 0.68ln(n)) * tJIT(per)_total max)								ps

7.1.2 计算方法

1. 以长度为 202 个时钟周期的信号为例。
2. 首先，统计前 200 个时钟周期的平均值，即大窗口位于前两百个时钟周期。
3. 计算第 1,2 周期的平均值。
4. 测量者两个平均值之间的差值，并将其保存为测量结果。
5. 计算第 2,3 周期的平均值，并测量该平均值与大窗口平均值之间的差值。
6. 继续执行相同的步骤，直到将第 199-200 周期的平均值与大窗口平均值进行比较（到目前为止，已生成 199 个测量结果）
7. 接下来，大窗口往右移动一个时钟周期，统计从第 2 个到第 201 个时钟周期的平均值，从比较第 2-3 时钟周期的平均值与新的大窗口平均值开始，直到比较第 200-201 期与大窗口的平均值为止（到目前为止，又进行了 199 次测量，总共进行了 398 次测量）。
8. 窗口往右再移动一个时钟周期，重复同样的步骤，总共获得 597 个测量值。
9. 检查 597 结果的最小值和最大值（最坏情况值）。
10. 将测试结果与合规限值进行比较。
11. tERR(3per) 与 tERR(2per) 相同，只是小窗口大小为 3 个周期。tERR(4per) 使用 4 个周期

的小窗口大小，tERR(5per) 使用 5 个周期。

12. tERR(6-10per) 执行 tERR(6per)、tERR(7per)、tERR(8per)、tERR(9per) 和 tERR(10per)、将所有测量结果合并为一个大数据池，并检查最小值和最大值。

13. tERR(11-50per) 对 tERR(11per) 至 tERR(50per) 执行相同的操作。

7.1.3 测试结果参考

下图 7.1-1 为可观测的测试结果示例。



图 7.1-1 DDR3 tERR(CK)测试示例

7.2 tCK(abs)

该测试的目的是测量某时刻波形窗口内 CLK 从一个上升沿到下一个上升沿的周期，将统计采样到的所有时钟周期与有效范围进行比较。

7.2.1 规范说明

DDR3 的 tCK(abs)的最小值为 tCK(avg)min + tJIT(per)min，最大值为 tCK(avg)max + tJIT(per)max。

DDR2 的规格要求如下表所示：

表 7.2-1 DDR2 tCK(abs)的规格要求

测试项	DDR2-400		DDR2-533		DDR2-667/800/1066		单位
	最小值	最大值	最小值	最大值	最小值	最大值	
tCK(abs)	5	8	3.75	8	tCK(avg) min + tJIT(per) min	tCK(avg) max + tJIT(per) max	ns

表 7.2-2 DDR4 tCK(avg)和 JIT(per)_tot 的规格要求

测试项	DDR4-1600		DDR4-1866		DDR4-2133		单位
	MIN	MAX	MIN	MAX	MIN	MAX	
tCK(avg)	1.25	<1.5	1.071	<1.25	0.937	<1.071	ns
JIT(per)_tot	-63	63	-54	54	-47	47	ps

表 7.2-3 DDR4 tCK(avg)和 JIT(per)_tot 的规格要求

测试项	DDR4-2400		DDR4-2666		DDR4-2933		DDR4-3200		单位
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
tCK(avg)	0.833	<0.937	0.75	<0.833	0.682	<0.750	0.625	<0.682	ns
JIT(per)_tot	-42	42	-38	38	-34	34	-32	32	ps

DDR4 的 tCK(abs)的最小值为 tCK(avg)min + tJIT(per)min_tot，最大值为 tCK(avg)max + tJIT(per)max_tot。

7.2.2 计算方法

1. 首先，采样得到多个时钟周期，通常为 200 个，时钟周期绝对值是从时钟的一个完整上升沿至下一个完整上升沿的时间间隔。

2. 统计采样到的所有时钟周期，计算其 tCK(abs)的最小值与最大值。

3. 将测试结果与合规限值进行比较。

7.2.3 测试结果参考

下图 7.2-1 为可观测的测试结果示例



图 7.2-1 DDR3 tCK(abs)测试示例

7.3 tCH(abs)

该测试的目的是测量 CLK 差分信号正脉冲宽度的绝对值大小。

7.3.1 规范说明

DDR4 的 tCH(abs)的最小值为 0.45tCK(avg)；DDR3 的 tCH(abs)的最小值为 0.43tCK(avg)。

DDR2 的规格要求如下表所示：

表 7.3-1 tCH(abs)的规格要求

测试项	DDR2-400		DDR2-533/667/800/1066	
	最小值	最大值	最小值(ps)	最大值(ps)
tCH(abs)	0.45tCK	0.55tCK	tCH(avg),min x tCK(avg),min +tJIT(duty),min	tCH(avg),max x tCK(avg),max +tJIT(duty),max

7.3.2 计算方法

1. 首先，采样得到多个时钟周期，通常为 200 个。
2. 计算得到 tCK(avg)。
3. 对于正脉冲宽度，其为从时钟的上升沿到下一个时钟下降沿的时间间隔，时间点以穿越 0 电平的位置为准。
4. 找出周期中的最大正脉冲宽度 PWMAX(s)。找出周期中的最小正脉冲宽度 PWMIN(s)。
5. PWMAX(tCK)=PWMAX(s)/tCK(avg)，PWMIN(tCK)=PWMIN(s)/tCK(avg)。
6. 计算得到 tCH(abs)的最大最小值，将其与合规限值进行比较。

7.3.3 测试结果参考

下图 7.3-1 为可观测的测试结果示例。



图 7.3-1 DDR3 tCH(abs)测试示例

7.4 tCL(abs)

该测试的目的是测量 CLK 差分信号的负脉冲宽度的绝对值大小。

7.4.1 规范说明

DDR4 中，tCL(abs)的最小值为 0.45CK(avg)；DDR3 中，tCL(abs)的最小值为 0.43tCK(avg)。

DDR2 的规格要求如下表所示：

表 7.4-1 DDR2 tCL(abs)规格要求

测试项	DDR2-400		DDR2-533/667/800/1066	
	最小值	最大值	最小值(ps)	最大值(ps)
tCL(abs)	0.45tCK	0.55tCK	tCL(avg) min x tCK(avg) min +tJIT(duty) min	tCL(avg) max x tCK(avg) max +tJIT(duty) max

7.4.2 计算方法

1. 首先，采样得到多个时钟周期，通常为 200 个。
2. 计算得到 tCK(avg)。
3. 对于负脉冲宽度，其为从时钟的下降沿到下一个时钟上升沿的时间间隔，时间点以穿越 0 电平的位置为准。
4. 找出周期中的最大低脉冲宽度 PWMAX(s)。找出周期中的最小低脉冲宽度 PWMIN(s)。
5. PWMAX(tCK)=PWMAX(s)/tCK(avg)，PWMIN(tCK)=PWMIN(s)/tCK(avg)，计算得到 tCL(abs)的最大最小值。
6. 将测试结果与合规限值进行比较。

7.4.3 测试结果参考

下图 7.4-1 为可观测的测试结果示例。



图 7.4-1 DDR3 tCL(abs)测试示例

7.5 tCK(avg)

该测试的目的是测量 CLK 周期的平均值，在整个采样数据中选取多个长度为 200 个时钟周期的段，统计其计算出的所有周期平均值，与有效范围进行比较。对于 DDR2-400/533，规范中并没有给出明确的阈值要求。

7.5.1 规范说明

表 7.5-1 DDR4 tCK(avg)的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Unit
tCK(avg)	1.25	<1.5	1.071	<1.25	0.937	<1.071	0.833	<0.937	ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.75	<0.833	0.682	<0.750	0.625	<0.682			

注： 1. 下表 DDR3 的规格要求中的最大最小值为空白的是 Reserved 保留项。

2. tCK(avg)的取值范围与 CL 和 CWL 有关，CL 和 CWL 的取值可以通过 MR 寄存器修改配置。

表 7.5-2 DDR3 tCK(avg)规格要求

Speed Bin			DDR3-800D		DDR3-800E		
CL-nRCD-nRP			5-5-5		6-6-6		
Parameter		Symbol	最小值	最大值	最小值	最大值	单位
CL=5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	3.0	3.3	ns
CL=6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	ns

表 7.5-3 DDR3 tCK(avg)规格要求

Speed Bin			DDR3-1066E		DDR3-1066F		DDR3-1066G		
CL-nRCD-nRP			6-6-6		7-7-7		8-8-8		
Parameter		Symbol	最小值	最大值	最小值	最大值	最小值	最大值	单位
CL=5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	3.0	3.3	3.0	3.3	ns
CL=6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5					ns
CL=7	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5			ns

CL=8	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns

表 7.5-4 DDR3 tCK(avg)规格要求

Speed Bin			DDR3-1333F		DDR3-1333G		DDR3-1333H		DDR3-1333J		
CL-nRCD-nRP			7-7-7		8-8-8		9-9-9		10-10-10		
Parameter		Symbol	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	单位
CL=5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	3.0	3.3	3.0	3.3	ns
CL=6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5							ns
CL=7	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875							ns
CL=8	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875					ns
CL=9	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875			ns
CL=10	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns

表 7.5-5 DDR3 tCK(avg)规格要求

Speed Bin			DDR3-1866J		DDR3-1866K		DDR3-1866L		DDR3-1866M		
CL-nRCD-nRP			10-10-10		11-11-11		12-12-12		13-13-13		
Parameter		Symbol	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	单位
CL=5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3					ns
CL=6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3	ns
CL=6	CWL=6	$t_{CK(AVG)}$	1.875	<2.5							ns
CL=7	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
CL=8	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
CL=8	CWL=7	$t_{CK(AVG}$	1.5	<1.875	1.5	<1.875					ns
CL=9	CWL=7	$t_{CK(AVG}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
CL=9	CWL=8	$t_{CK(AVG}$	1.25	<1.5							ns
CL=10	CWL=7	$t_{CK(AVG}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
CL=10	CWL=8	$t_{CK(AVG}$	1.25	<1.5	1.25	<1.5					ns
CL=11	CWL=8	$t_{CK(AVG}$	1.25	<1.5	1.25	<1.5	1.25	<1.5	1.25	<1.5	ns
CL=11	CWL=9	$t_{CK(AVG}$	1.07	<1.25	1.07	<1.25					ns
CL=12	CWL=9	$t_{CK(AVG}$	1.07	<1.25	1.07	<1.25	1.07	<1.25			ns
CL=13	CWL=9	$t_{CK(AVG}$	1.07	<1.25	1.07	<1.25	1.07	<1.25	1.07	<1.25	ns

表 7.5-6 DDR3 tCK(avg)规格要求

Speed Bin			DDR3-2133K		DDR3-2133L		DDR3-2133M		DDR3-2133N		
CL-nRCD-nRP			11-11-11		12-12-12		13-13-13		14-14-14		
Parameter		Symbol	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	单位
CL=5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3			ns
CL=6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3	ns
CL=6	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5					ns
CL=7	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
CL=7	CWL=7,	$t_{CK(AVG)}$	1.5	<1.875							ns
CL=8	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
CL=8	CWL=7	$t_{CK(AVG}$	1.5	<1.875	1.5	<1.875					ns
CL=9	CWL=7,	$t_{CK(AVG}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
CL=9	CWL=8	$t_{CK(AVG}$	1.25	<1.5	1.25	<1.5					ns
CL=10	CWL=7	$t_{CK(AVG}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
CL=10	CWL=8	$t_{CK(AVG}$	1.25	<1.5	1.25	<1.5	1.25	<1.5			ns
CL=10	CWL=9	$t_{CK(AVG)}$	1.07	<1.25							ns
CL=11	CWL=8	$t_{CK(AVG}$	1.25	<1.5	1.25	<1.5	1.25	<1.5	1.25	<1.5	ns
CL=11	CWL=9	$t_{CK(AVG}$	1.07	<1.25	1.07	<1.25					ns
CL=11	CWL=10	$t_{CK(AVG)}$	0.938	<1.07							ns
CL=12	CWL=9	$t_{CK(AVG}$	1.07	<1.25	1.07	<1.25	1.07	<1.25			ns
CL=12	CWL=10	$t_{CK(AVG)}$	0.938	<1.07	0.938	<1.07					
CL=13	CWL=9	$t_{CK(AVG}$	1.07	<1.25	1.07	<1.25	1.07	<1.25	1.07	<1.25	ns
CL=13	CWL=10	$t_{CK(AVG)}$	0.938	<1.07	0.938	<1.07	0.938	<1.07			ns
CL=14	CWL=10	$t_{CK(AVG)}$	0.938	<1.07	0.938	<1.07	0.938	<1.07	0.938	<1.07	

DDR2 的规格要求如下表所示，下表中的最大最小值为空白的表示非强制性规定最大最小值，具体值可能因厂商或应用场景而异，规范中不会给出具体的值。

表 7.5-7 DDR2 tCK(avg)规格要求

CL-tRCD-tRP		DDR2-667C		DDR2-667D		单位
		4-4-4		5-5-5		
参数		最小值	最大值	最小值	最大值	
CL=4	$t_{CK(AVG)}$	3	8	3.75	8	ns
CL=5	$t_{CK(AVG)}$	3	8	3	8	ns

表 7.5-8 DDR2 tCK(avg)规格要求

CL-tRCD-tRP		DDR2-800C		DDR2-800D		DDR2-800E		单位
		4-4-4		5-5-5		6-6-6		
参数		最小值	最大值	最小值	最大值	最小值	最大值	
CL=4	$t_{CK(AVG)}$	2.5	8	3.75	8	3.75	8	ns
CL=5	$t_{CK(AVG)}$	2.5	8	2.5	8	3	8	ns
CL=6	$t_{CK(AVG)}$					2.5	8	ns

表 7.5-9 DDR2 tCK(avg)规格要求

CL-tRCD-tRP		DDR2-1066E		DDR2-1066F		单位
		6-6-6		7-7-7		
参数		最小值	最大值	最小值	最大值	
CL=4	$t_{CK(AVG)}$	3	7.5	3.75	7.5	ns
CL=5	$t_{CK(AVG)}$	2.5	7.5	3	7.5	ns
CL=6	$t_{CK(AVG)}$	1.875	7.5	2.5	7.5	ns
CL=7	$t_{CK(AVG)}$	1.875	7.5	1.875	7.5	ns

7.5.2 计算方法

1. 以长度为 202 个时钟周期的信号为例。
2. 计算得到前 200 个时钟周期的平均周期值。
3. 计算得到第 2 个到 201 个时钟周期的平均周期值。
4. 计算得到第 3 个到 202 个时钟周期的平均周期值。
5. 检查最小值和最大值（最坏情况值）的结果。
6. 将测试结果与合规限值进行比较。

7.5.3 测试结果参考

下图 7.5-1 为可观测的测试结果示例。



图 7.5-1 DDR3 tCK(avg)测试示例

7.6 tCH(avg)

该测试的目的是测量 CLK 差分信号正脉冲宽度的平均值，在整个采样周期中选取多个长度为 200 个时钟周期的段，统计各段的正/负脉冲平均值，统计所有测量值，与有效范围进行比较。

7.6.1 规范说明

DDR4 中，tCH(avg)的最小值为 0.48tCK(avg)，最大值为 0.52 tCK(avg)。

DDR3 中，tCH(avg)的最小值为 0.47tCK(avg)，最大值为 0.53 tCK(avg)。

DDR2 的规格要求如下表所示：

表 7.6-1 DDR2 tCH(avg)的规格要求

测试项	DDR2-400/533		DDR2-667/800/1066		单位
	最小值	最大值	最小值	最大值	tCK(avg)
tCH(avg)	-	-	0.48	0.52	

7.6.2 计算方法

1. 以长度为 202 个时钟周期的信号为例。
2. 测量前 200 个高脉冲宽度并计算出平均值。
3. 测量第 2 个到 201 个高脉冲宽度并计算平均值。
4. 测量第 3 个到 202 个高脉冲宽度并计算平均值。
5. 找出 3 个结果中的最小值和最大值。
6. 将测试结果与合规限值进行比较。

7.6.3 测试结果参考

下图 7.6-1 为可观测的测试结果示例



图 7.6-1 DDR3 tCH(avg)测试示例

7.7 tCL(avg)

该测试的目的是测量 CLK 低脉冲宽度的平均值，在整个采样周期中选取多个长度为 200 个时钟周期的段，统计各段的高/低脉冲平均值，统计所有测量值，与有效范围进行比较。

7.7.1 规范说明

DDR4 中，tCL(avg)的最小值为 0.48tCK(avg)，最大值为 0.52 tCK(avg)。

DDR3 中，tCL(avg)的最小值为 0.47tCK(avg)，最大值为 0.53 tCK(avg)。

DDR2 的规格要求如下表所示：

表 7.7-1 DDR2 tCL(avg)的规格要求

测试项	DDR2-400/533		DDR2-667/800/1066		单位
	最小值	最大值	最小值	最大值	tCK(avg)
tCL(avg)	-	-	0.48	0.52	

7.7.2 计算方法

1. 以长度为 202 个时钟周期的信号为例。
2. 测量前 200 个低脉冲宽度并计算出平均值。
3. 测量第 2 个到 201 个低脉冲宽度并计算平均值。
4. 测量第 3 个到 202 个低脉冲宽度并计算平均值。
5. 找出 3 个结果中的最小值和最大值。
6. 将测试结果与合规限值进行比较。

7.7.3 测试结果参考

下图 7.7-1 为可观测的测试结果示例。

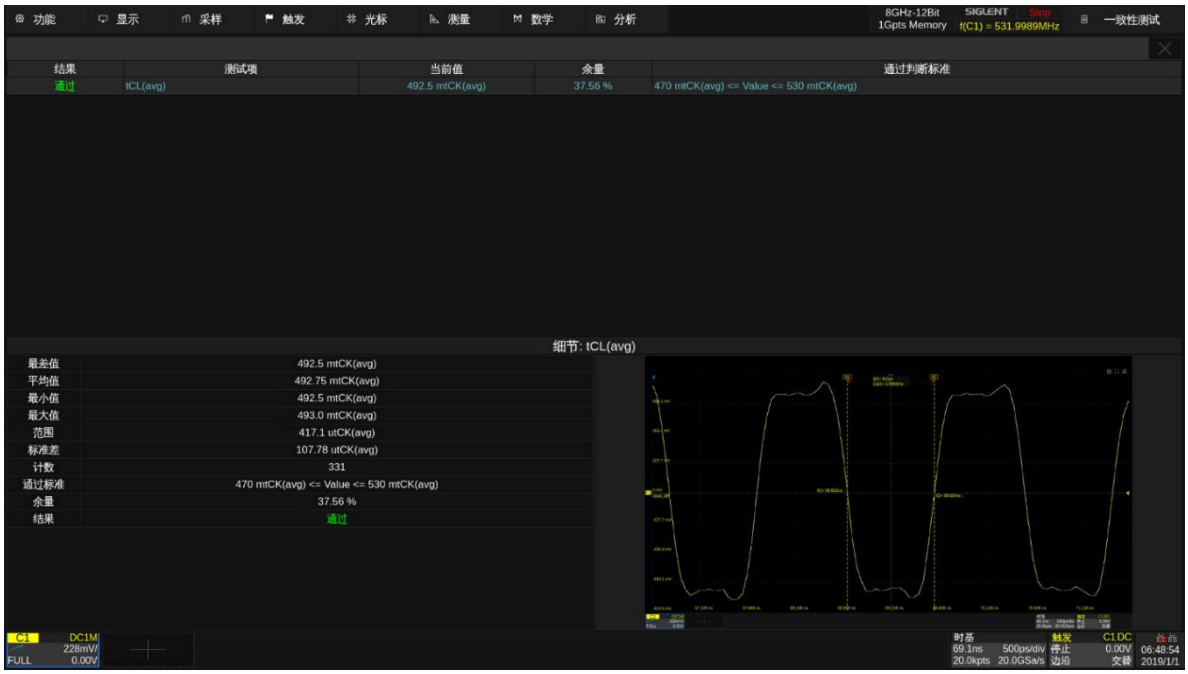


图 7.7-1 DDR3 tCL(avg)测试示例

7.8 tJIT(per)

该测试的目的是测量单个时钟周期与平均时钟周期的最大偏差，在整个采样周期中选取多个长度为 200 个时钟周期的段。对于各段，统计段内时钟周期的最大值、最小值和平均值，选取最大值和最小值中与平均值相差最远的值，作为该段的tJIT(per)值。统计所有段的最差值，与有效范围进行比较。对于 DDR2-400 和 DDR2-533 规范中并没有给出明确的阈值要求。

7.8.1 规范说明

表 7.8-1 DDR4 tJIT(per)的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Unit
tJIT(per)	-63	63	-54	54	-47	47	-42	42	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-38	38	-34	34	-32	32			

表 7.8-2 DDR3 tJIT(per)规格要求

传输速率		DDR3-800		DDR3-1066		DDR3-1333		单位
测试项	描述	最小值	最大值	最小值	最大值	最小值	最大值	
tJIT(per)	周期抖动	-100	100	-90	90	-80	80	ps
传输速率		DDR3-1600		DDR3-1866		DDR3-2133		
测试项	描述	最小值	最大值	最小值	最大值	最小值	最大值	
tJIT(per)	周期抖动	-70	70	-60	60	-50	50	

表 7.8-3 DDR2 tJIT(per)规格要求

传输速率		DDR2-667		DDR2-800		DDR2-1066		单位
测试项	描述	最小值	最大值	最小值	最大值	最小值	最大值	
tJIT(per)	时钟周期抖动	-125	125	-100	100	-90	90	ps

7.8.2 计算方法

1. 以长度为 202 个时钟周期的信号为例。
2. 计算前 200 个时钟周期的平均值。

3. 测量第 1 个周期与平均值之间的差值，并保存测量结果。
4. 继续执行相同的步骤，直到第 200 个周期与平均值进行比较（共生成 200 个测量值）。
5. 计算第 2 个到 201 个时钟周期的平均值。
6. 继续执行相同步骤，先测量第 2 个周期与新平均值的差值。并保存结果。
7. 计算第 3 个到 202 个时钟周期的平均值。
8. 继续执行相同步骤，先测量第 3 个周期与新平均值的差值。并保存结果。
9. 找出这 600 个测量结果中的最小值与最大值。
10. 将测试结果与合规限值进行比较。

7.8.3 测试结果参考

下图 7.8-1 为可观测的测试结果示例。

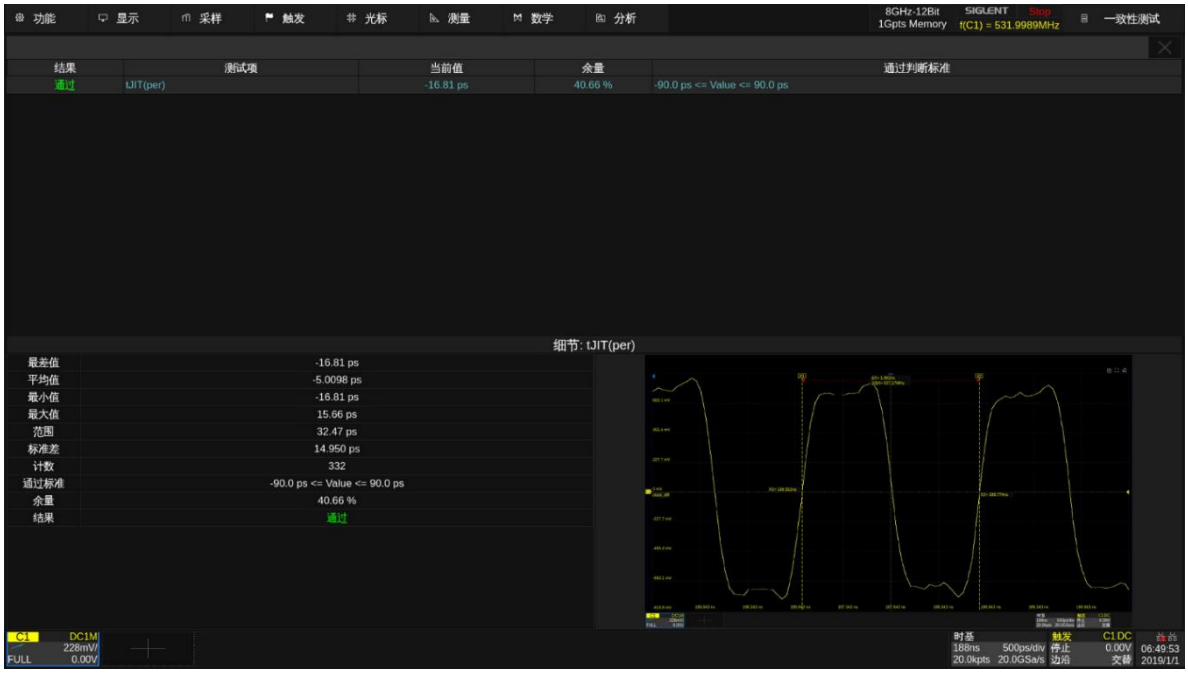


图 7.8-1 DDR3 tJIT(per)测试示例

7.9 tJIT(cc)

该测试的目的是测量相邻两个时钟的周期抖动，在整个采样周期中统计所有的相邻周期抖动的最大值，与有效范围进行比较。对于 DDR2-400 和 DDR2-533 规范中并没有给出明确的阈值要求，且 tJIT(cc)的结果为绝对值。

7.9.1 规范说明

表 7.9-1 DDR4 tJIT(cc)的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Unit
tJIT(cc)	-	125	-	107	-	94	-	83	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-	75	-	68	-	62			

表 7.9-2 DDR3 tJIT(cc)规格要求

传输速率		DDR3-800	DDR3-1066	DDR3-1333	单位
测试项	描述	最大值	最大值	最大值	
tJIT(cc)	相邻周期抖动	200	180	160	ps
传输速率		DDR3-1600	DDR3-1866	DDR3-2133	
测试项	描述	最大值	最大值	最大值	
tJIT(cc)	相邻周期抖动	140	120	100	

表 7.9-3 DDR2 tJIT(cc)规格要求

传输速率		DDR2-667		DDR2-800		DDR2-1066		单位
测试项	描述	最小值	最大值	最小值	最大值	最小值	最大值	
tJIT(cc)	相邻周期抖动	0	250	0	200	0	180	ps

7.9.2 计算方法

1. 采样得到至少 200 个时钟周期。
2. 计算每个相邻周期之间的差值，并保存测量结果。
3. 找出其中的最大值。

4. 将测试结果与合规限值进行比较。

7.9.3 测试结果参考

下图 7.9-1 为可观测的测试结果示例。

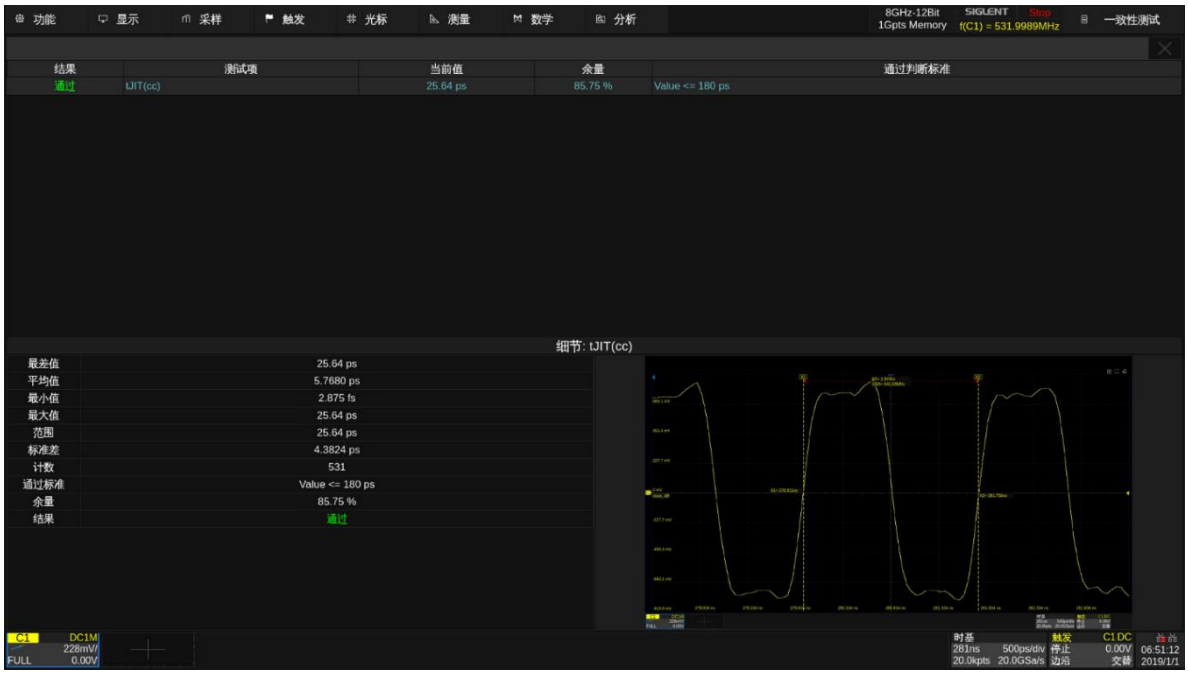


图 7.9-1 DDR3 tJIT(cc)测试示例

7.10 tJIT(duty)

该测试的目的是测量时钟正/负脉冲宽度与其平均值的最大偏差，在整个采样周期中选取多个长度为 200 个时钟周期的段。对于各段，计算其内的时钟正脉冲的平均宽度，及其各个正脉冲宽度与其平均值的偏差，统计所有段的最大最小值，与有效范围进行比较。对于 DDR2-400 和 DDR2-533 规范中并没有给出明确的阈值要求。DDR4 中无此测试项。

7.10.1 规范说明

DDR3 中，由于 JEDEC 标准中未定义限制值，此项测试只做测量参考。

DDR2 的规格要求如下表所示：

表 7.10-1 DDR2 tJIT(duty)规格要求

速率		DDR2-667		DDR2-800		DDR2-1066		单位
测试项	描述	最小值	最大值	最小值	最大值	最小值	最大值	
tJIT(duty)	占空比抖动	-125	125	-100	100	-75	75	ps

7.10.2 计算方法

1. 以长度为 202 个时钟周期的信号为例。
2. 计算前 200 个时钟的高脉冲宽度的平均值。
3. 测量第 1 个周期的高脉冲宽度与平均值之间的差值，并保存测量结果。
4. 继续执行相同的步骤，直到周期第 200 个周期的正脉冲宽度与平均值进行比较（共生成 200 个测量值）。
5. 计算第 2 个到 201 个时钟的正脉冲宽度的平均值。
6. 继续执行相同步骤，先测量第 2 个周期的正脉冲宽度与新平均值的差值。并保存结果。
7. 计算第 3 个到 202 个时钟的正脉冲宽度的平均值。
8. 继续执行相同步骤，先测量第 3 个周期的正脉冲宽度与新平均值的差值。并保存结果。
9. 找出这 600 个测量结果中的最小值与最大值。
10. 将测试结果与合规限值进行比较。

7.10.3 测试结果参考

下图 7.10-1 为可观测的测试结果示例。

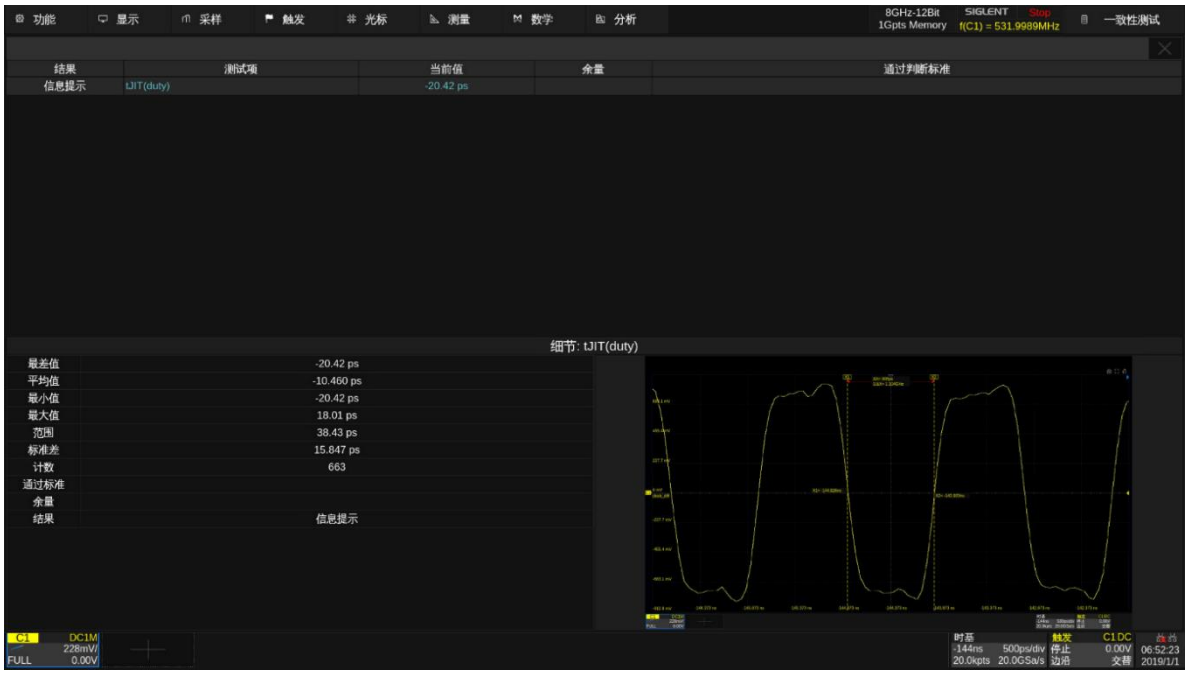


图 7.10-1 DDR3 tJIT(duty)测试示例

7.11 tDVAC(CK)

该测试项为 DDR3 所特有，该测试的目的是测量时钟周期在第一次上穿 V_{IHdiff} 并下穿的时间间隔，以及第一次下穿 V_{ILdiff} 并上穿的时间间隔，统计所有测量值，与有效范围进行比较。

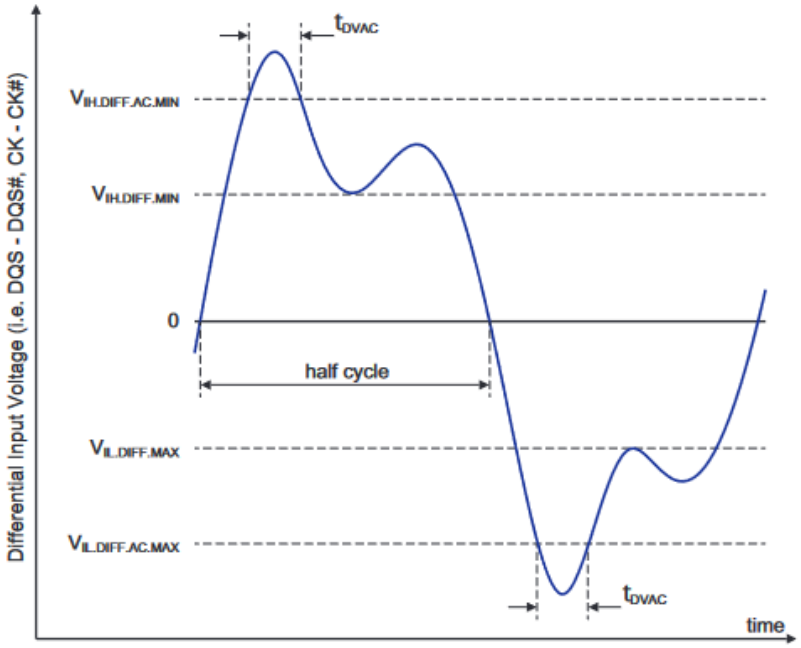


图 7.11-1 tDVAC(CK)的定义

7.11.1 规范说明

tDVAC(CK)的取值范围可参考 JESD79-3F Table 26, JESD79-3-1A.01 Table 24。

7.11.2 计算方法

1. 预置示波器
2. 在被测时钟信号的上升沿触发。
3. 找出被测信号上升沿/下降沿上与 $V_{IHdiff(AC)}$相交的所有交叉点。
4. 计算得到 tDVAC，并保存测量结果。
5. 找出测量结果中的最小值。
6. 将测量结果与合规限值进行比较。

7.11.3 测试结果参考

下图 7.11-2 为可观测的测试结果示例。

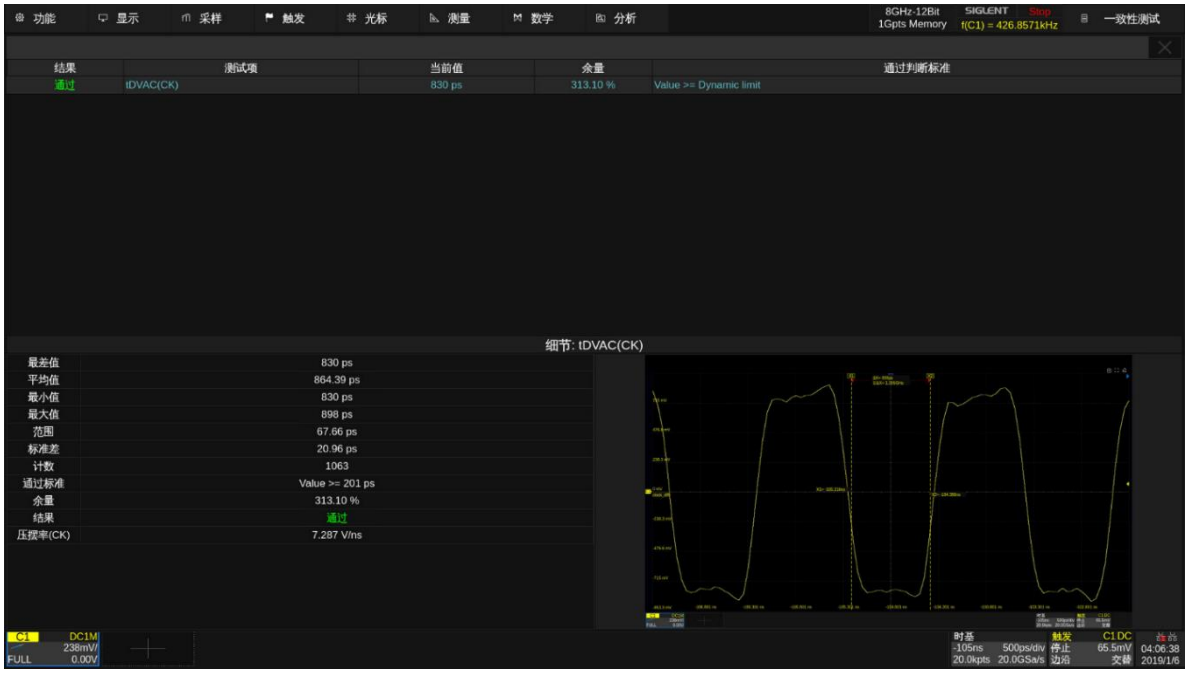


图 7.11-2 DDR3 tDVAC(CK)测试示例

7.12 VIX(CK)

该测试的目的是验证输入差分测试信号 CLK 的交叉点电压值是否在 JEDEC 规定的一致性限制范围内。V_{DDQ} 值直接影响一致性上限，DDR4 的 V_{DDQ} 默认为 1.2V；DDR3 的 V_{DDQ} 默认为 1.5V，对于 DDR3L 默认值为 1.35V；DDR2 的 V_{DDQ}默认为 1.8V。

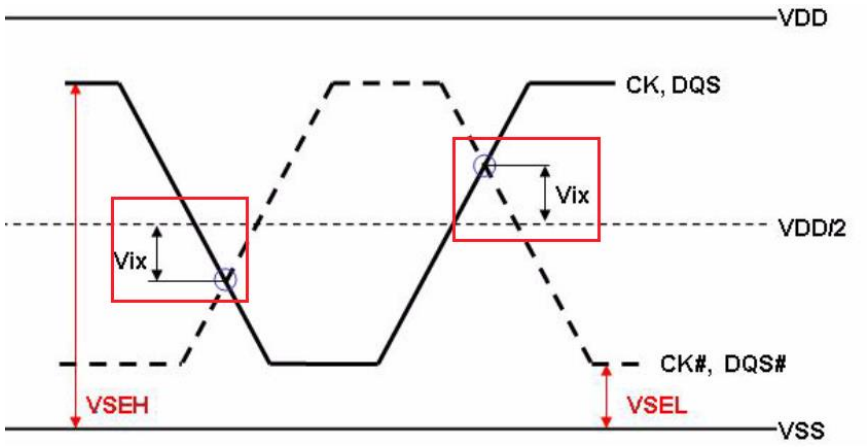


图 7.12-1 DDR3/DDR4 VIX(CK)的定义

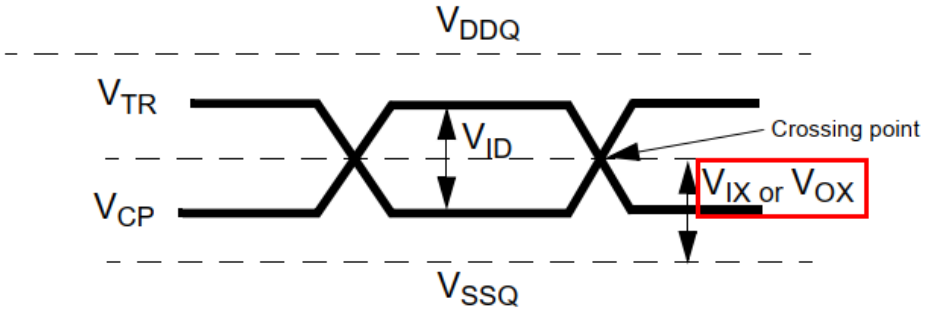


图 7.12-2 DDR2 VIX(CK)的定义

7.12.1 规范说明

表 7.12-1 DDR4 的 VIX(CK)规格要求

Symbol	Parameter	DDR4-1600/1866/2133/2400			
		min		max	
-	Area of VSEH, VSEL	VSEL < VDD/2 - 145 mV	VDD/2 - 145 mV =< VSEL =< VDD/2 - 100 mV	VDD/2 + 100 mV =< VSEH =< VDD/2 + 145 mV	VDD/2 + 145 mV < VSEH
VIX(CK)	Differential Input Cross Point Voltage relative to VDD/2 for CK_t, CK_c	-120 mV	-(VDD/2 - VSEL) + 25 mV	(VSEH - VDD/2) - 25 mV	120 mV

表 7.12-2 DDR4 的 VIX(CK)规格要求

Symbol	Parameter	DDR4-2666/2933/3200			
		min		max	
-	Area of VSEH, VSEL	VSEL < VDD/2 - 145 mV	VDD/2 - 145 mV =< VSEL =< VDD/2 - 100 mV	VDD/2 +100 mV =< VSEH =< VDD/2 + 145mV	VDD/2 + 145 mV < VSEH
VIX(CK)	Differential Input Cross Point Voltage relative to VDD/2 for CK_t, CK_c	-110 mV	- (VDD/2 - VSEL) + 30 mV	(VSEH - VDD/2) - 30 mV	110 mV

DDR4 中，$V_{IX(CK)}$的最大值和最小值的取值根据 V_{SEH}和 V_{SEL}的值不同而有所变化，如上表所示。

表 7.12-3 DDR3 的 VIX(CK)规格要求

传输速率		DDR3-800/1066/1333/1600/1866/2133		
参数	描述	最小值	最大值	单位
VIX(CK)	差分输入穿越点电压	-150	150	mV
		-175	175	mV

其中当 V_{SEL}/V_{SEH} >= $V_{DD}/2$ +/- 250 mv 以及 Slew(CK-CK#) > 3V/ns)时，DDR3 的 $V_{IX(CK)}$ 最小值为 -175mV 最大值为 175 mV。

表 7.12-4 DDR3L 的 VIX(CK)规格要求

传输速率		DDR3L-800/1066/1333/1600/1866		
参数	描述	最小值	最大值	单位
VIX(CK)	差分输入穿越点电压	-150	150	mV

表 7.12-5 DDR2 VIX(CK)规格要求

测试项	描述	DDR2		单位
		最小值	最大值	
VIX(CK)	差分输入穿越点电压	0.5*VDDQ-0.175	0.5*VDDQ+0.175	V

7.12.2 计算方法

1. 采样并获取波形数据。
2. 通过函数获取得到差分信号。
3. 找出所有差分信号穿过 0V 的点，
4. 使用 V_{Time} 去获取单端信号的实际电压值。
5. 对于每个穿过的点。计算出最终结果。
   a) 对于 DDR2，$V_{IX(CK)}$=穿过点电压值
   b) 对于 DDR3、DDR4，$V_{IX(CK)}$=穿过点电压值-V_{DD}/2。
6. 从测出的 $V_{IX(CK)}$ 中找出最差的结果。

7.12.3 测试结果参考

下图 7.12-3 为可观测的测试结果示例。



图 7.12-3 DDR3 VIX(CK)测试示例

7.13 VID(CK)

该项测试为 DDR2 所特有，该测试的目的是验证输入差分测试信号 CLK 的单端电压摆幅是否在 JEDEC 规定的 VID(CK)一致性限制范围内。

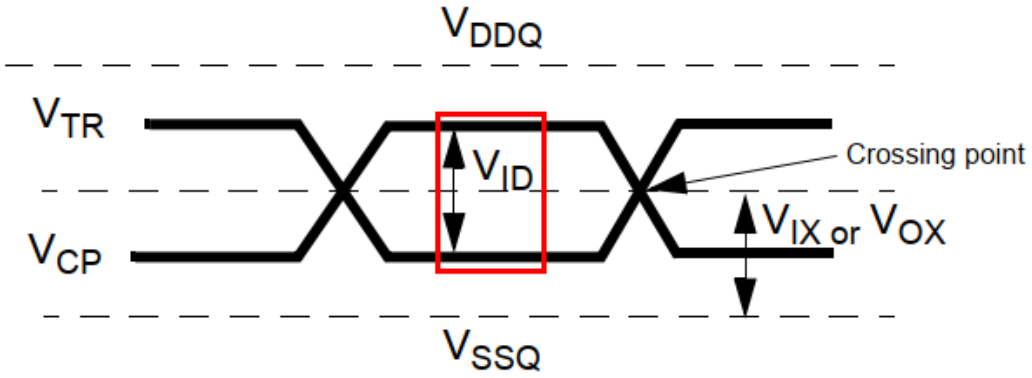


图 7.13-1 VID(CK)的定义

7.13.1 规范说明

表 7.13-1 DDR2 VID(CK)规格要求

参数	DDR2-400/533/667/800		单位
VID(CK)	最小值	最大值	V
	0.5	VDDQ	

表 7.13-2 DDR2 VID(CK)规格要求

参数	DDR2-1066		单位
VID(CK)	最小值	最大值	V
	0.5	VDDQ+0.6	

7.13.2 计算方法

1. 采样并获取波形数据。
2. 通过函数获取其差分信号。
3. 寻找差分信号中所有的完整正负脉冲。
4. 如果寻找到的是正脉冲，则测量该脉冲范围内单端正信号的最大值 Vmax，以及单端负信号的最小值 Vmin；反之则测量单端正信号的最小值 Vmin 和单端负信号的最大值 Vmax 。

5. VID(CK) = Vmax – Vmin。
6. 从测出的所有 VID(CK)中找出最差的结果。
7. 将测试结果与合规限值进行比较。

7.13.1 测试结果参考

下图 7.13-2 为可观测的测试结果示例。



图 7.13-2 DDR2 VID(CK)测试示例

7.14 VIHdiff.CK(AC)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证在有效采样窗口内，交流状态下差分时钟信号的高电平电压值是否在 JESD 规范内。该测试项的取值范围如下表 7.14-2 所示，其最小值受 $V_{IH(AC)}$ 和 V_{REF} 的影响，$V_{IH(AC)}$和 V_{REF} 的值在配置选项中已经提前配置好，该值遵循 JESD 规范要求。如果用户有特殊的要求的话，可以去配置中手动修改，一般情况建议使用默认配置即可。

7.14.1 规范说明

表 7.14-1 DDR4 VIHdiff.CK(AC)规格要求

	DDR4-1600/1866/2133/2400/2666/2933/3200		单位
Symbol	MIN	MAX	V
VIHdiff.CK(AC)	2 x (VIH(AC) -VREF)	\	

DDR4 中 VIHdiff.CK(AC)的取值和 VIH(AC)和 VREF 有关，其中 VREF 为 0.6V；上表中 VIH(AC)为 ADD 和 CMD 的 VIH.CA(AC)值，VIH.CA(AC)的取值请参考 JESD79-4D Table 21。

表 7.14-2 DDR3 VIHdiff.CK(AC)规格要求

参数	描述	DDR3-800/1066/1333/1600		单位
		最小值	最大值	
VIHdiff.CK(AC)	差分输入交流高电平	2*(VIH(AC)-VREF)	\	V

7.14.2 计算方法

1. 预置示波器。
2. 在被测时钟信号的上升沿触发。
3. 在整个波形中找出所有有效的时钟正脉冲。有效时钟正脉冲从有效时钟上升沿的 0V 交叉点开始，到下一个有效时钟下降沿的 0V 交叉点结束
4. 对于一个有效的时钟正脉冲执行 V_{TOP} 测量，将 V_{TOP} 测量结果作为 $V_{IHdiff.CK(AC)}$ 值。
5. 对波形中发现的其他有效正脉冲继续执行上一步操作。
6. 从测出的 $V_{IHdiff.CK(AC)}$ 中找出最差的结果。
7. 将该结果与阈值进行比较，输出测试结果。

7.14.3 测试结果参考

下图 7.14-1 为可观测的测试结果示例。



图 7.14-1 DDR3 VIHdiff.CK(AC)测试示例

7.15 VILdiff.CK(AC)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证在有效采样窗口内，交流状态下差分时钟信号的低电平电压值是否在 JESD 规范内。该测试项的取值范围如下表 7.15-2 所示，最大值受 $V_{IL(AC)}$ 和 V_{REF} 的影响，$V_{IL(AC)}$和 V_{REF} 的值在配置选项中的已提前配好，该值遵循 JESD 规范要求。如果用户有特殊的要求的话，可以去配置中手动修改，一般情况建议使用默认配置即可。

7.15.1 规范说明

表 7.15-1 DDR4 VILdiff.CK(AC)规格要求

	DDR4-1600/1866/2133/2400/2666/2933/3200		单位
Symbol	MIN	MAX	V
VILdiff.CK(AC)	\	2 x (VIL(AC) -VREF)	

DDR4 中 VILdiff(AC)的取值和 VIL(AC)和 VREF 有关，其中 VREF 为 0.6V；上表中 VIL(AC)为 ADD 和 CMD 的 VIL.CA(AC)值，VIL.CA(AC)的取值请参考 JESD79-4D Table 21。

表 7.15-2 DDR3 VILdiff.CK(AC)规格要求

参数	描述	DDR3		
		最小值	最大值	单位
VILdiff.CK(AC)	差分输入交流低电平	\	$2*(V_{IL(AC)}-V_{REF})$	V

7.15.2 计算方法

1. 预置示波器。
2. 在被测时钟信号的上升沿触发。
3. 在整个波形中找出所有有效的时钟负脉冲。有效时钟负脉冲从有效时钟下降沿的 0V 交叉点开始，到下一个有效时钟上升沿的 0V 交叉点结束
4. 对于一个有效的时钟负脉冲执行 V_{BASE} 测量，将 V_{BASE} 测量结果作为 $V_{ILdiff(AC)}$ 值。
5. 对波形中发现的其他的有效负脉冲继续上一步操作。
6. 从测出的 $V_{ILdiff(AC)}$ 中找出最差的结果。
7. 将该结果与阈值进行比较，输出测试结果。

7.15.3 测试结果参考

下图 7.15-1 为可观测的测试结果示例。

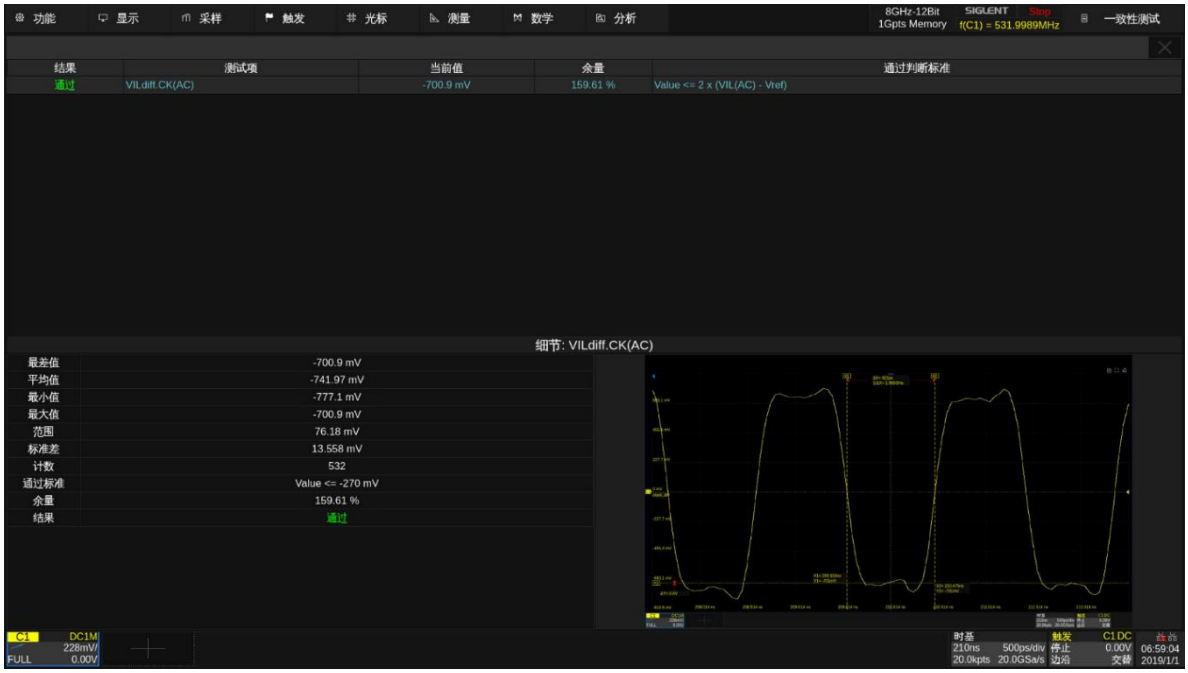


图 7.15-1 DDR3 $V_{ILdiff.CK(AC)}$测试示例

7.16 VIHdiff.CK(DC)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证在有效采样窗口内，差分输入直流高电平的电压值是否在 JESD 规范内。

7.16.1 规范说明

表 7.16-1 DDR4 VIHdiff.CK(DC)规格要求

Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Units
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
VIHdiff.CK(DC)	150	\	150	\	150	\	135	\	mV
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	135	\	125	\	110	\			

表 7.16-2 DDR3 VIHdiff.CK(DC)规格要求

参数	描述	DDR3-800/1066/1333/1600		
		最小值	最大值	单位
VIHdiff.CK(DC)	差分输入直流高电平	0.2	\	V

表 7.16-3 DDR3L VIHdiff.CK(DC)规格要求

参数	描述	DDR3L-800/1066/1333/1600/1866		
		最小值	最大值	单位
VIHdiff.CK(DC)	差分输入直流高电平	0.18	\	V

7.16.2 计算方法

1. 预置示波器。
2. 在被测时钟信号的上升沿触发。
3. 在整个波形中找出所有有效的时钟正脉冲。有效时钟正脉冲从有效时钟上升沿的 0V 交叉点开始，到下一个有效时钟下降沿的 0V 交叉点结束。
4. 对于一个有效的时钟正脉冲执行 V_{TOP} 测量，将 V_{TOP} 测量结果作为 $V_{IHdiff.CK(DC)}$ 值。
5. 对波形中发现的其他有效正脉冲继续上一步操作。

6. 从测出的 $V_{IHdiff.CK(DC)}$ 中找出最差的结果。

7. 将该结果与阈值进行比较，输出测试结果。

7.16.3 测试结果参考

下图 7.16-1 为可观测的测试结果示例。



图 7.16-1 DDR3L VIHdiff.CK(DC)测试示例

7.17 VILdiff.CK(DC)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证在有效采样窗口内，差分输入直流低电平的电压值是否在 JESD 规范内。

7.17.1 规范说明

表 7.17-1 DDR4 VILdiff.CK(DC)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VILdiff.CK(DC)	\	-150	\	-150	\	-150	\	-135	mV
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	\	-135	\	-125	\	-110			

表 7.17-2 DDR3 VILdiff.CK(DC)规格要求

参数	描述	DDR3-800/1066/1333/1600		
		最小值	最大值	单位
VILdiff.CK(DC)	差分输入直流低电平	\	-0.2	V

表 7.17-3 DDR3L VILdiff.CK(DC)规格要求

参数	描述	DDR3L-800/1066/1333/1600/1866		
		最小值	最大值	单位
VILdiff.CK(DC)	差分输入直流低电平	\	-0.18	V

7.17.2 计算方法

1. 预置示波器。
2. 在被测时钟信号的上升沿触发。
3. 在整个波形中找出所有有效的时钟负脉冲。有效时钟负脉冲从有效时钟下降沿的 0V 交叉点开始，到下一个有效时钟上升沿的 0V 交叉点结束
4. 对于一个有效的时钟负脉冲执行 V_{BASE} 测量。将 V_{BASE} 测量结果作为 $V_{ILdiff.CK(DC)}$值。
5. 对波形中发现的其他有效负脉冲继续上一步操作。
6. 从测出的 $V_{ILdiff.CK(DC)}$ 中找出最差的结果。

7. 将该结果与阈值进行比较，输出测试结果。

7.17.3 测试结果参考

下图 7.17-1 为可观测的测试结果示例。



图 7.17-1 DDR3L VILdiff.CK(DC)测试示例

8 数据选通单端正信号测试集

8.1 tHZ(DQS)

DDR2/3 中该测试的目的是测量数据选通单端正信号(DQS) 传输结束时，电平由低阻到高阻切换拐点到时钟跳变沿的时间，如下图 8.1-1 所示。

DDR4 中该测试项和 DDR3 类似，不同之处在于 DDR3 中 DQS 空闲状态的电平为高阻态，DDR4 中的空闲状态为高电平。数据选通的 tHZ 需要在读时序下进行测试，读时序如下图 8.1-3 所示。

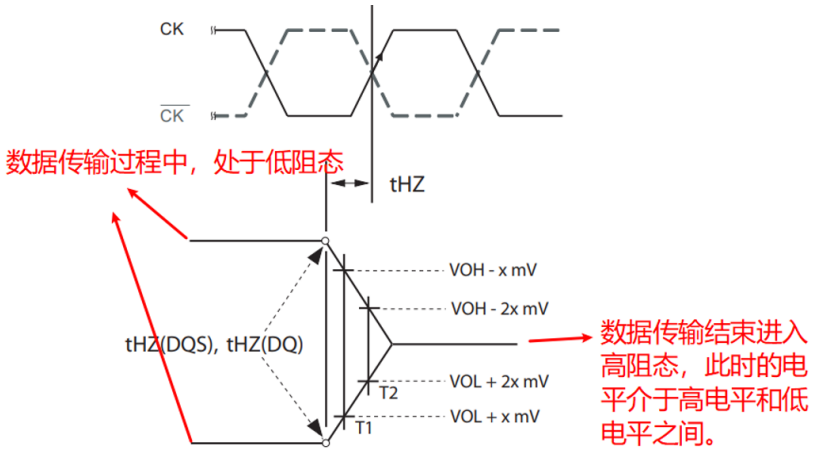


图 8.1-1 DDR2/3 tHZ(DQS)的定义

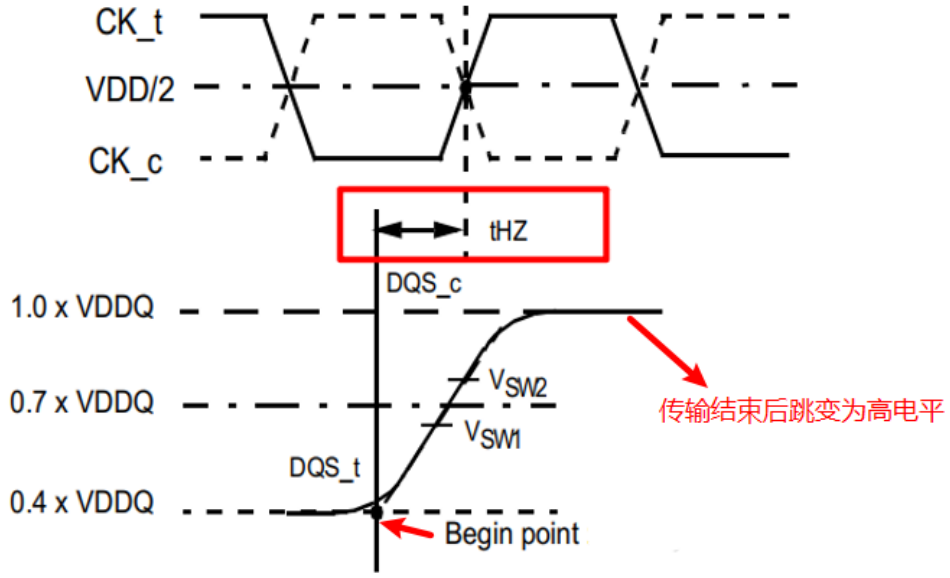


图 8.1-2 DDR4 tHZ(DQS)的定义

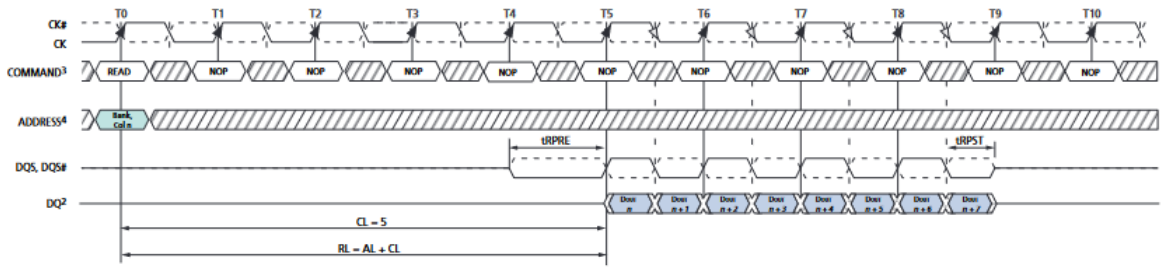


图 8.1-3 读时序

8.1.1 规范说明

表 8.1-1 DDR4 tHZ(DQS)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tHZ(DQS)	\	225	\	195	\	180	\	175	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	\	170	\	165	\	160			

表 8.1-2 DDR3 tHZ(DQS)规格要求

参数	规格						单位
tHZ(DQS)	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133	ps
	最大值	最大值	最大值	最大值	最大值	最大值	
	400	300	250	225	195	180	

表 8.1-3 DDR2 tHZ(DQS)规格要求

参数	DDR2		单位
	最小值	最大值	
tHZ(DQS)	-	tAC max	ps

注：tAC 指 DQ 相对于时钟 CK/CK#的有效输出延迟时间。

表 8.1-4 DDR2 tAC 的取值范围

参数	DDR2-400		DDR2-533		DDR2-667		单位
tAC	最小值	最大值	最小值	最大值	最小值	最大值	ps
	-600	600	-500	500	-450	450	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	-400	400	-350	350			

8.1.2 计算方法

1. 获取并分离读写脉冲时序。
2. 验证上一步获得的读写脉冲时序，无效的突发将被忽略。
3. 在上述脉冲时序的 DQS 信号上找到最后一个有效边沿时间点 $t_{LastFalling}$。
4. 以 $t_{LastFalling}$ + 0.1UI 为起始，$t_{LastFalling}$ + 0.9UI 为结束，计算该范围内的电平，如果是高电平，则跳过该时序。
5. 以 $t_{LastFalling}$ + 0.5UI 至 $t_{LastFalling}$ + 1.5UI 为范围，统计 V_{Top} 和 V_{Base}。
6. 以 V_{Top} 和 V_{Base} 之间的 80%和 20%分别为高阈值 V_{Upper} 和低阈值 V_{Lower}，从 $t_{LastFalling}$ + 1.5UI 开始，向左搜索上升沿，该上升沿穿越高阈值和低阈值的时间点分别记为 t_{Upper} 和 t_{Lower}。
7. 点(t_{Upper}, V_{Upper})和点(t_{Lower}, V_{Lower})之间连线的延长线与 V_{Base} 的交点记为 $t_{HZBegin}$。
8. 查找最近的时钟上升沿，tHZ(DQS)是时钟上升沿交叉点与 $t_{HZBegin}$ 之间的时间间隔。
9. 将所有有效时序内的测量结果与合规限值进行比较。

8.1.3 测试结果参考

下图 8.1-4 为可观测的测试结果示例。



图 8.1-4 DDR3 tHZ(DQS)测试示例

8.2 tLZ(DQS)

此处的该测试针对 DDR3，该测试的目的是测量数据选通单端正信号(DQS) 高阻到低阻切换时刻到时钟跳变沿的时间，如下图 8.2-1 所示。该测试项与 tHZ(DQS) 类似，也必须在读时序下测量。对于 DDR4 来说，时序参数 tLZ 是在 DQS#上测量的。

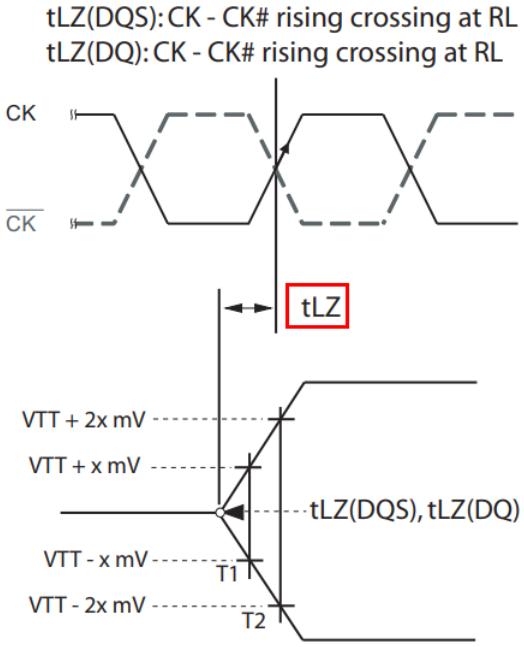


图 8.2-1 DDR2/3 tLZ(DQS)的时序定义

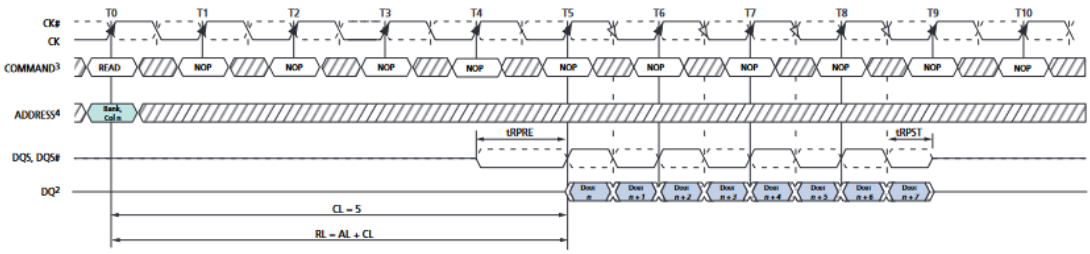


图 8.2-2 读时序

8.2.1 规范说明

表 8.2-1 DDR3 tLZ(DQS)规格要求

时序参数	DDR3-800		DDR3-1066		DDR3-1333		
tLZ(DQS)	最小值	最大值	最小值	最大值	最小值	最大值	单位
	-800	400	-600	300	-500	250	ps
时序参数	DDR3-1600		DDR3-1866		DDR3-2133		
tLZ(DQS)	最小值	最大值	最小值	最大值	最小值	最大值	
	-450	255	-390	195	-360	180	

表 8.2-2 DDR2 tLZ(DQS)规格要求

参数	DDR2		单位
	最小值	最大值	
tLZ(DQS)	tAC min	tAC max	ps

注：tAC 的取值请参考表 8.1-4，下同。

8.2.2 计算方法

1. 获取并分离读写脉冲时序。
2. 验证上一步获得的读写脉冲时序，无效的突发将被忽略。
3. 在上述脉冲时序的 DQS 信号上找到第一个有效的上升沿时间点记为 $t_{FirstRising}$。
4. 以 $t_{FirstRising}$ - 3.0UI 至 $t_{FirstRising}$ - 1.0UI 为范围，统计 V_{Top} 和 V_{Base}。
5. 以 V_{Top} 和 V_{Base} 之间的 80%和 20%分别为高阈值 V_{Upper} 和低阈值 V_{Lower}，从 $t_{FirstRising}$ - 1.0UI 开始，向左搜索下降沿，该下降沿穿越高阈值和低阈值的时间点分别记为 t_{Upper} 和 t_{Lower}。
6. 点(t_{Upper}, V_{Upper})和点(t_{Lower}, V_{Lower})之间连线的延长线与 VTT 的交点记为 $t_{LZBegin}$。
7. 查找最近的时钟上升沿，tLZ(DQS) 是时钟上升沿交叉点与 $t_{LZBegin}$ 之间的时间间隔。
8. 将所有有效时序内的测量结果与合规限值进行比较。

8.2.3 测试结果参考

下图 8.2-2 为可观测的测试结果示例。



图 8.2-2 tLZ(DQS)测试示例

8.3 压摆率(Slew Rate)(DQS)

信号的建立和保持时间的压摆率(slew rate)主要针对 Address/Command/Data 这些单端信号，且 DDR3 规范中并未给出判断标准，对于 CLK 和 DQS 这种差分信号，JESD 规范中也没有规定差分信号的单端连接下的测量标准。在 DDR3 自动化测试中，DQS 差分信号单端连接的 setup time 和 hold time 的 slew rate 测量，仅作为参考，没有判断标准。DDR4 无此测量项。

DDR2 中给出了 setup time 的压摆率的取值范围：value>=1V/ns，hold time 的压摆率测量仅作为参考，没有判断标准。

8.3.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF)

标准上分为了标称压摆率和切线压摆率，对于下图中的建立/保持时序的压摆率，当波形早于标称压摆率时，使用标称压摆率作为tDS补偿值的选择依据，否则使用切线压摆率作为依据。测试时，对所有有效的边沿，取其标称压摆率作为测量值，统计所有测量值与用户定义的阈值进行比对。

建立时间（tDS）的压摆率定义：

- 上升信号：从上升沿穿过 VREF(dc)到第一次穿过 VIH(ac)min 的斜率。
- 下降信号：从下降沿穿过 VREF(dc)到第一次穿过 VIL(ac)max 的斜率。

保持时间（tDH）的压摆率定义：

- 上升信号：从最后一次穿过 VIL(dc)max 到上升沿穿过 VREF(dc)的斜率。
- 下降信号：从最后一次穿过 VIH(dc)min 到下降沿穿过 VREF(dc)的斜率。

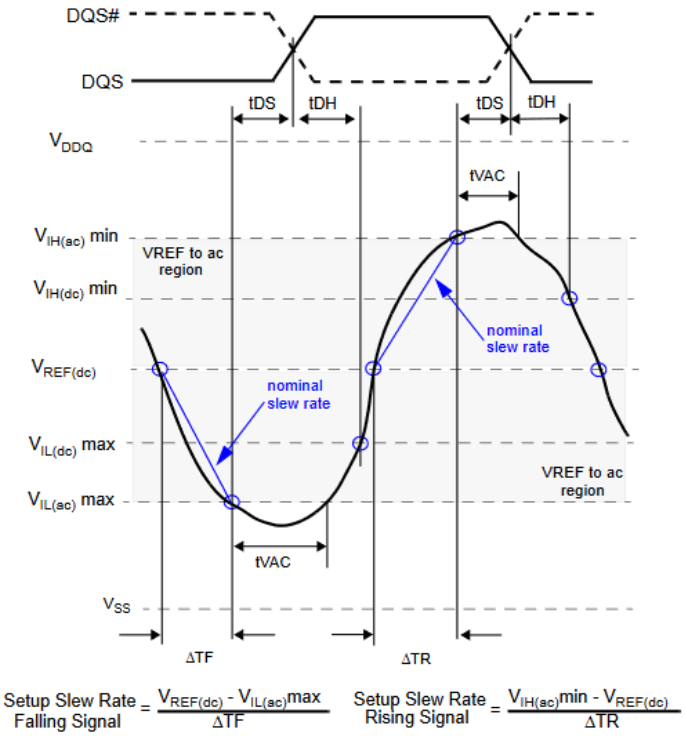


图 8.3-1 标称压摆率

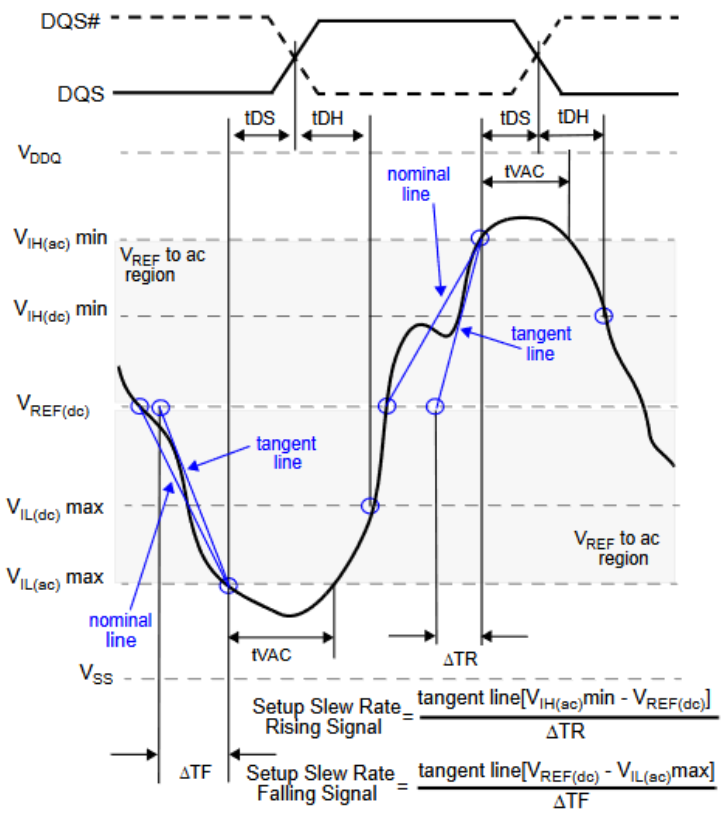


图 8.3-2 切线压摆率

8.3.2 测试结果参考

下图 8.3-3 为可观测的测试结果示例。



图 8.3-3 DDR3 Slew rate Setup/Hold-Rising/Falling(DQS)测试示例

8.4 Overshoot 和 Overshoot Area(DQS)

过冲测试可分为两个子测试：过冲幅度和过冲面积测试。过冲测试的目的是从获取的波形区域验证测试信号的过冲值（过冲幅度和过冲面积）是否满足 JEDEC 规范中规定的一致性限值。过冲面积的计算基于过冲宽度和过冲幅度。过冲区域应小于或等于 JEDEC 规范中规定的一致性限制。

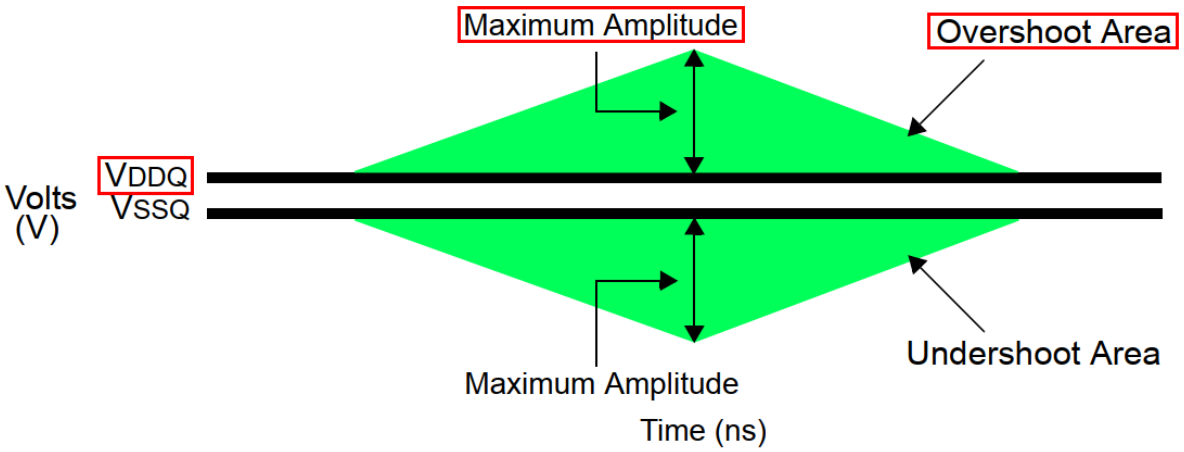


图 8.4-1 DDR2/3 DQS 过冲幅度和过冲面积的定义

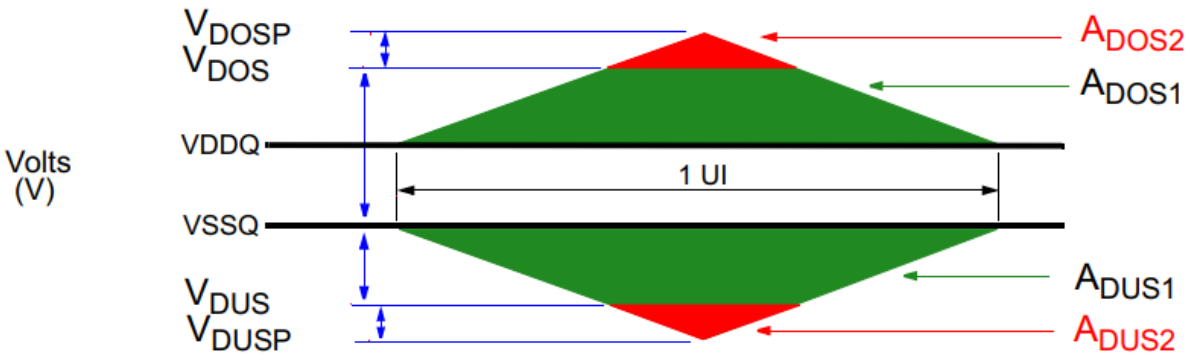


图 8.4-2 DDR4 DQS 过冲幅度和过冲面积的定义

DDR4 自动化测试中 DQS 的 Overshoot 定义为超过 VDDQ(1.2V)的部分，其最大不能超过 0.4V。Overshoot Area 分为两部分，Overshoot Area1 是一个 UI 内，介于 VDDQ(1.2V)和 V_{DOS} (1.44V)之间的部分的面积；Overshoot Area2 是一个 UI 内超过 Vcos1.44V 的部分的面积。DDR4 对这两部分的过冲面积都有严格的要求，门限取值范围如下表 8.4-3 所示。Undershoot 和 Overshoot 是针对整个传输的波形来测试的，即使不是有效数据位。Undershoot Area 和 Overshoot Area 是针对数据传输部分的。

8.4.1 规范说明

表 8.4-1 DDR3 DQS 过冲幅度和过冲面积规格要求

	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Overshoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Overshoot Area	0.25V-ns	0.19V-ns	0.15V-ns	0.13V-ns	0.11V-ns	0.10V-ns

表 8.4-2 DDR2 DQS 过冲幅度和过冲面积规格要求

参数	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Overshoot	0.5V	0.5V	0.5V	0.5V	0.5V
Overshoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19V-ns

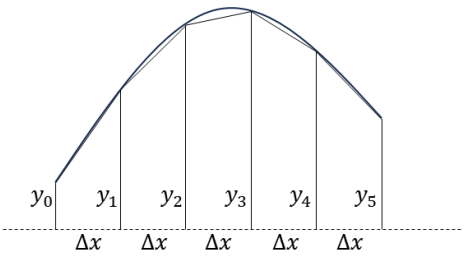
表 8.4-3 DDR4 DQS_P/N 过/下冲幅度和过/下冲面积规格要求

Parameter	Symbol	DDR4-1600	DDR4-1866	DDR4-2133	DDR4-2400	DDR4-2666	DDR4-2933	DDR4-3200	unit
Maximum peak amplitude above VDOS	VDOSP	0.16							V
Upper boundary of overshoot area ADOS1	VDOS	VDDQ + 0.24							V
Lower boundary of undershoot area ADUS1	VDUS	0.3							V
Maximum peak amplitude below VDUS	VDUSP	0.1							V
Maximum overshoot area per 1 UI above VDOS	ADOS2	0.015	0.0129	0.0113	0.01	0.01			V-ns

Maximum overshoot area per 1 UI between VDDQ and VDOS	ADOS1	0.105	0.09	0.0788	0.07	0.07	V-ns
Maximum undershoot area per 1 UI between VSSQ and VDUS1	ADUS1	0.105	0.09	0.0788	0.07	0.07	V-ns
Maximum undershoot area per 1 UI below VDUS	ADUS2	0.015	0.0129	0.0113	0.01	0.01	V-ns

8.4.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找过冲区。过冲区从 DQS 与 V_{DDQ}（或 V_{DDCA}）上升交叉点开始，到 V_{DDQ}（或 V_{DDCA}）与 DQS 下降沿交叉点结束。对于 DDR4，需要在每个 UI 的过冲区域内执行下述计算。
2. 在过冲区域内，执行以下步骤：
   a) 通过以下步骤评估过冲幅度：
      i. 计算波形过冲区域内的最大值 V_{MAX}；
      ii. 则过冲幅度= V_{MAX} - V_{DDQ}（或 V_{DDCA}）。
   b) 采用梯形法计算过冲区域的面积：



$$\text{Area} \approx \Delta x\left(\frac{y_0}{2} + y_1 + y_2 + y_3 + \cdots + \frac{y_n}{2}\right)$$

图 8.4-3 过冲面积计算方式

3. 对获取的波形中发现的其余过冲区域重复上一步。

4. 从存储结果中找出下面最差的结果。

5. 将测试结果与测试限值进行比较。

8.4.3 测试结果参考

下图 8.4-4 为可观测的测试结果示例。

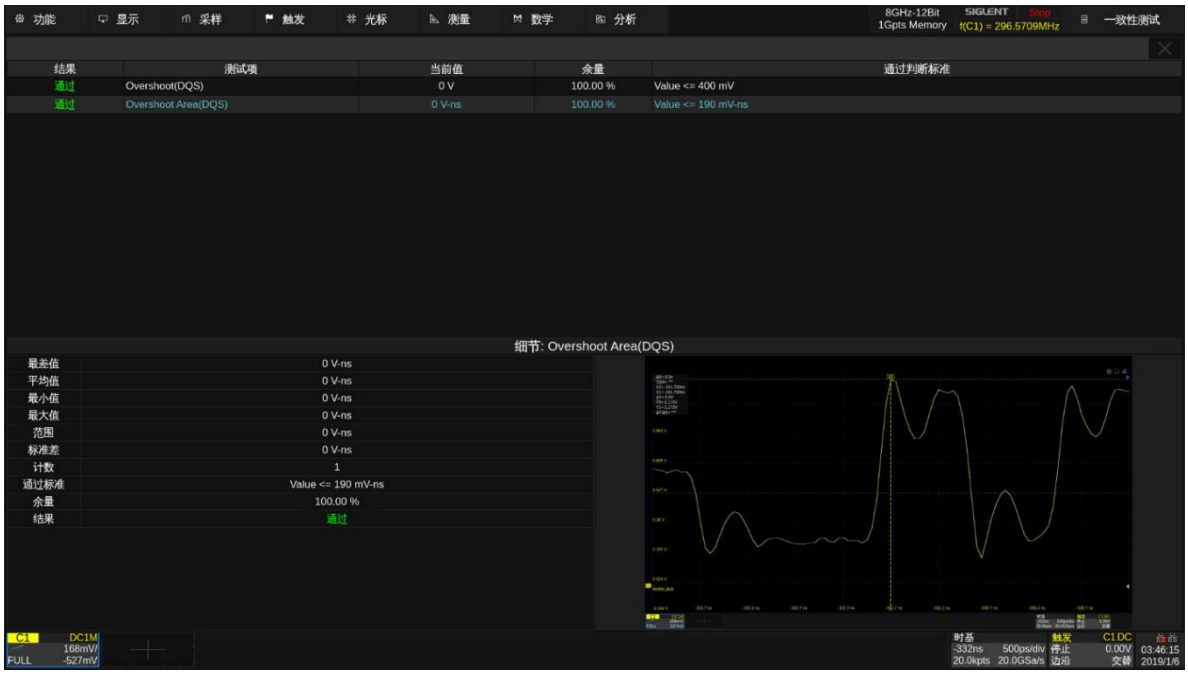


图 8.4-4 DDR3 Overshoot(DQS)和 Overshoot Area(DQS)测试示例

注：若测试的过冲幅度和过冲面积均为 0，表明被测信号幅度没有超过 VDDQ，此为正常现象。

8.5 Undershoot 和 Undershoot Area(DQS)

下冲测试可分为两个子测试：下冲幅度和下冲面积测试。下冲测试的目的是从获取的波形区域验证测试信号的下冲值（下冲幅度和下冲面积）是否满足 JESD 规范中规定的一致性限值。下冲面积的计算基于下冲宽度和下冲幅度。下冲区域应小于或等于 JESD 规范中规定的一致性限制。

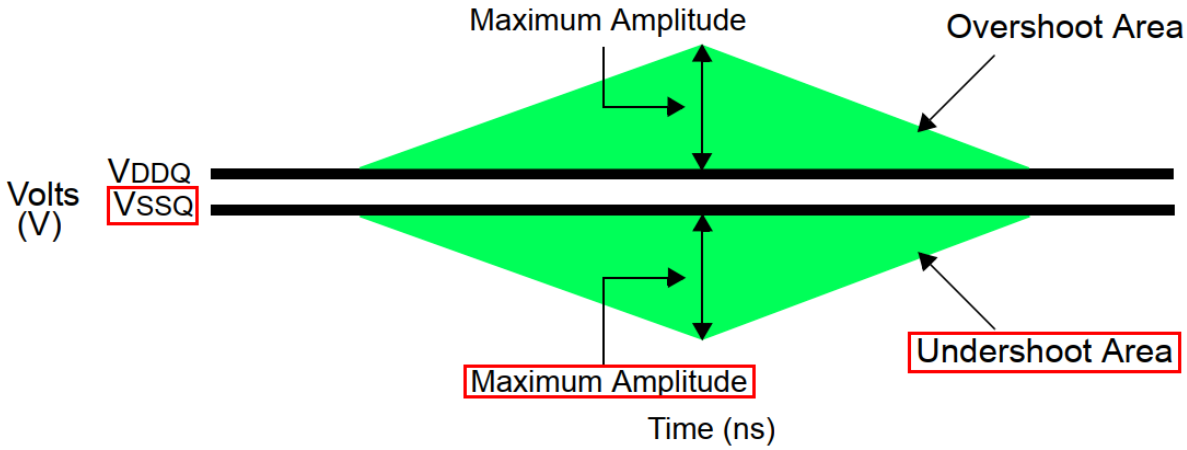


图 8.5-1 DDR2/3 DQS 下冲幅度和下冲面积的定义

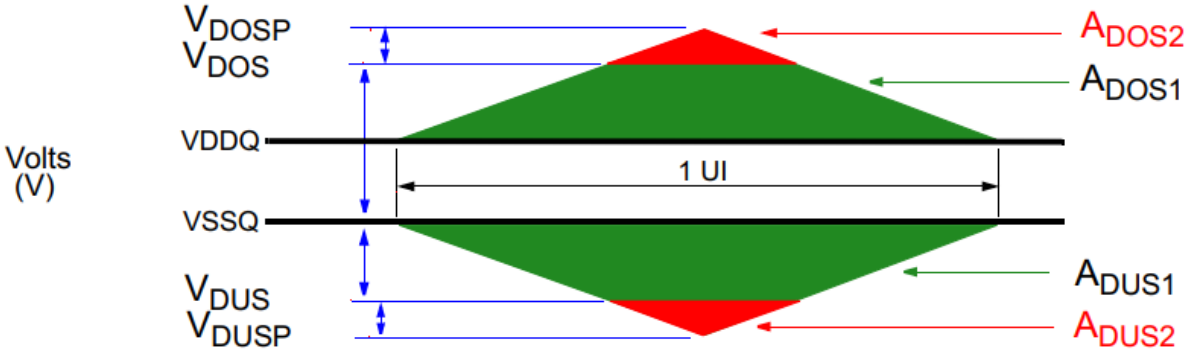


图 8.5-2 DDR4 DQS 下冲幅度和下冲面积的定义

DDR4 自动化测试中 DQS 的 Undershoot 定义为低于 VSSQ(0V)的部分，其最大不能低于-0.4V。Undershoot Area 分为两部分， Undershoot Area1 是一个 UI 内，介于 VSSQ(0V)和 V_{DUS} (-0.3)之间的部分的面积； Undershoot Area2 是一个 UI 内低于 V_{DUS}(-0.3V)的部分的面积。DDR4 对这两部分的下冲面积都有严格的要求，门限取值范围如上表 8.4-3 所示。

8.5.1 规范说明

表 8.5-1 DDR3 DQS 下冲幅度和下冲面积规格要求

	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Undershoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Undershoot Area	0.25V-ns	0.19 V-ns	0.15 V-ns	0.13 V-ns	0.11 V-ns	0.10 V-ns

表 8.5-2DDR2 DQS 下冲幅度和下冲面积规格要求

参数	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Undershoot	0.5V	0.5V	0.5V	0.5V	0.5V
Undershoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19V-ns

8.5.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找下冲区。
2. 在下冲区域内，执行以下步骤，对于 DDR4，则需要在每一个 UI 内分别进行下述计算：
   a) 通过以下步骤评估下冲幅度：
      i. 计算下冲区域内的最小电压 V_{MIN}；
      ii. 则下冲幅度=0 - V_{MIN}。
   b) 通过梯形法计算下冲区域面积（参考图 8.4-3）。
   c) 为以后的最坏情况查找过程存储计算结果。
3. 对获取的波形中发现的其余下冲区域重复上一步。
4. 从存储结果中找出下面最差的结果。
5. 将测试结果与符合性测试限值进行比较。

8.5.3 测试结果参考

下图 8.5-3 为可观测的测试结果示例。



图 8.5-3 DDR3 Undershoot(DQS)和 Undershoot Area (DQS)测试示例

注：若测试的下冲幅度和下冲面积均为 0，表明被测信号幅度没有超过 VSSQ，此为正常现象。

8.6 VSEH(DQS)

该项测试为 DDR3 所特有，该测试的目的是验证 DQS 单端正信号的正脉冲的最大电压是否满足 JESD 规范。DDR3 的 V_{DD} 值直接影响该一致性限制，DDR3 中该值为 1.5V，DDR3L 为 1.35V，用户可以选择使用配置中的"阈值设置"功能，按照自定义的 VDD 值执行此测试，一般情况下不建议更改这些参数。

8.6.1 规范说明

表 8.6-1 VSEH(DQS)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		
		最小值	最大值	单位
VSEH(DQS)	DQS 单端高电平	(V_{DD}/2)+0.175	\	V

8.6.2 计算方法

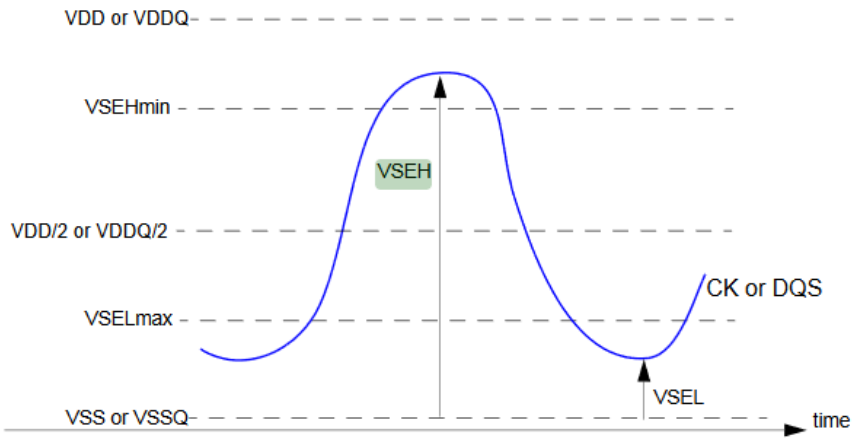


图 8.6-1 V_{SEH} 计算方法

1. 预置示波器。
2. 在被测 DQS 信号的上升沿触发。
3. 在整个波形中查找所有有效的 DQS 正脉冲。一个有效的 DQS 正脉冲从其有效上升沿的 V_{REF} 交叉点开始，到下一个有效下降沿的 V_{REF} 交叉点结束。
4. 对于一个有效的 DQS 正脉冲，测量其脉冲的电压最大值 V_{Max} 并将其视为 V_{SEH} 值。
5. 对波形中发现的所有有效正脉冲重复上一步。
6. 从测出的 V_{SEH} 中找出最差的结果。

8.6.3 测试结果参考

下图 8.6-2 为可观测的测试结果示例。



图 8.6-2 DDR3 VSEH(DQS)测试示例

8.7 VSEL(DQS)

该项测试为 DDR3 所特有，该测试的目的是验证 DQS 单端正信号的负脉冲的最小电压是否符合 JESD 规范中规定的 V_{SEL} 值。DDR3 的 V_{DD} 值直接影响一致性限制，DDR3 中该值为 1.5V，DDR3L 为 1.35V。用户可以选择使用配置中的 "阈值设置 "功能，按照自定义的 VDD 值执行此测试，一般情况下不建议更改这些参数。

8.7.1 规范说明

表 8.7-1 VSEL(DQS)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		
		最小值	最大值	单位
VSEL(DQS)	DQS 单端低电平	\	(V_{DD}/2)-0.175	V

8.7.2 计算方法

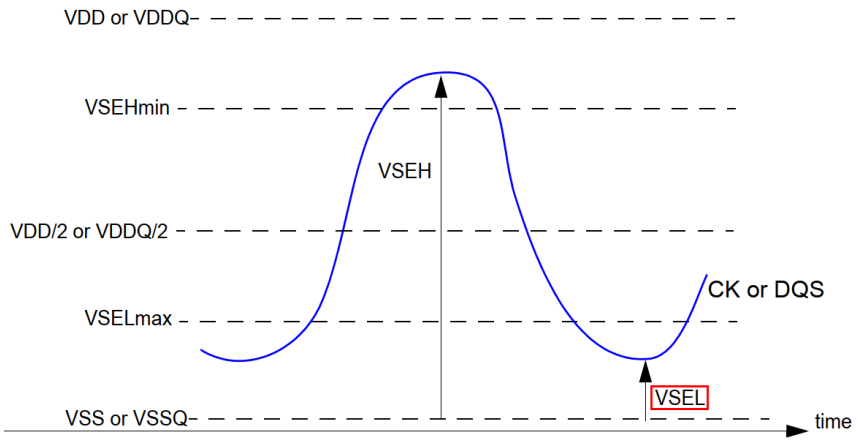


图 8.7-1 V_{SEL} 计算方法

1. 预置示波器。
2. 在被测 DQS 信号的上升沿触发。
3. 在整个波形中查找所有有效的 DQS 负脉冲。一个有效的 DQS 负脉冲开始于有效下降沿的 V_{REF} 交叉点，结束于有效上升沿的 V_{REF} 交叉点。
4. 对于一个有效的 DQS 负脉冲，测量其电压最小值 V_{Min} 并将其视为 V_{SEL} 值。
5. 对波形中发现的所有有效负脉冲重复上一步。
6. 从测出的 V_{SEL} 中找出最差的结果。

8.7.3 测试结果参考

下图 8.7-2 为可观测的测试结果示例。



图 8.7-2 DDR3 VSEL(DQS)测试示例

9 数据选通单端负信号测试集

9.1 tLZ(DQS#)

DDR4 中，该测试的目的是测量数据传输开始时，数据选通单端负信号(DQS#) 高电平到低电平的切换时刻到时钟跳变沿的时间，如下图所示。该测试项与 tHZ(DQS) 类似，也必须在读时序下测量。

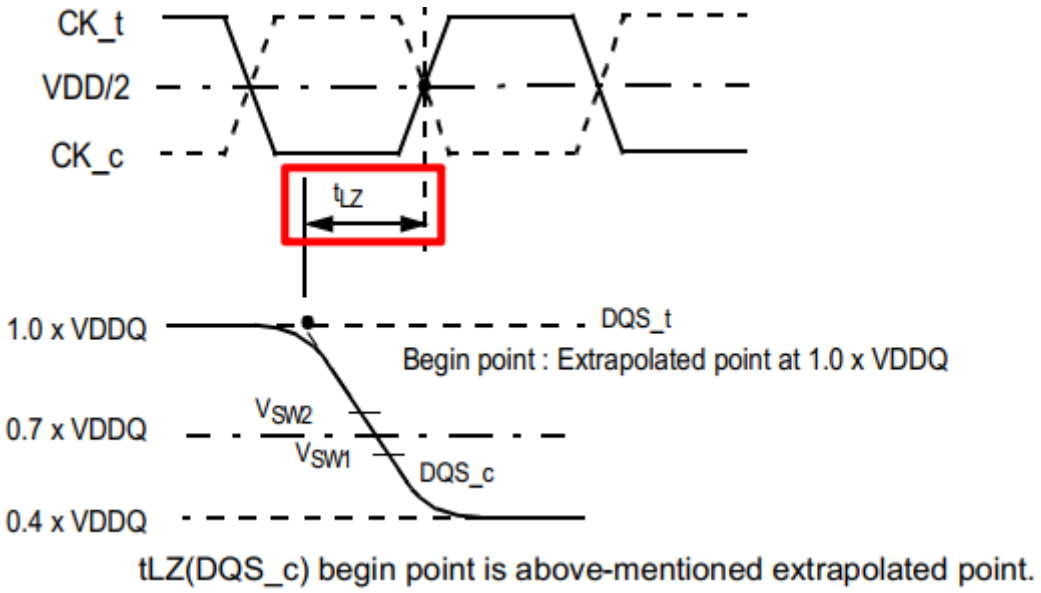


图 9.1-1 DDR4 tLZ(DQS#)的时序定义

9.1.1 规范说明

表 9.1-1 DDR4 tLZ(DQS#)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tLZ(DQS#)	-450	225	-390	195	-360	180	-330	175	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-310	170	-280	165	-250	160			

9.1.2 计算方法

搜索读写时序，对于所有的读时序，执行下述步骤：

1. 判断该读时序开始位置与前一个时序之间的时间差是否小于一个 UI，如果小于则跳过该时序；

2. 时序的第一个不包括前导码的有效 DQS 边沿位置记为 tDQSFirst；
3. 对于 DQS 引脚：
   - 以 tDQSFirst – 1.1UI 为起始，向左搜索宽度至少为 0.4UI 的空闲电平位置，记为 tIdle，如果搜索不到空闲电平，则跳过该时序；
   - 以时序包括前导码的开始位置为起始，tDQSFirst – 1.1UI 的位置为结束，计算该范围内 DQS 波形的顶端值和底端值，以其 20%，50%和 80%分别为低，中和高阈值，向左搜索下降沿，取穿越低阈值和高阈值的两点；
4. 两点延长线与顶端值的交点时间记为 tData；
5. 搜索距离 tData 最近的时钟上升沿 tClock；
6. 则 tLZ=tData – tClock.

9.1.3 测试结果参考

下图 9.1-2 为可观测的测试结果示例。



图 9.1-2 DDR4 tLZ(DQS#)测试示例

9.2 压摆率(Slew Rate)(DQS#)

信号的建立和保持时间的压摆率(slew rate)主要针对 Address/Command/Data 这些单端信号，且 DDR3 规范中并未给出判断标准。对于 CLK 和 DQS 这种差分信号，JESD 规范中也没有规定差分信号的单端连接下的测量标准。所以在 DDR3 自动测量中，DQS 差分信号单端连接的 setup time 或 hold time 的 slew rate 测量，仅作为参考，没有判断标准。

DDR2 中给出了 setup time 的压摆率的取值范围：value>=1V/ns。hold time 的压摆率测量仅作为参考，没有判断标准。DDR4 无此测量项。

9.2.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF)

标准上分为了标称压摆率和切线压摆率，对于下图中的建立/保持时序的压摆率，当波形早于标称压摆率时，使用标称压摆率作为tDS补偿值的选择依据，否则使用切线压摆率作为依据。测试时，对所有有效的边沿，取其标称压摆率作为测量值，统计所有测量值与用户定义的阈值进行比对。

建立时间（tDS）的压摆率定义：

- 上升信号：从上升沿穿过 VREF(dc)到第一次穿过 VIH(ac)min 的斜率。
- 下降信号：从下降沿穿过 VREF(dc)到第一次穿过 VIL(ac)max 的斜率。

保持时间（tDH）的压摆率定义：

- 上升信号：从最后一次穿过 VIL(dc)max 到上升沿穿过 VREF(dc)的斜率。
- 下降信号：从最后一次穿过 VIH(dc)min 到下降沿穿过 VREF(dc)的斜率。

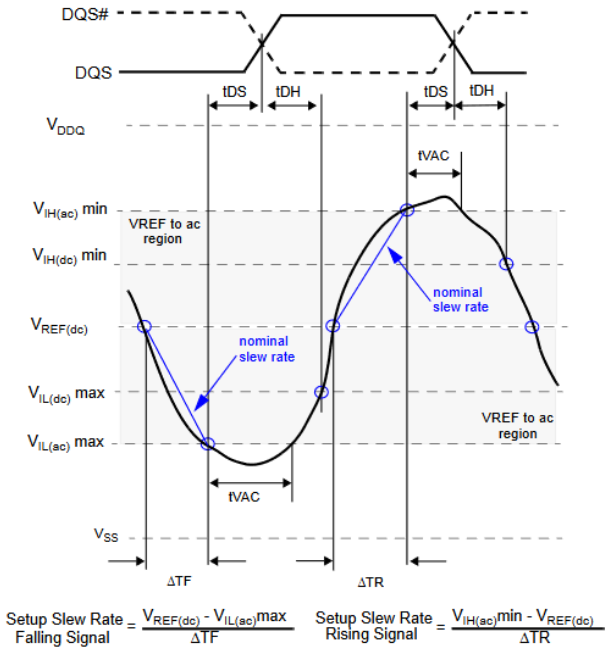


图 9.2-1 标称压摆率

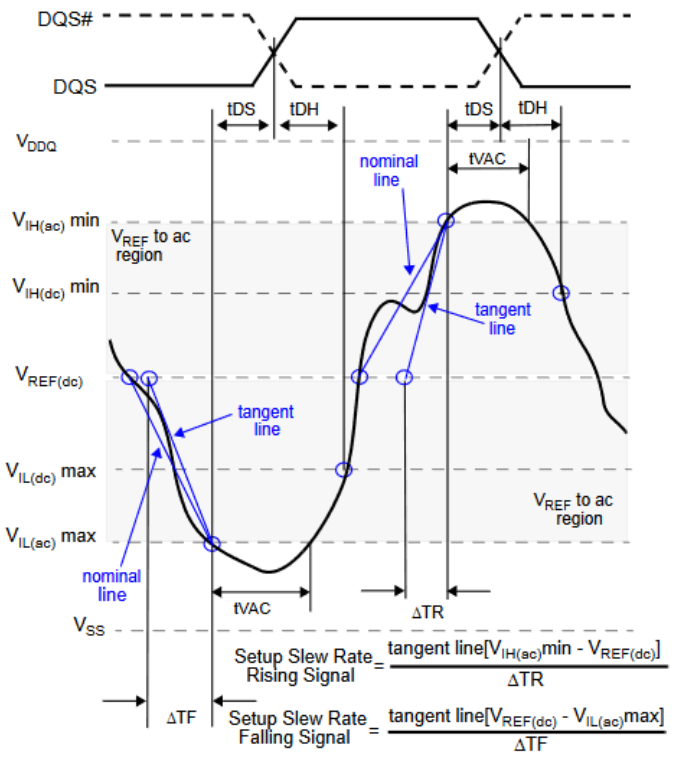


图 9.2-2 切线压摆率

9.2.2 测试结果参考

下图 9.2-3 为可观测的测试结果示例。



图 9.2-3 DDR3 Slew rate Setup/Hold-Rising/Falling(DQS#)测试示例

9.3 Overshoot 和 Overshoot Area (DQS#)

过冲测试可分为两个子测试：过冲幅度和过冲面积测试。过冲测试的目的是从获取的波形区域验证测试信号的过冲值（过冲幅度和过冲面积）是否满足 JEDEC 规范中规定的一致性限值。过冲面积的计算基于过冲宽度和过冲幅度。过冲区域应小于或等于 JEDEC 规范中规定的一致性限制。

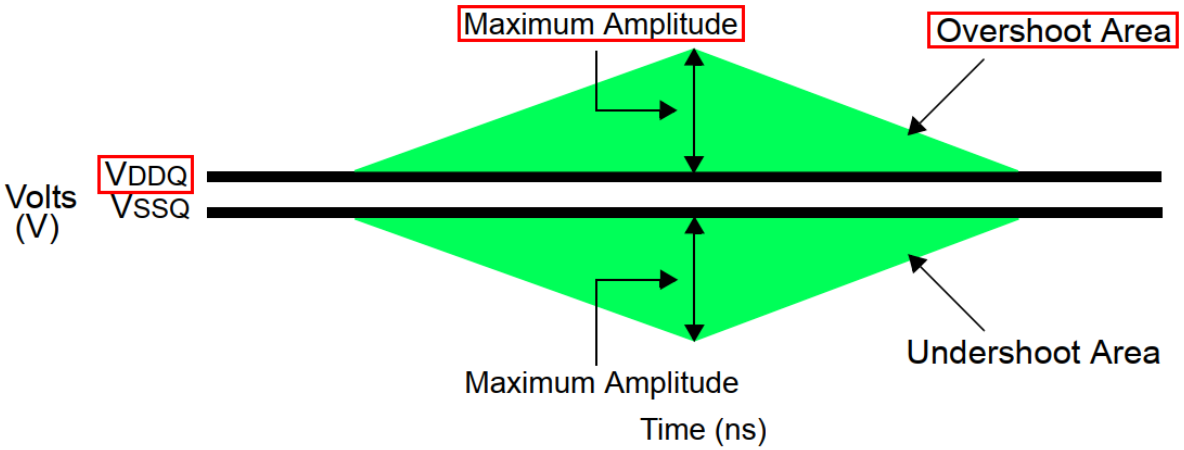


图 9.3-1 DDR2/3 DQS#过冲幅度和过冲面积的定义

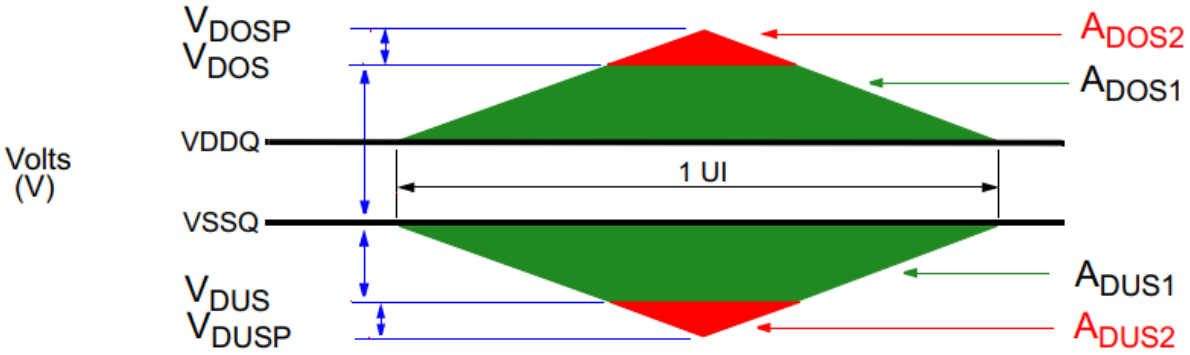


图 9.3-2 DDR4 DQS#过冲幅度和过冲面积的定义

DDR4 自动化测试中 DQS#的 Overshoot 定义为超过 VDDQ(1.2V)的部分，其最大不能超过 0.4V。Overshoot Area 分为两部分， Overshoot Area1 是一个 UI 内，介于 VDDQ(1.2V)和 V_{DOS} (1.44V)之间的部分的面积； Overshoot Area2 是一个 UI 内超过 Vcos1.44V 的部分的面积，。DDR4 对这两部分的过冲面积都有严格的要求，门限取值范围如上表 8.4-3 表 5.3-3 所示。Undershoot 和 Overshoot 是针对整个传输的波形来测试的，即使不是有效数据位。Undershoot Area 和 Overshoot Area 是针对数据传输部分的。

9.3.1 规范说明

表 9.3-1 DDR3 DQS#过冲幅度和过冲面积规格要求

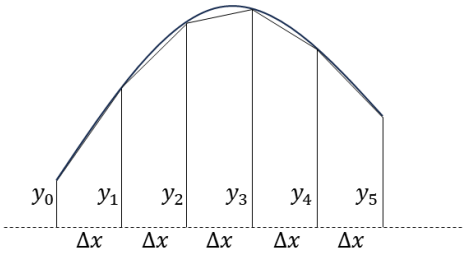
	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Overshoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Overshoot Area	0.25V-ns	0.19 V-ns	0.15 V-ns	0.13 V-ns	0.11 V-ns	0.10 V-ns

表 9.3-2 DDR2 DQS#过冲幅度和过冲面积规格要求

参数	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Overshoot	0.5V	0.5V	0.5V	0.5V	0.5V
Overshoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19V-ns

9.3.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找过冲区。过冲区域从 V_{DDQ}（或 V_{DDCA}）上升交叉点开始，到 V_{DDQ}（或 V_{DDCA}）下降交叉点结束。
2. 在过冲区域内，执行以下步骤：
   a) 通过以下步骤评估过冲幅度：
      i. 使用 T_{MAX} 和 V_{MAX} 获取波形过冲区最大电压。
      ii. 计算：过冲幅度 $= V_{MAX} - V_{DDQ}$（或 V_{DDCA}）。
   b) 评估低于 V_{DDQ}（或 V_{DDCA}）的区域 =（过冲区域结束 - 过冲区域开始）* V_{DDQ}（或 V_{DDCA}）。
   c) 采用梯形法计算 0 V 以上的总面积，如下图所示：



$$\text{Area} \approx \Delta x\left(\frac{y_0}{2} + y_1 + y_2 + y_3 + \cdots + \frac{y_n}{2}\right)$$

图 9.3-3 过冲面积计算方式

   d) 计算 V_{DDQ}（或 V_{DDCA}）以上的面积 =0 V 以上的总面积 - V_{DDQ}（或 V_{DDCA}）以下的面积。

e) 对于 DDR4 来说还需要计算出 1 个 UI 内 VDDQ 和 1.4V 之间的面积，和 1.4V 之上的面积，且过冲区域结束和过冲区域开始限制在 1 个 UI 内。

f) 将计算结果存储，供以后的最坏情况查找过程使用。

3. 对获取的波形中发现的其余过冲区重复上一步。

4. 从存储结果中找出下面最差的结果。

5. 将测试结果与测试规范的测试阈值进行比较。

9.3.3 测试结果参考

下图 9.3-4 为可观测的测试结果示例。



图 9.3-4 DDR3 Overshoot(DQS#)和 Overshoot Area(DQS#)测试示例

注：若测试的过冲幅度和过冲面积均为 0，表明被测信号幅度没有超过 VDDQ，此为正常现象。

9.4 Undershoot 和 Undershoot Area(DQS#)

下冲测试可分为两个子测试：下冲幅度和下冲面积测试。下冲测试的目的是从获取的波形区域验证测试信号的下冲值（下冲幅度和下冲面积）是否满足 JESD 规范中规定的一致性限值。下冲面积的计算基于下冲宽度和下冲幅度。下冲区域应小于或等于 JESD 规范中规定的一致性限制。

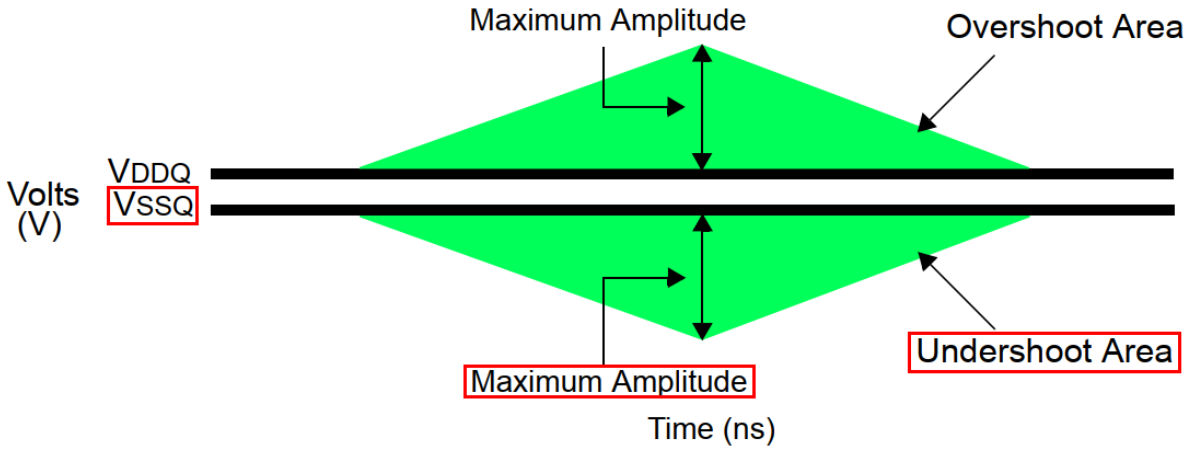


图 9.4-1 DDR2/3 DQS#下冲幅度和下冲面积的定义

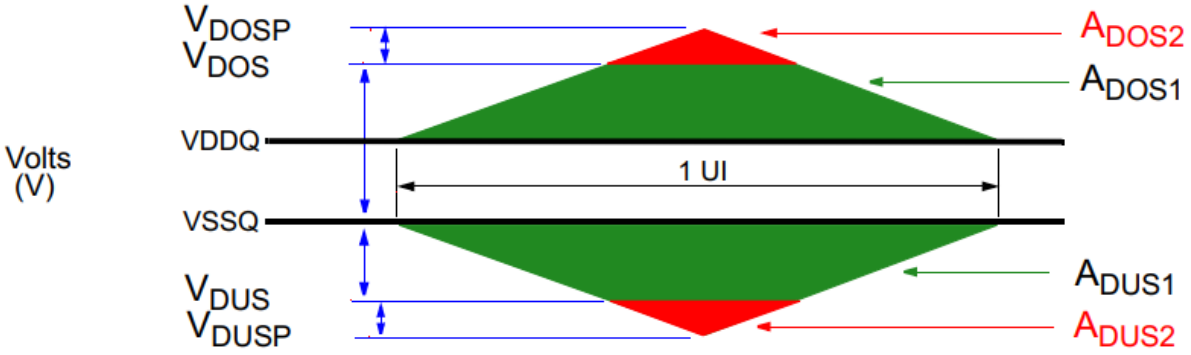


图 9.4-2 DDR4 DQS#下冲幅度和下冲面积的定义

DDR4 自动化测试中 DQS#的 Undershoot 定义为低于 VSSQ(0V)的部分，其最大不能低于-0.4V。Undershoot Area 分为两部分，Undershoot Area1 是一个 UI 内，介于 VSSQ(0V)和 V_{DUS} (-0.3)之间的部分的面积； Undershoot Area2 是一个 UI 内低于 V_{DUS}(-0.3V)的部分的面积。DDR4 对这两部分的过下面积都有严格的要求，门限取值范围如上表 8.4-3 表 5.3-3 所示。

9.4.1 规范说明

表 9.4-1 DDR3 DQS#下冲幅度和下冲面积规格要求

	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Undershoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Undershoot Area	0.25V-ns	0.19V-ns	0.15 V-ns	0.13 V-ns	0.11 V-ns	0.10 V-ns

表 9.4-2 DDR2 DQS#下冲幅度和下冲面积规格要求

参数	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Undershoot	0.5V	0.5V	0.5V	0.5V	0.5V
Undershoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19V-ns

9.4.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找下冲区。
2. 在下冲区域内，执行以下步骤：
   a) 通过以下步骤评估下冲幅度：
      i. 使用 T_{MIN} 和 V_{MIN} 获取波形下冲区最大电压。
      ii. 计算：下冲幅度 $= 0 - V_{MIN}$。
   b) 通过梯形法面积计算，评估 0 V 以下的总面积（参考图 9.3-3）。
   c) 对于 DDR4，需要再求出-0.3V 和 0V 之间的面积，再用总面积相减得到 Area2 的值。
   d) 为以后的最坏情况查找过程存储计算结果。
3. 对获取的波形中发现的其余下冲区域重复上一步。
4. 从存储结果中找出下面最差的结果。
5. 将测试结果与符合性测试限值进行比较。

9.4.3 测试结果参考

下图 9.4-3 为可观测的测试结果示例。



图 9.4-3 DDR3 Undershoot(DQS#)和 Undershoot Area(DQS#)测试示例

注：若测试的下冲幅度和下冲面积均为 0，表明被测信号幅度没有超过 VSSQ，此为正常现象。

9.5 VSEH(DQS#)

该项测试为 DDR3 所特有，该测试的目的是验证数据选通信号（DQS#）正脉冲的高电平电压值是否满足 JESD 规范中规定的 阈值。DDR3 的 V_{DD} 值直接影响一致性限制值，DDR3 中该值为 1.5V，DDR3L 为 1.35V。用户可以选择使用配置中的 "阈值设置 "功能，按照自定义的 VDD 值执行此测试，一般情况下不建议更改这些参数。

9.5.1 规范说明

表 9.5-1 VSEH(DQS#)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		
		最小值	最大值	单位
VSEH(DQS#)	DQS 单端高电平	(V_{DD}/2)+0.175	\	V

9.5.2 计算方法

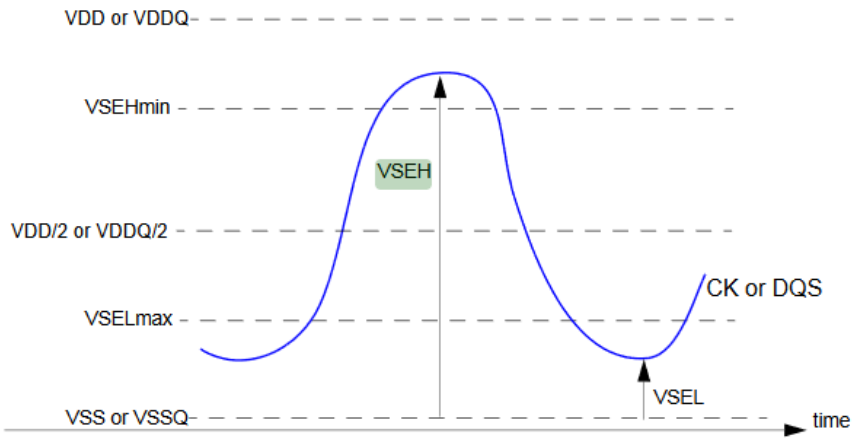


图 9.4.2-1V_{SEH} 计算方法

1. 预置示波器。
2. 在被测 DQS#信号的上升沿触发。
3. 在整个波形中查找所有有效的 DQS 正脉冲。一个有效的 DQS 正脉冲从其有效上升沿的 V_{REF} 交叉点开始，到下一个有效下降沿的 V_{REF} 交叉点结束。
4. 对于一个有效的 DQS#正脉冲，测量其脉冲的电压最大值 V_{Max} 并将其视为 V_{SEH} 值。
5. 对波形中发现的所有有效正脉冲重复上一步。
6. 从测出的 V_{SEH} 中找出最差的结果。

9.5.3 测试结果参考

下图 9.5-1 为可观测的测试结果示例。



图 9.5-1 VSEH(DQS#)测试示例

9.6 VSEL(DQS#)

该项测试为 DDR3 所特有，该测试的目的是验证数据选通信号（DQS#）负脉冲的低电平电压值是否满足 JESD 规范中规定的 阈值。DDR3 的 V_{DD} 值直接影响一致性限制，DDR3 中该值为 1.5V，DDR3L 为 1.35V。用户可以选择使用配置中的 "阈值设置 "功能，按照自定义的 VDD 值执行此测试，一般情况下不建议更改这些参数。

9.6.1 规范说明

表 9.6-1 VSEL(DQS#)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		
		最小值	最大值	单位
VSEL(DQS#)	DQS#单端低电平	\	(V_{DD}/2)-0.175	V

9.6.2 计算方法

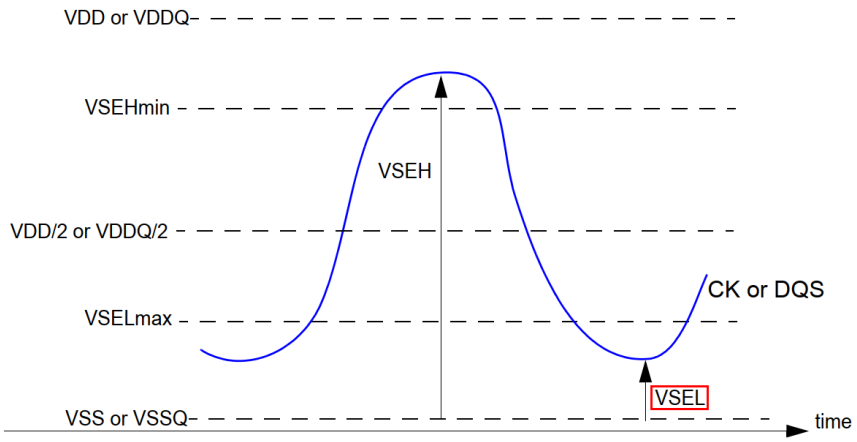


图 9.6-1 V_{SEL} 计算方法

1. 预置示波器。
2. 在被测 DQS#信号的上升沿触发。
3. 在整个波形中查找所有有效的 DQS#负脉冲。一个有效的 DQ#S 负脉冲开始于有效下降沿的 V_{REF} 交叉点，结束于有效上升沿的 V_{REF} 交叉点。
4. 对于一个有效的 DQS#负脉冲，测量其电压最小值 V_{Min} 并将其视为 V_{SEL} 值。
5. 对波形中发现的所有有效负脉冲重复上一步。
6. 从测出的 V_{SEL} 中找出最差的结果。

9.6.3 测试结果参考

下图 9.6-2 为可观测的测试结果示例。



图 9.6-2 VSEL(DQS#)测试示例

10 数据选通差分信号测试集

10.1 tDQSCK

tDQSCK(Data Strobe to Clock Skew）表示在读操作中，差分数据选通信号 DQS 与差分时钟信号 CLK 之间的最大允许偏差，CLK 上升沿有效。它确保 DQS 与 CLK 的相位关系在规定的范围内，以保证数据的准确采样。

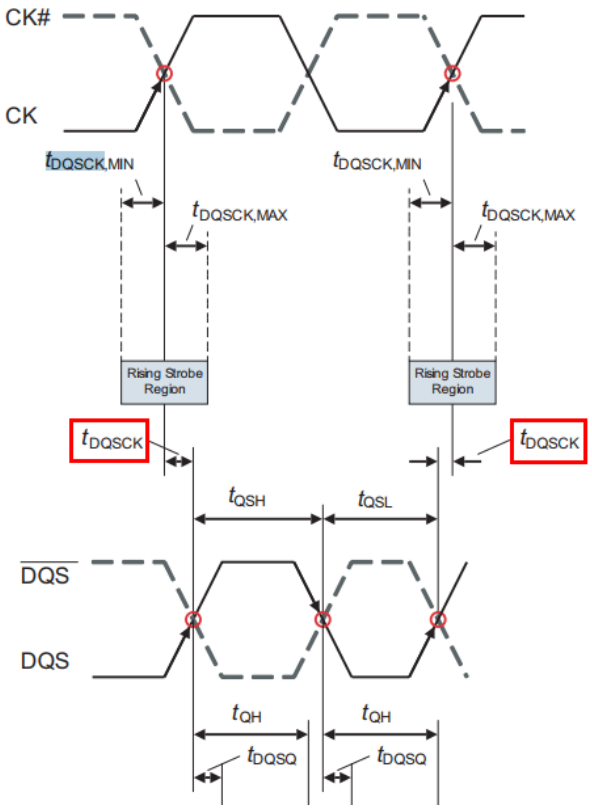


图 10.1-1 tDQSCK 的定义

10.1.1 规范说明

表 10.1-1 DDR4 tDQSCK 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDQSCK	-225	225	-195	195	-180	180	-175	175	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-170	170	-165	165	-160	160			

表 10.1-2 DDR3 tDQSCK 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tDQSCK	最小值	最大值	最小值	最大值	最小值	最大值	ps
	-400	400	-300	300	-255	255	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	-255	255	-195	195	-180	180	

表 10.1-3 DDR2 tDQSCK 规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tDQSCK	最小值	最大值	最小值	最大值	最小值	最大值	ps
	-500	500	-450	450	-400	400	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	-350	350	-325	325			

10.1.2 计算方法

1. 获取并分离读写脉冲时序。
2. 取有效的读脉冲时序。
3. 在读脉冲时序中寻找所有有效的 DQS 差分信号上升沿穿过 0V 的点 t1。
4. 对于找到的所有 DQS 交叉点 t1，将最近的差分时钟上升沿与 0V 的交叉点定为 t2。
5. 将从 DQS 交叉点 t1 到相应时钟交叉点 t2 的时间差作为 tDQSCK。
6. 从测量结果中找到最大值和最小值。
7. 将测量结果与测量阈值进行比较。

10.1.3 测试结果参考

下图 10.1-1 为可观测的测试结果示例。



图 10.1-1 DDR3 tDQSCK 测试示例

10.2 tDQSS

tDQSS（DQS to CLK Skew）定义了在写操作中，差分数据选通信号 DQS 与差分时钟信号 CK 之间的相位关系。具体来说，tDQSS 表示 DQS 差分信号上升沿与 CK 差分信号上升沿之间的时间差。该测试项与之前的 tDQSCK 的测试方法一样，tDQSCK 是针对读时序，tDQSS 是针对写时序。DDR4 新增了 tDQSS2，对应着 WPRE 模式选择为 2tCK 下的判别阈值，tDQSS 和 tDQSS2 之间无算法差异，只有判别阈值存在差异。

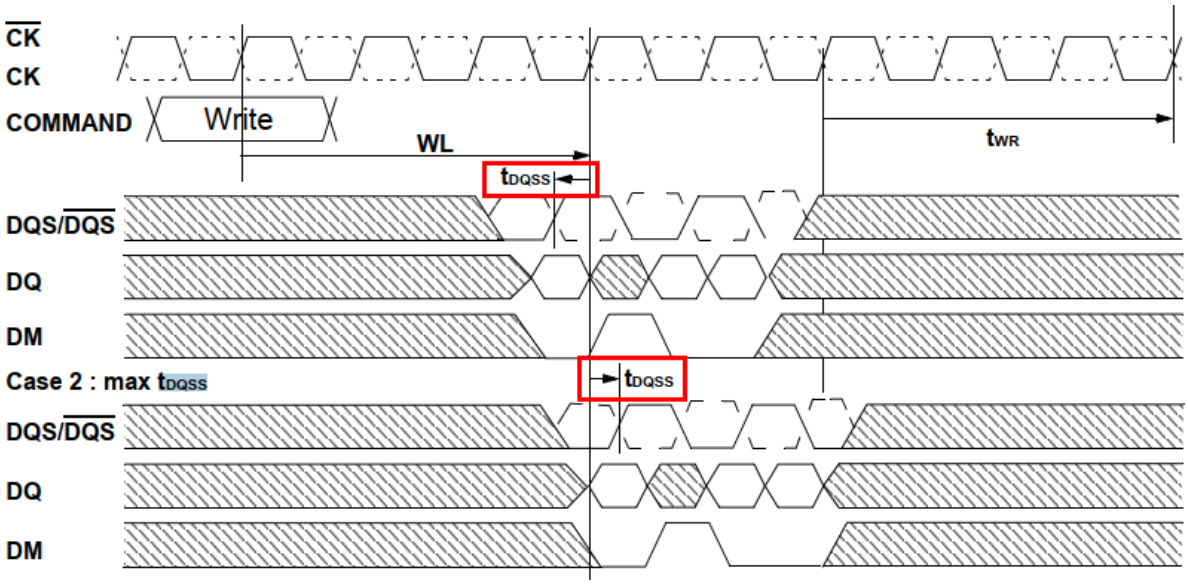


图 10.2-1 tDQSS 的定义

10.2.1 规范说明

表 10.2-1 DDR4 tDQSS 规格要求

Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Units
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
tDQSS	-0.27	0.27	-0.27	0.27	-0.27	0.27	-0.27	0.27	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-0.27	0.27	-0.27	0.27	-0.27	0.27			

表 10.2-2 DDR4 tDQSS2 规格要求

Symbol	DDR4-2400		DDR4-2666		DDR4-2933		DDR4-3200		Units
tDQSS2	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	tck
	-0.5	0.5	-0.5	0.5	-0.5	0.5	-0.5	0.5	

表 10.2-3 DDR3 tDQSS 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tDQSS	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	-0.25	0.25	-0.25	0.25	-0.25	0.25	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	-0.27	0.27	-0.27	0.27	-0.27	0.27	

表 10.2-4 DDR2 tDQSS 规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tDQSS	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	-0.25	0.25	-0.25	0.25	-0.25	0.25	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	-0.25	0.25	-0.25	0.25			

10.2.2 计算方法

1. 获取并分离读写脉冲时序。
2. 取有效的写脉冲时序。
3. 在写脉冲时序中寻找所有有效的 DQS 差分信号上升沿穿过 0V 的点 t1。
4. 对于找到的所有 DQS 交叉点 t1，将最近的差分时钟上升沿与 0V 的交叉点定为 t2。
5. 将从 DQS 交叉点 t1 到相应时钟交叉点 t2 的时间差作为 tDQSS。
6. 从测量结果中找到最大值和最小值。
7. 将测量结果与测量阈值进行比较。

10.2.3 测试结果参考

下图 10.2-2 为可观测的测试结果示例。



图 10.2-2 DDR3 tDQSS 测试示例

注：单位中的 mtCK(avg)表示千分之一 tCK(avg)，250 mtCK(avg) = 0.001*250tCK(avg) = 0.25tCK(avg)。

10.3 tDQSH

时序参数 tDQSH 是 DQS - DQS#上的差分输入正脉冲宽度，该参数是在写操作下测试的，其中 DQS 为差分连接。

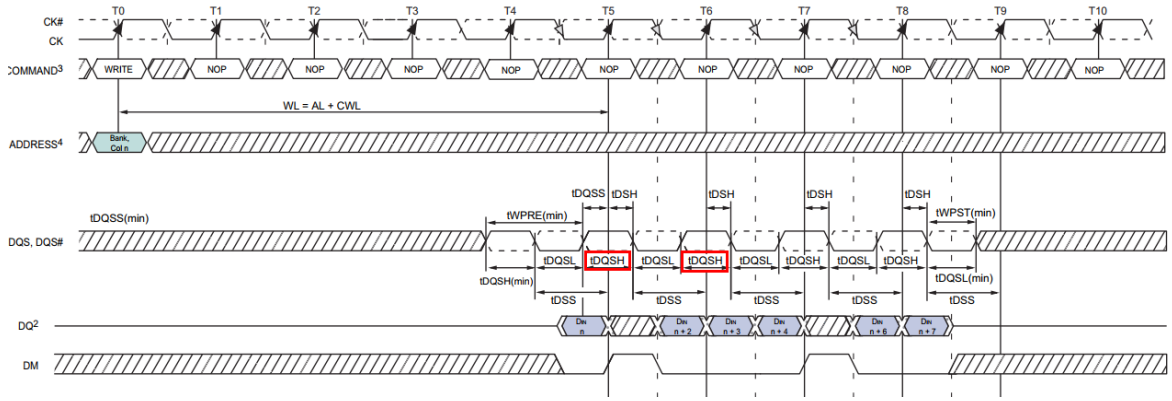


图 10.3-1 tDQSH 的定义

10.3.1 规范说明

表 10.3-1 DDR4 tDQSH 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDQSH	0.46	0.54	0.46	0.54	0.46	0.54	0.46	0.54	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.46	0.54	0.46	0.54	0.46	0.54			

表 10.3-2 DDR3 tDQSH 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tDQSH	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.45	0.55	0.45	0.55	0.45	0.55	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.45	0.55	0.45	0.55	0.45	0.55	

DDR2 中 tDQSH 的阈值范围：最小值为 0.35 tCK(avg)，规范中并未给出具体的最大值。

10.3.2 计算方法

1. 获取并分离读写脉时序。
2. 找到有效的写时序。
3. 找出上述脉冲时序中所有有效的 DQS 上升沿和下降沿与 0V 的交叉点。
4. DQS 上升沿交叉点开始到下一个下降沿交叉点结束的时间即为 tDQSH。
5. 统计所有的 tDQSH 值。
6. 找到测量结果中的最小值和最大值。
7. 将测量结果与 JESD 规范中的阈值进行比较。

10.3.3 测试结果参考

下图 10.3-2 为可观测的测试结果示例

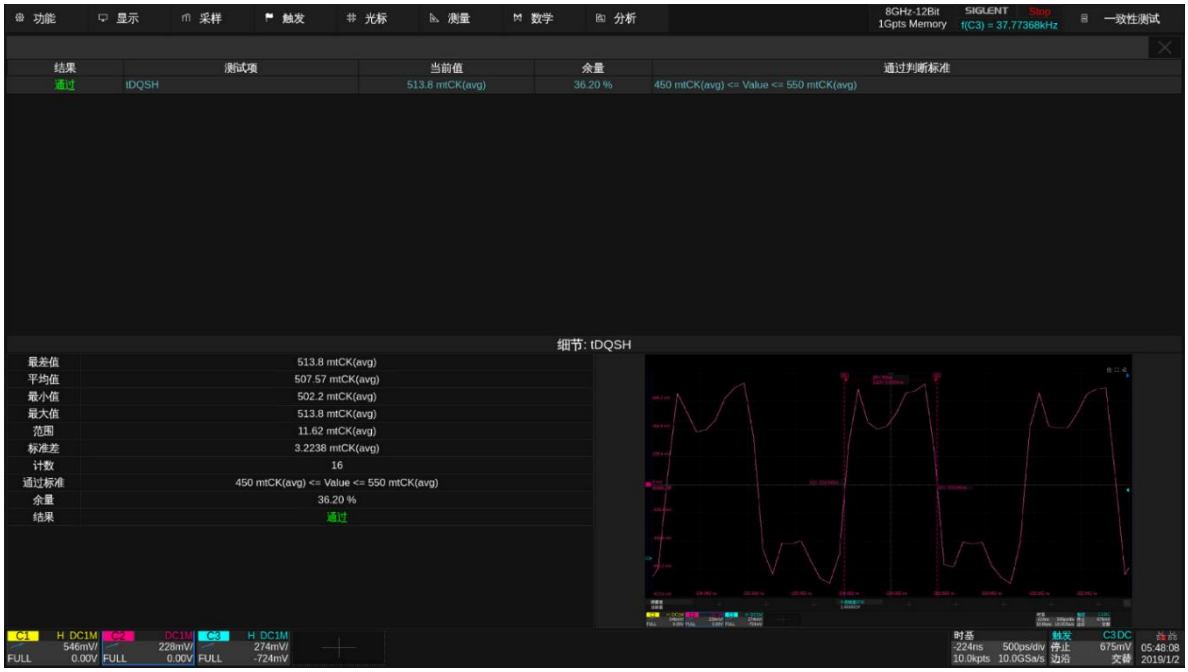


图 10.3-2 DDR3 tDQSH 测试示例

10.4 tDQSL

时序参数 tDQSL 是 DQS - DQS#上的差分输入负脉冲宽度，该参数是在写操作下测试的，其中 DQS 为差分连接。

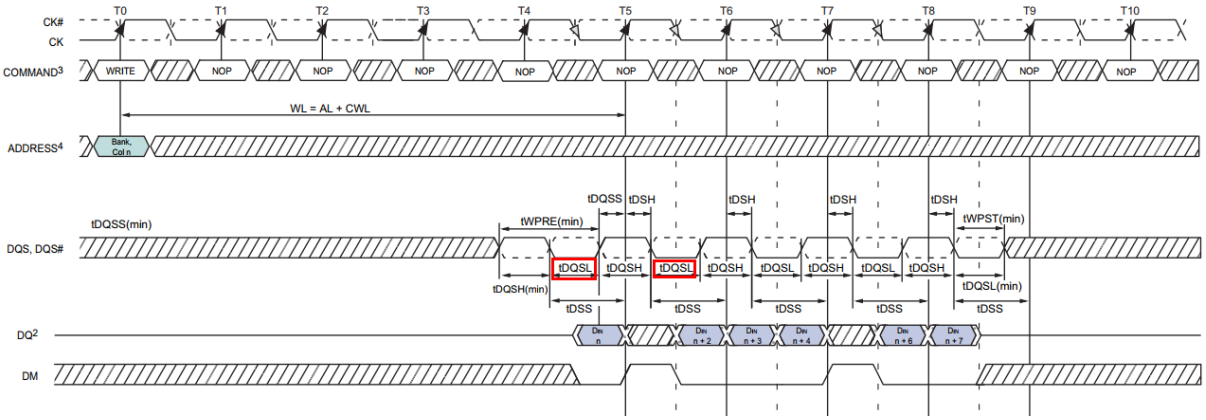


图 10.4-1 tDQSL 的定义

10.4.1 规范说明

表 10.4-1 DDR4 tDQSL 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDQSL	0.46	0.54	0.46	0.54	0.46	0.54	0.46	0.54	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.46	0.54	0.46	0.54	0.46	0.54			

表 10.4-2 DDR3 tDQSL 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tDQSL	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.45	0.55	0.45	0.55	0.45	0.55	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.45	0.55	0.45	0.55	0.45	0.55	

DDR2 中 tDQSL 的阈值范围：最小值为 0.35 tCK(avg)，规范中并未给出具体的最大值。

10.4.2 计算方法

1. 获取并分离读写脉时序。
2. 找到有效的写时序。
3. 找出上述脉冲时序中所有有效的 DQS 上升沿和下降沿与 0V 的交叉点。
4. DQS 下降沿交叉点开始到下一个上升沿交叉点结束的时间即为 tDQSL。
5. 统计所有的 tDQSL 值。
6. 找到测量结果中的最小值和最大值。
7. 将测量结果与 JESD 规范中的阈值进行比较。

10.4.3 测试结果参考

下图 10.4-2 为可观测的测试结果示例。

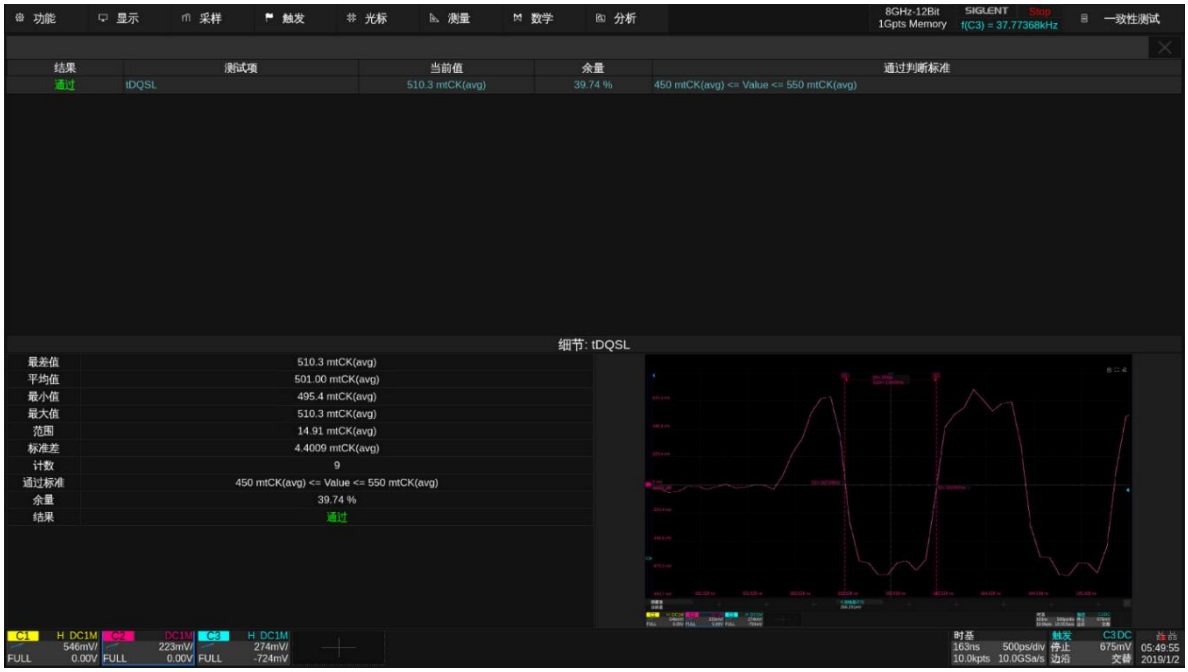


图 10.4-2 DDR3 tDQSL 测试示例

10.5 tDSS

该测试的目的是验证 DQS 下降沿相对于时钟上升沿的建立时间是否符合一致性规范，在写时序下搜索 DQS 下降沿作为时间点 A，然后向右搜索最近的 CK 上升沿，记为时间点 B，则$tDSS = t_B - t_A$，统计所有测量值，与有效范围进行比较。

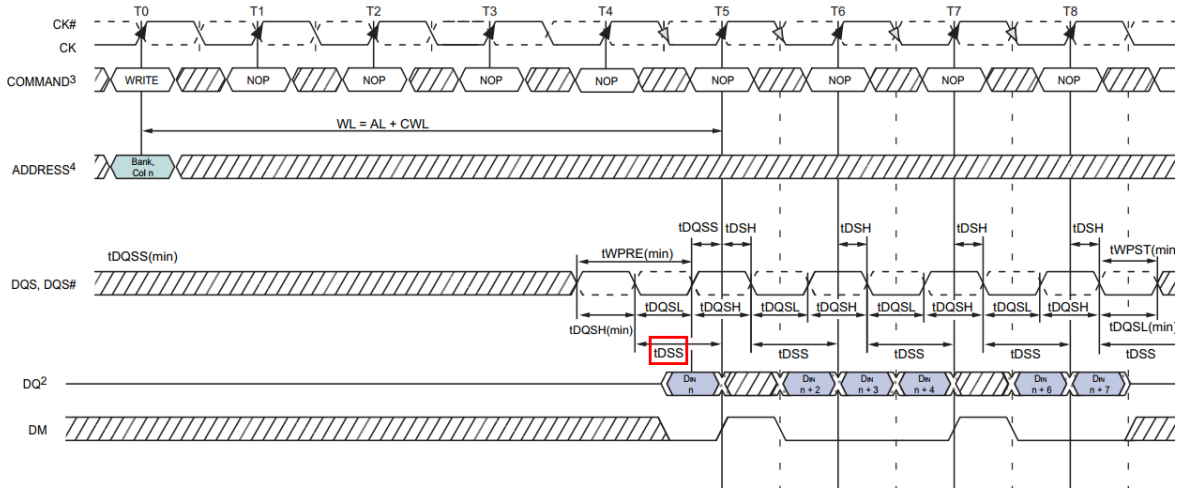


图 10.5-1 tDSS 的定义

10.5.1 规范说明

表 10.5-1 DDR4 tDSS 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDSS	0.18	-	0.18	-	0.18	-	0.18	-	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.18	-	0.18	-	0.18	-			

表 10.5-2 DDR3 tDSS 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tDSS	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.2	-	0.2	-	0.2	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.18	-	0.18	-	0.18	-	

DDR2 中 tDSS 的阈值范围：最小值为 0.2 tCK(avg)，规范中并未给出具体的最大值。

10.5.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的写突发时序。
3. 找出上述脉冲时序中所有有效的 DQS 下降沿与 0V 的交叉点。
4. 对于找到的所有 DQS 下降交叉点，找出最近的下一个时钟上升沿。
5. tDSS 是 DQS 下降沿交叉点与对应的时钟上升沿 0V 交叉点之间的时间。
6. 找到测量结果中的最小值和最大值。
7. 将测量结果与合规限值进行比较。

10.5.3 测试结果参考

下图 10.5-2 为可观测的测试结果示例。



图 10.5-2 DDR3 tDSS 测试示例

10.6 tDSH

该测试的目的是验证写时序下 DQS 下降沿相对于时钟上升沿的保持时间，在写时序下搜索 DQS 下降沿作为时间点 A，然后向左搜索最近的 CK 上升沿，记为时间点 B，则$tDSS = t_B - t_A$，统计所有测量值，与有效范围进行比较。

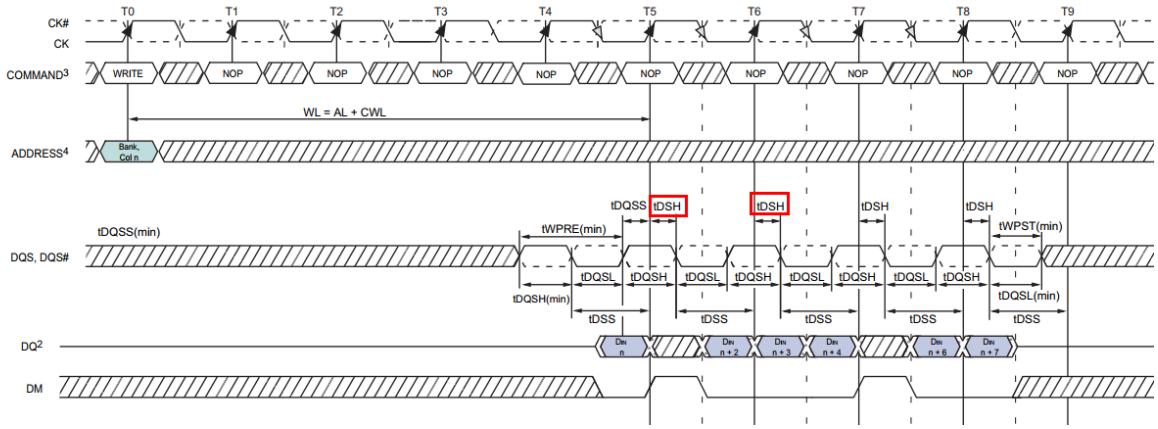


图 10.6-1 tDSH 的定义

10.6.1 规范说明

表 10.6-1 DDR4 tDSH 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDSH	0.18	-	0.18	-	0.18	-	0.18	-	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.18	-	0.18	-	0.18	-			

表 10.6-2 DDR3 tDSH 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tDSH	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.2	-	0.2	-	0.2	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.18	-	0.18	-	0.18	-	

DDR2 中 tDSH 的阈值范围：最小值为 0.2 tCK(avg)，规范中并未给出具体的最大值。

10.6.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的写突发时序。
3. 找出上述脉冲时序中所有有效的 DQS 的下降沿与 0V 的交叉点。
4. 对于找到的所有 DQS 下降沿交叉点，找出最近的前一个时钟上升沿与 0V 的交叉点。
5. tDSH 是 DQS 下降沿交叉点与最近左侧时钟上升沿交叉点之间的时间。
6. 找到测量结果中的最小值和最大值。
7. 将测量结果与合规限值进行比较。

10.6.3 测试结果参考

下图 10.6-2 为可观测的测试结果示例。



图 10.6-2 DDR3 tDSH 测试示例

10.7 tWPST

tWPST 是写数据传输完成后，DQS 的后导时间长度，它表示在写操作结束后，DQS 信号仍需要保持多长时间的有效状态，然后才能切换到高阻态（High-Z），确保 DQS 信号在数据写入完成后仍然保持有效，从而避免数据丢失或写入错误，以确保数据被正确写入内存。

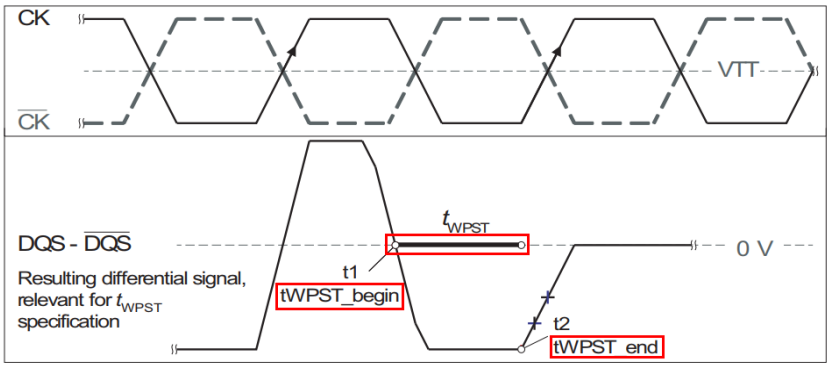


图 10.7-1 tWPST 的测试方法

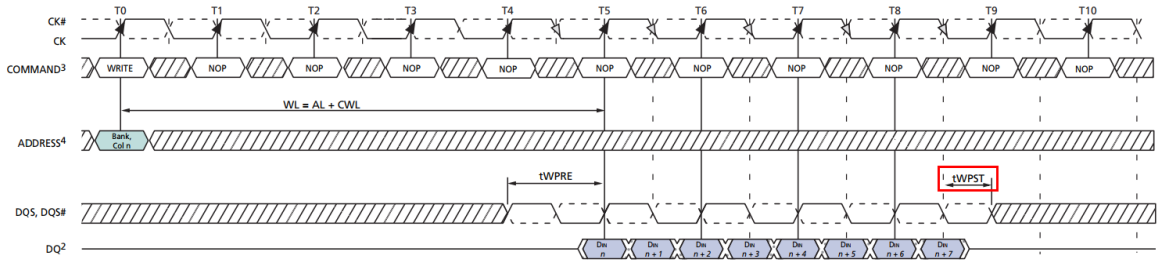


图 10.7-2 tWPST 在时序中的示例

10.7.1 规范说明

表 10.7-1 DDR4 tWPST 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tWPST	0.33	-	0.33	-	0.33	-	0.33	-	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.33	-	0.33	-	0.33	-			

表 10.7-2 DDR3 tWPST 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tWPST	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.3	-	0.3	-	0.3	-	

	DDR3-1600		DDR3-1866		DDR3-2133	
	最小值	最大值	最小值	最大值	最小值	最大值
	0.3	-	0.3	-	0.3	-

DDR2 中 tWPST 的阈值范围：最小值为 0.4 tCK(avg)，最大值为 0.6 tCK(avg)。

10.7.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的写突发时序。
3. 在上述突发时序的 DQS 信号上找到最后的一个有效下降沿时间点，记为 $t_{WPSTBegin}$。
4. 以 $t_{WPSTBegin}$ 为起点向右搜索不小于 1 个 UI 的空闲电平，统计这之间的 V_{Top} 和 V_{Base}。
5. 以 V_{Top} 和 V_{Base} 之间的 80%、50%和 20%分别为高阈值 V_{Upper}、V_{mid} 和低阈值 V_{Lower}，从 $t_{WPSTBegin}$ 开始，向右搜索上升沿，该上升沿穿越高阈值和低阈值的时间点分别记为 t_{Upper} 和 t_{Lower}。
6. 点(t_{Upper}, V_{Upper})和点(t_{Lower}, V_{Lower})之间连线的延长线与 V_{Base} 的交点记为 $t_{WPSTEnd}$。
7. $tWPST=t_{WPSTEnd} - t_{WPSTBegin}$。
8. 统计所有有效突发时序内的测量结果并与合规限值进行比较。

10.7.3 测试结果参考

下图 10.7-3 为可观测的测试结果示例。



图 10.7-3 DDR3 tWPST 测试示例

10.8 tWPRE

tWPRE 是写数据传输前，DQS 的前导时间长度，它表示在写操作开始前，DQS 信号需要保持有效状态多长时间。DDR4 新增了 tWPRE2，对应着 WPRE 模式选择为 2tCK 下的测试项，tWPRE 和 tWPRE2 之间无算法差异，只有判别阈值存在差异。

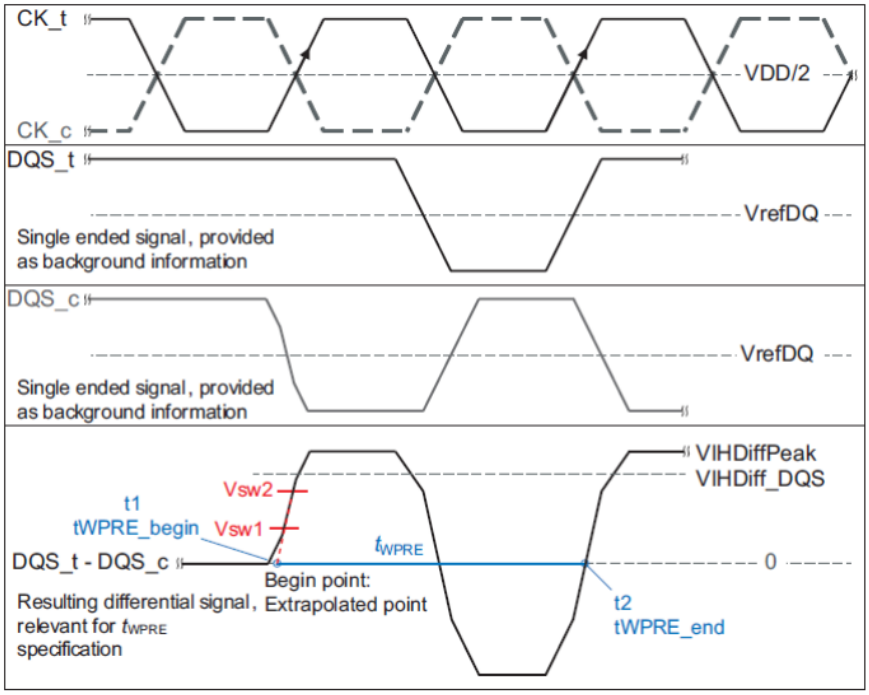


图 10.8-1 tWPRE 的测试方法

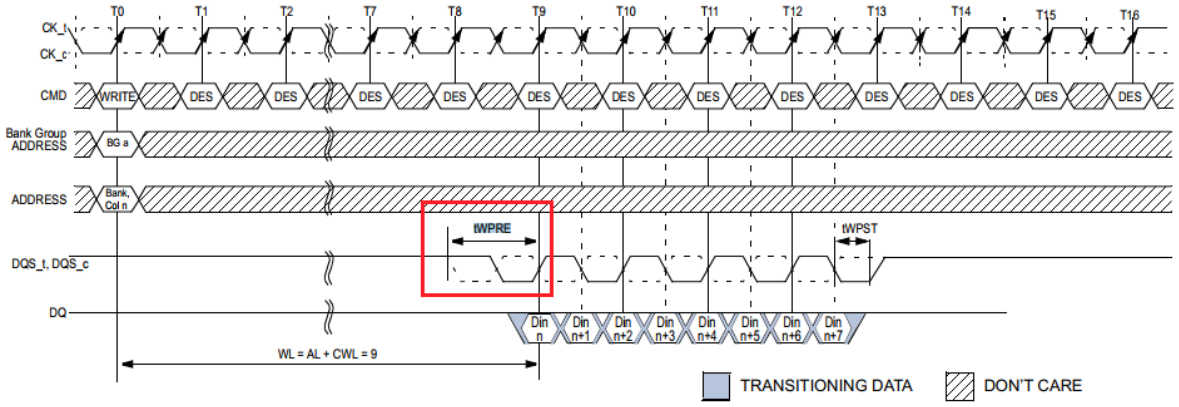


图 10.8-2 DDR4 tWPRE 在时序中的示例

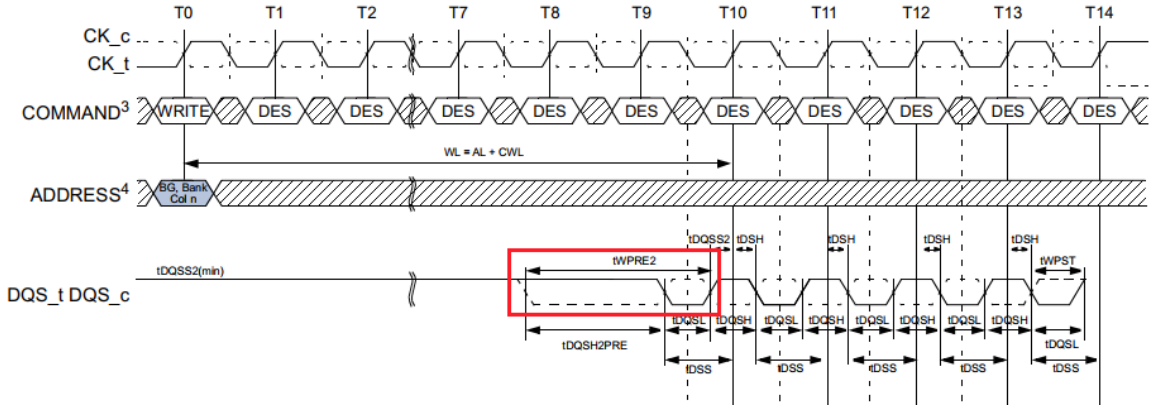


图 10.8-3 DDR4 tWPRE2 在时序中的示例

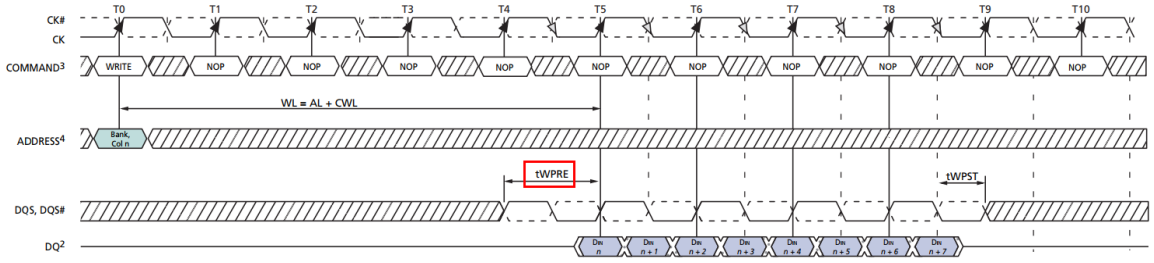


图 10.8-4 DDR3 tWPRE 在时序中的示例

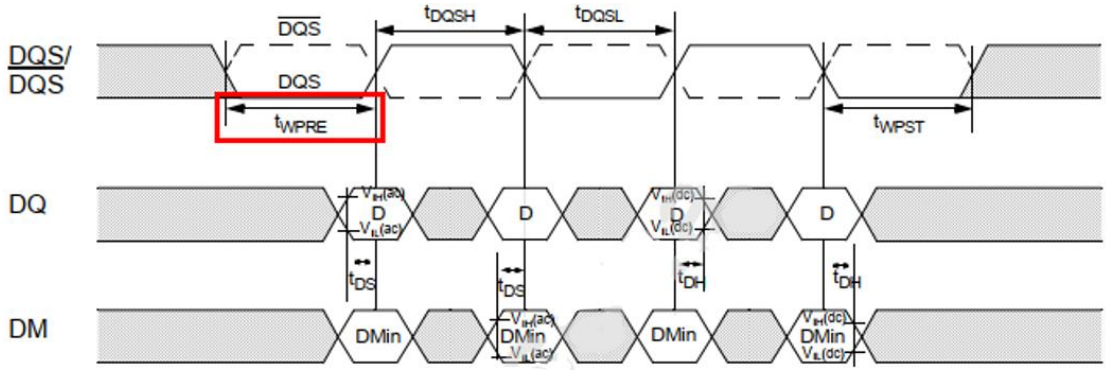


图 10.8-5 DDR2 tWPRE 在时序中的示例

10.8.1 规范说明

表 10.8-1 DDR4 tWPRE 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tWPRE	0.9	-	0.9	-	0.9	-	0.9	-	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.9	-	0.9	-	0.9	-			

表 10.8-2 DDR4 tWPRE2 规格要求

Symbol	DDR4-2400		DDR4-2666		DDR4-2933		DDR4-3200		Units
tWPRE2	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	tck
	1.8	-	1.8	-	1.8	-	1.8	-	

表 10.8-3 DDR3 tWPRE 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tWPRE	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.9	/	0.9	/	0.9	/	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.9	/	0.9	/	0.9	/	

DDR2 中 tWPRE 的阈值范围：最小值为 0.35 tCK(avg)，规范中并未给出最大值。

10.8.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的写突发时序。
3. 找到该突发时序内 DQS 的第一个下降沿时间点 $t_{FirstFalling}$ 和第一个上升沿的时间点 $t_{WPREEnd}$。$t_{FirstFalling}$ 和 $t_{WPREEnd}$ 都是指上升下降沿与 0V 的交点。
4. 从 $t_{Firstalling}$ 开始向左搜索长度至少为 1UI 的空闲电平，1UI 的空闲电平开始位置记为 $t_{TopBaseStart}$。
5. 以 $t_{TopBaseStart}$ 至 $t_{Firstalling}$ 为范围，统计 V_{Top} 和 V_{Base}。
6. 以 V_{Top} 和 V_{Base} 之间的 80%和 20%分别为高阈值 V_{Upper} 和低阈值 V_{Lower}，从 $t_{FirstFalling}$ 开始，向左搜索上升沿，该上升沿穿越高阈值和低阈值的时间点分别记为 t_{Upper} 和 t_{Lower}。
7. 点(t_{Upper}, V_{Upper})和点(t_{Lower}, V_{Lower})之间连线的延长线与 0V 的交点记为 $t_{WPREBegin}$。
8. tWPRE=$t_{WPREEnd}$ - $t_{WPREBegin}$。
9. 统计所有有效突发时序内的测量结果与合规限值进行比较。

10.8.3 测试结果参考

下图 10.8-6 为可观测的测试结果示例。

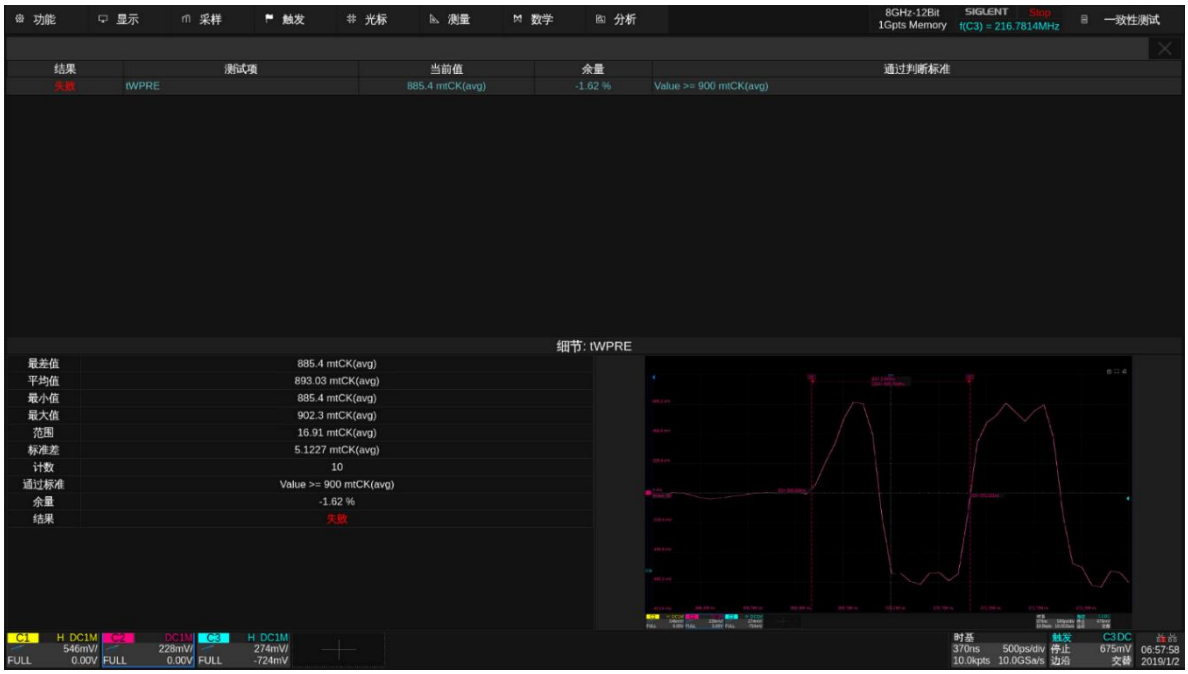


图 10.8-6 DDR3 tWPRE 测试示例

10.9 tRPRE

在 DDR3 读时序中，数据发送之前，DQS 会被初始化为低电平并保持一个时钟周期，称为 Read Preamble(读前同步码)，这段时间称为前导时间，以确保接收端（如内存控制器）能正确同步 DQS 与 DQ（数据信号）的时序，为后续数据读取提供稳定的参考。

DDR4 中 tRPRE 是在数据传输开始前的一个时钟周期内 DQS_c 和 DQS_t 被相继拉低，形成一个有高低电平的差分信号，因为 DDR4 中 DQS 的高电平由外部上拉，本身无法主动拉高。DDR4 新增了 tRPRE2，对应着 RPRE 模式选择为 2tCK 下的测试项，tRPRE 和 tRPRE2 之间无算法差异，只有判别阈值存在差异。

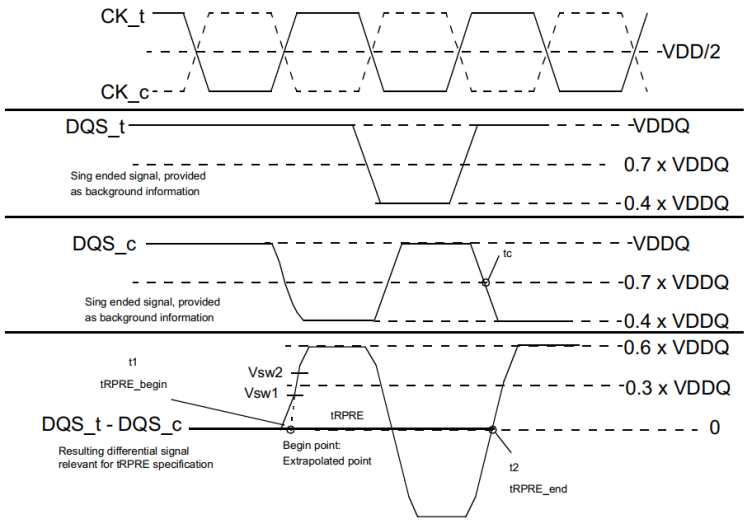


图 10.9-1 DDR4 tRPRE 的测试方法

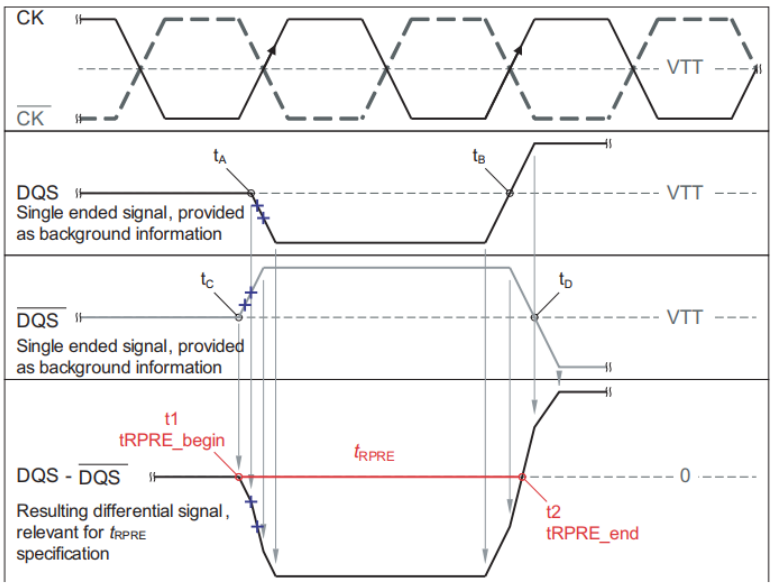


图 10.9-2 DDR3 tRPRE 的测试方法

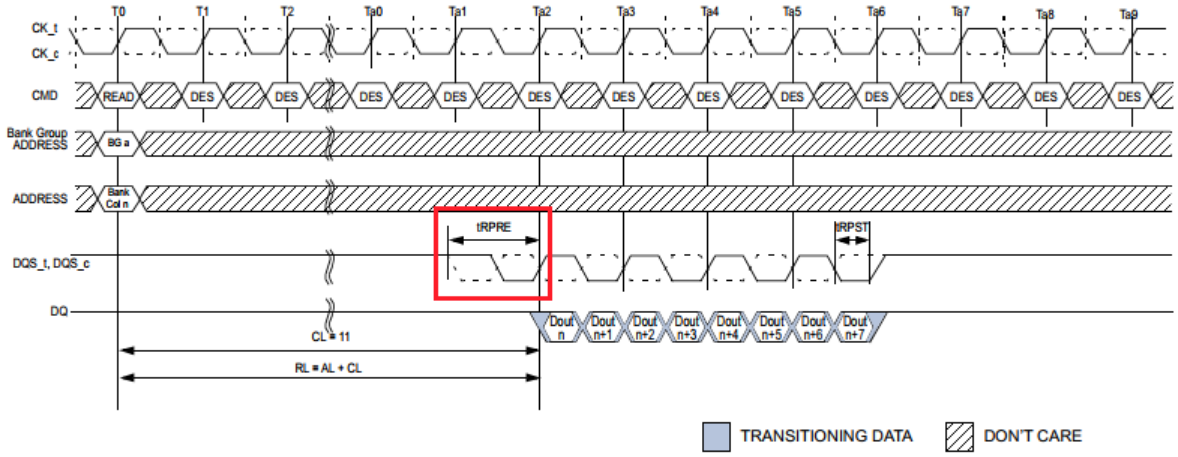


图 10.9-3 DDR4 tRPRE 在时序中的示例

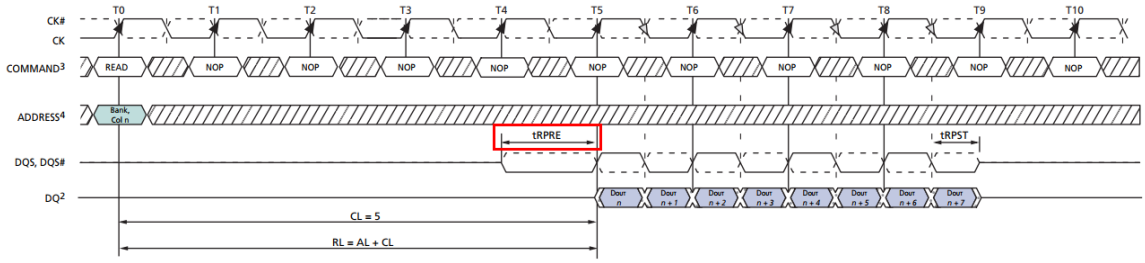


图 10.9-4 DDR3 tRPRE 在时序中的示例

10.9.1 规范说明

表 10.9-1 DDR4 tRPRE 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tRPRE	0.9	-	0.9	-	0.9	-	0.9	-	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.9	-	0.9	-	0.9	-			

表 10.9-2 DDR4 tRPRE2 规格要求

Symbol	DDR4-2400		DDR4-2666		DDR4-2933		DDR4-3200		Units
tRPRE2	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	tck
	1.8	-	1.8	-	1.8	-	1.8	-	

表 10.9-3 DDR3 tRPRE 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tRPRE	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.9	-	0.9	-	0.9	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.9	-	0.9	-	0.9	-	

最大值参考 JESD79-3F Note 19, Figure 28。

DDR2 中 tRPRE 的阈值范围：最小值为 0.9 tCK(avg)，最大值为 1.1 tCK(avg)。

10.9.2 计算方法

DDR4 中的测试方法与 DR4 中该项的测试方法与 DDR4 中的 tWPRE 一样，只不过是在读时序中测量，此处不再赘述。下面是针对 DDR3/2 的测试步骤。

1. 获取并分离读写脉冲序列。
2. 找到一个有效的读突发。
3. 找到该突发时序内 DQS 的第一个上升沿记为 $t_{RPREEnd}$。
4. 从 $t_{RPREEnd}$ 开始向左搜索长度至少为 1UI 的空闲电平，1UI 的空闲电平开始位置记为 $t_{TopBaseStart}$。
5. 以 $t_{TopBaseStart}$ 至 $t_{RPREEnd}$ 为范围，统计 V_{Top} 和 V_{Base}。
6. 以 V_{Top} 和 V_{Base} 之间的 80%和 20%分别为高阈值 V_{Upper} 和低阈值 V_{Lower}，从 $t_{RPREEnd}$ 开始，向左搜索下降沿，该下降沿穿越高阈值和低阈值的时间点分别记为 t_{Upper} 和 t_{Lower}。
7. 点(t_{Upper}, V_{Upper})和点(t_{Lower}, V_{Lower})之间连线的延长线与 0V 的交点记为 $t_{RPREBegin}$。
8. $tRPRE=t_{RPREEnd} - t_{RPREBegin}$。
9. 统计所有有效突发时序内的测量结果与合规限值进行比较。

10.9.3 测试结果参考

下图 10.9-5 为可观测的测试结果示例。

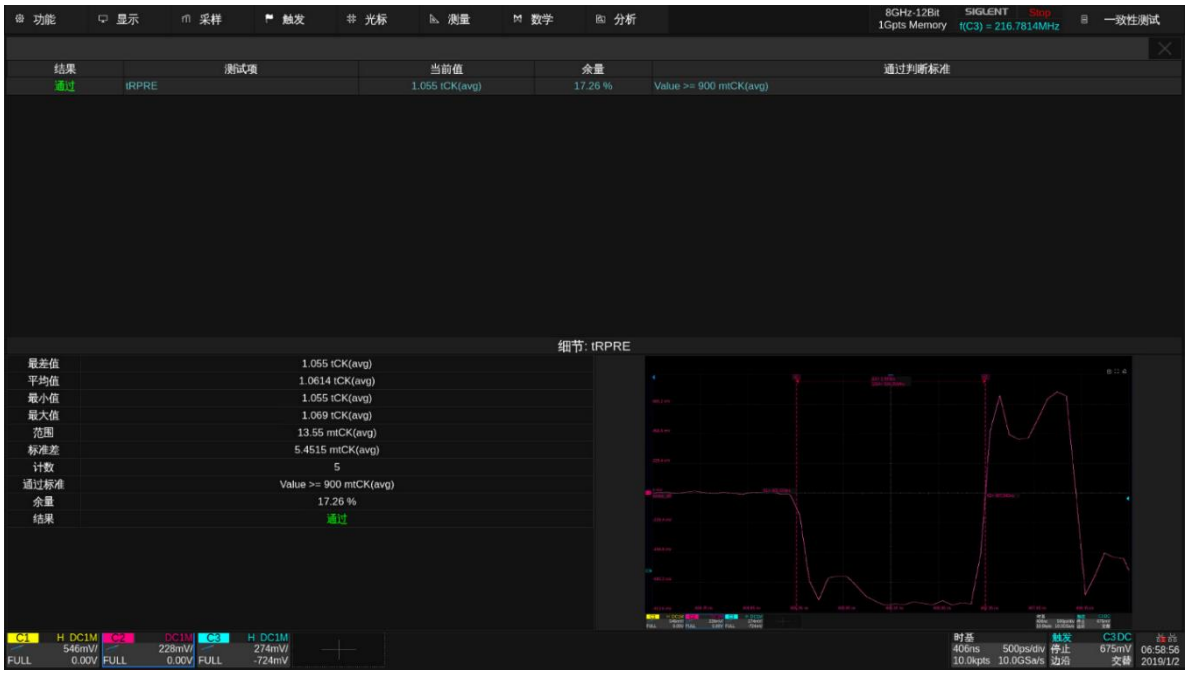


图 10.9-5 DDR3 tRPRE 测试示例

10.10 tRPST

在读取最后一个数据后，DQS 也会保持半个时钟周期的低电平，称为读后同步码（Read Postamble），以确保数据被完全读出。DDR4 和 DDR3 的该测试项的是类似的。

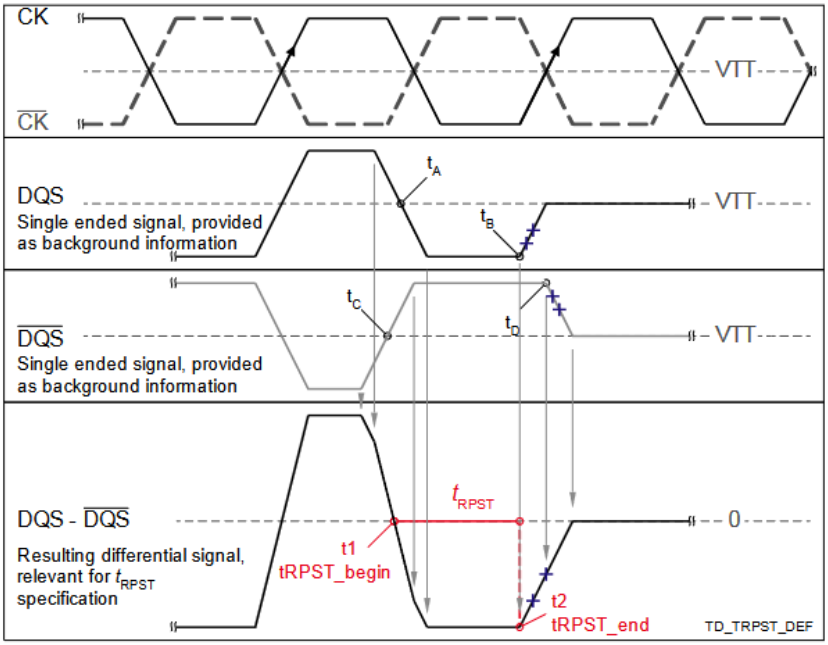


图 10.10-1 tRPST 的测试方法

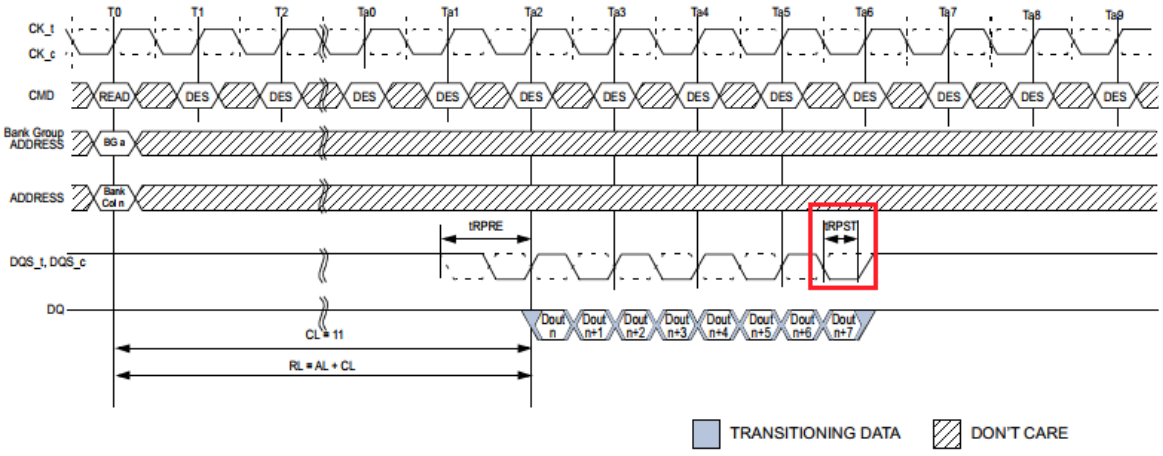


图 10.10-2 DDR4 tRPST 在时序中的示例

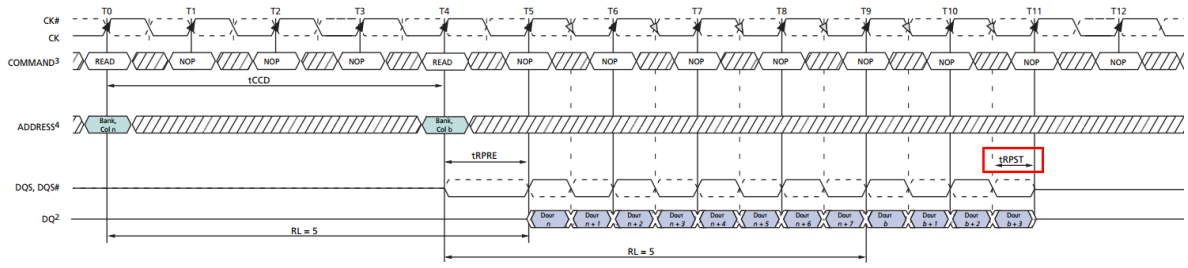


图 10.10-3 DDR3 tRPST 在时序中的示例

10.10.1 规范说明

表 10.10-1 DDR4 tRPST 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tRPST	0.33	-	0.33	-	0.33	-	0.33	-	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.33	-	0.33	-	0.33	-			

表 10.10-2 DDR3 tRPST 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tRPST	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.3	-	0.3	-	0.3	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.3	-	0.3	-	0.3	-	

最大值参考 JESD79-3F Note 11, Figure 28。

DDR2 中 tRPST 的阈值范围：最小值为 0.4 tCK(avg)，最大值为 0.6 tCK(avg)。

10.10.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的读突发时序。
3. 在上述突发时序的 DQS 信号上找到最后的一个有效下降沿时间点，记为 $t_{RPSTBegin}$。

4. 以 $t_{RPSTBegin}$ 为起点向右搜索不小于 1 个 UI 的空闲电平，统计这之间的 V_{Top} 和 V_{Base}。
5. 以 V_{Top} 和 V_{Base} 之间的 80%、50%和 20%分别为高阈值 V_{Upper}、V_{mid} 和低阈值 V_{Lower}，从 $t_{RPSTBegin}$ 开始，向右搜索上升沿，该上升沿穿越高阈值和低阈值的时间点分别记为 t_{Upper} 和 t_{Lower}。
6. 点(t_{Upper}, V_{Upper})和点(t_{Lower}, V_{Lower})之间连线的延长线与 V_{Base} 的交点记为 $t_{RPSTEnd}$。
7. tRPST=$t_{RPSTEnd}$ – $t_{RPSTBegin}$。
8. 统计所有有效突发时序内的测量结果并与合规限值进行比较。

10.10.3 测试结果参考

下图 10.10-4 为可观测的测试结果示例。

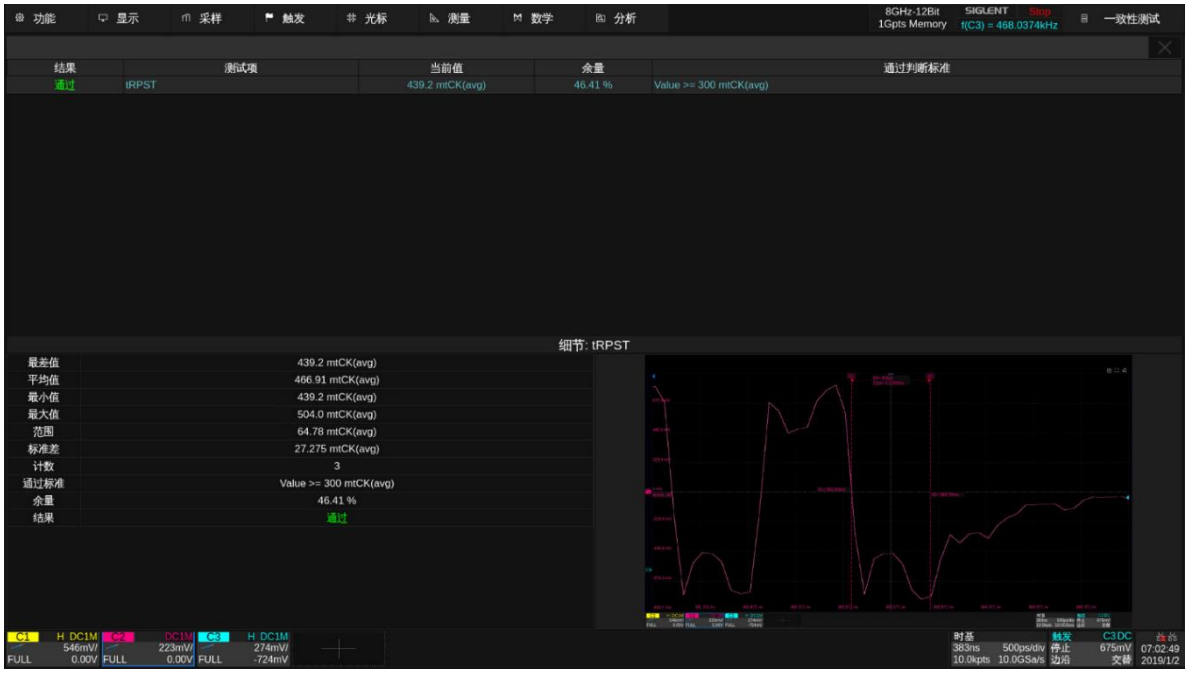


图 10.10-4 DDR3 tRPST 测试示例

10.11 tDVAC(DQS)

该项测试为 DDR3 所特有，该测试的目的是测量数据选通信号在第一次上穿 $V_{IH.diff}$(DQS)并下穿的时间间隔，以及第一次下穿 $V_{IL.diff}$(DQS)并上穿的时间间隔。

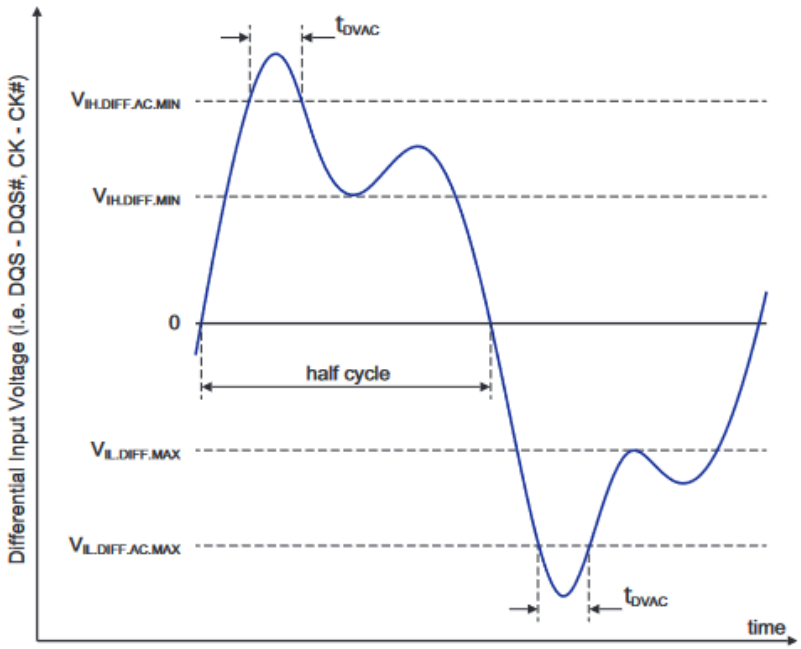


图 10.11-1 tDVAC(DQS)的定义

10.11.1 规范说明

其阈值范围参考 JESD79-3-1A-01 Table 24 和 JESD79-3F Table 26

10.11.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效写时序。
3. 查找上述脉冲时序中 $V_{IHdiff(AC)}$ 和 $V_{ILdiff(AC)}$ 电平上所有有效的 DQS 上升和下降交叉点。
4. tDVAC 从上升沿开始至下降沿结束，计算所有有效的 tDVAC 测量结果。
5. 找出测量结果中的最小值与最大值。
6. 将测量结果与合规限值进行比较。

10.11.3 测试结果参考

下图 10.11-2 为可观测的测试结果示例。



图 10.11-2 DDR3 tDVAC(DQS)测试示例

10.12 tQSH

该项测试为 DDR3、DDR4 所特有，该测试的目的是验证读时序下数据选通差分信号的高电平宽度是否在 JESD 规范要求的一致性限制范围内。

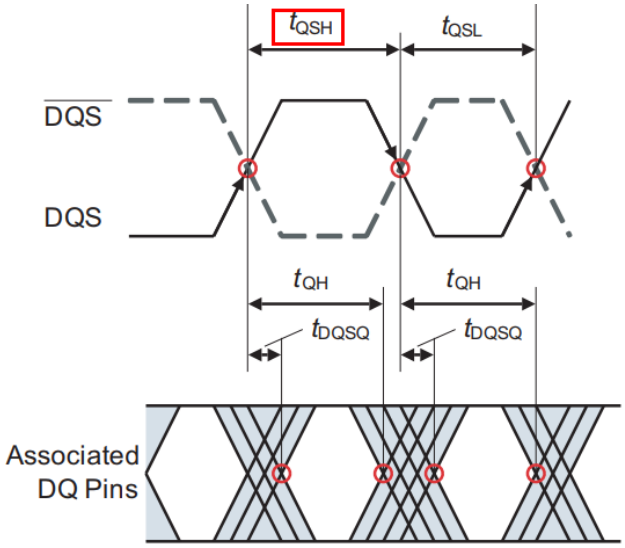


图 10.12-1 tQSH 的定义

10.12.1 规范说明

表 10.12-1 DDR4 tQSH 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tQSH	0.4	-	0.4	-	0.4	-	0.4	-	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.4	-	0.4	-	0.4	-			

表 10.12-2 DDR3 tQSH 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tQSH	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.38	-	0.38	-	0.4	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.4	-	0.4	-	0.4	-	

10.12.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的读时序。
3. 找出上述脉冲时序中所有有效的 DQS 上升和下降交叉点。
4. tQSH 是指从 DQS 上升沿开始到下一个下降沿结束的时间。
5. 统计所有的 tQSH。
6. 将测量结果与合规限值进行比较。

10.12.3 测试结果参考

下图 10.12-2 为可观测的测试结果示例。

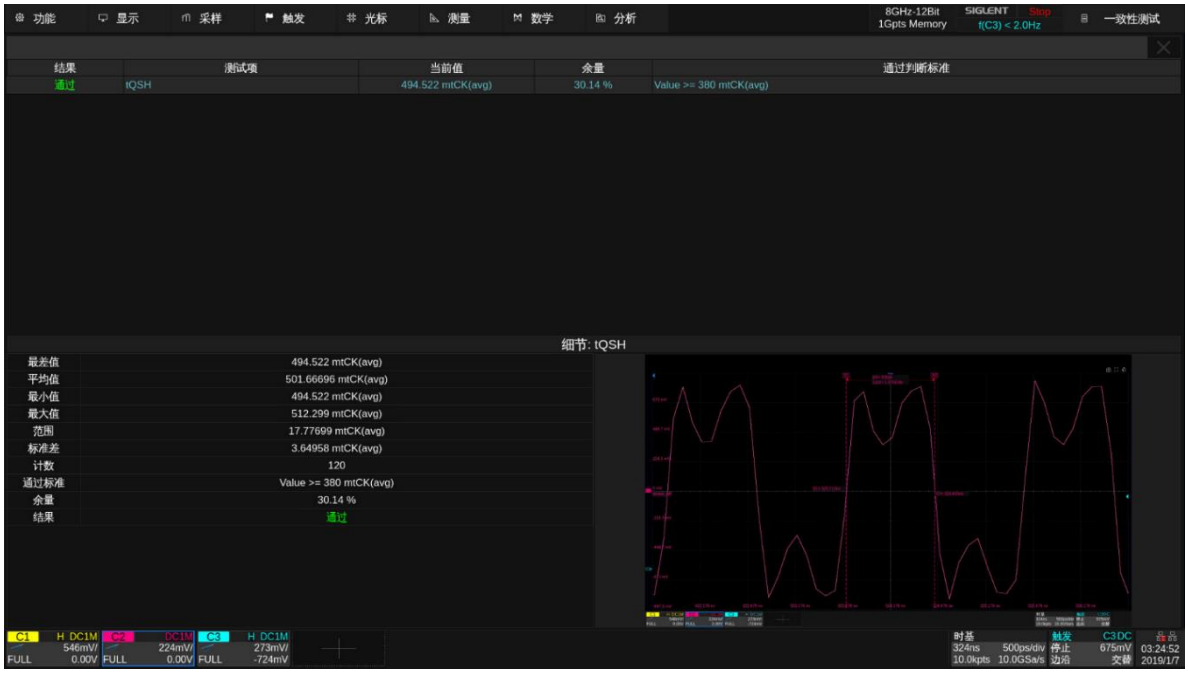


图 10.12-2 DDR3 tQSH 测试示例

10.13 tQSL

该项测试为 DDR3、DDR4 所特有，该测试的目的是验证读时序下数据选通差分信号的低电平宽度是否在 JESD 规范要求的一致性限制范围内。

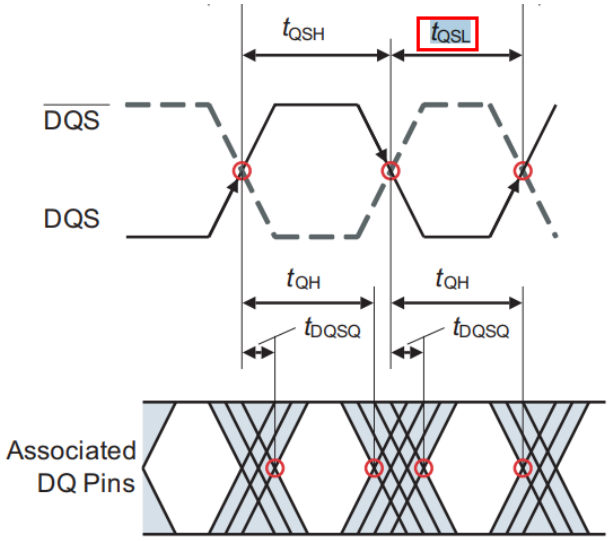


图 10.13-1 tQSL 的定义

10.13.1 规范说明

表 10.13-1 DDR4 tQSL 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tQSL	0.4	-	0.4	-	0.4	-	0.4	-	tck
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.4	-	0.4	-	0.4	-			

表 10.13-2 DDR3 tQSL 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tQSL	最小值	最大值	最小值	最大值	最小值	最大值	tck(avg)
	0.38	-	0.38	-	0.4	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.4	-	0.4	-	0.4	-	

10.13.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的读突发时序。
3. 找出上述脉冲时序中所有有效的 DQS 上升和下降交叉点。
4. tQSL 是指从 DQS 下降沿开始到下一个上升沿结束的时间。
5. 统计所有的 tQSL。
6. 将测量结果与合规限值进行比较。

10.13.3 测试结果参考

下图 10.13-2 为可观测的测试结果示例。

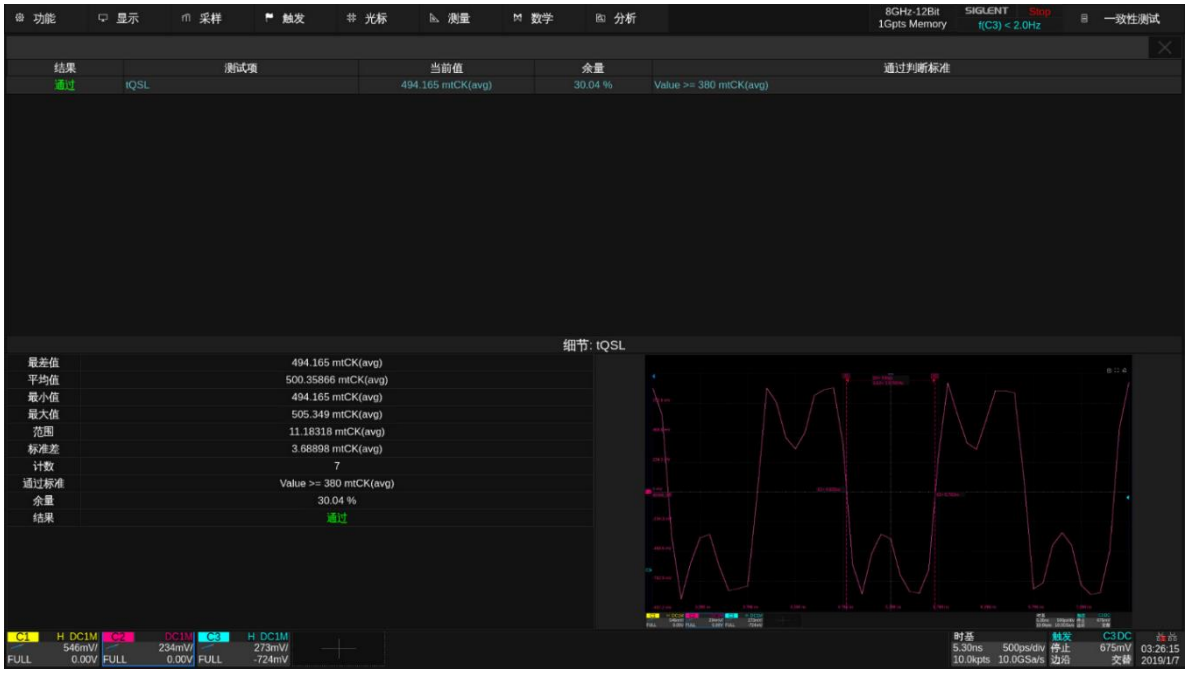


图 10.13-2 DDR3 tQSL 测试示例

10.14 VIX(DQS)

在 DDR3 中，VIX(DQS)是 DQS 的差分输入信号交叉点电压值与 VDD/2 的差值，在 DDR2 中是其与 VSSQ 的差值。因为该测试值与 VDD 有关，对于 DDR3 其 VDD 默认为 1.5V，对于 DDR3L 默认为 1.35V，对于 DDR2 其值为 1.8V。

在 DDR4 中，该项测试主要验证 DQS 的交叉点电压和 VDQSmid 的差值，如下图 10.14-1 所示，图中的 VIX_DQS,RF 和 VIX_DQS,FR 即为 VIX(DQS)，其中的 RF 表示 DQS_t 和 DQS_c 的上升沿或下降沿。其中 VDQSmid 是 DQS 信号高低电平电压最先翻转处的水平切线的电压摆幅的中点，即 VDQS_trans/2。这个水平切线不能包括 VDQS_VIH.peak 和 VDQS_VIL.peak 中点的±35%区域，该区域的非单调性切线不会算进去。DDR4 中该测试项并未明确规定测试结果的取值范围。

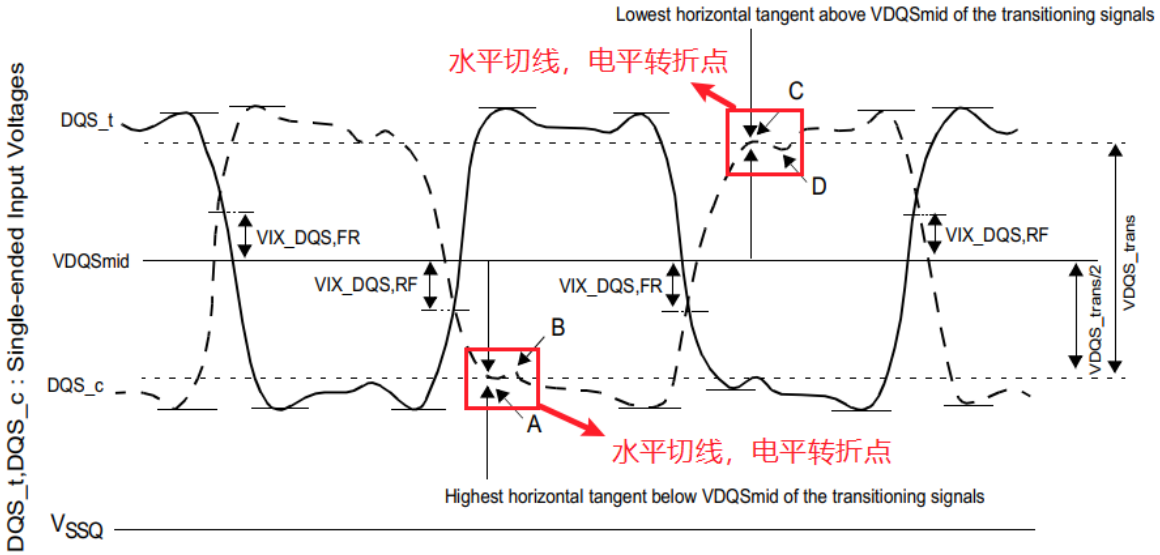


图 10.14-1 DDR4 VIX(DQS)的定义

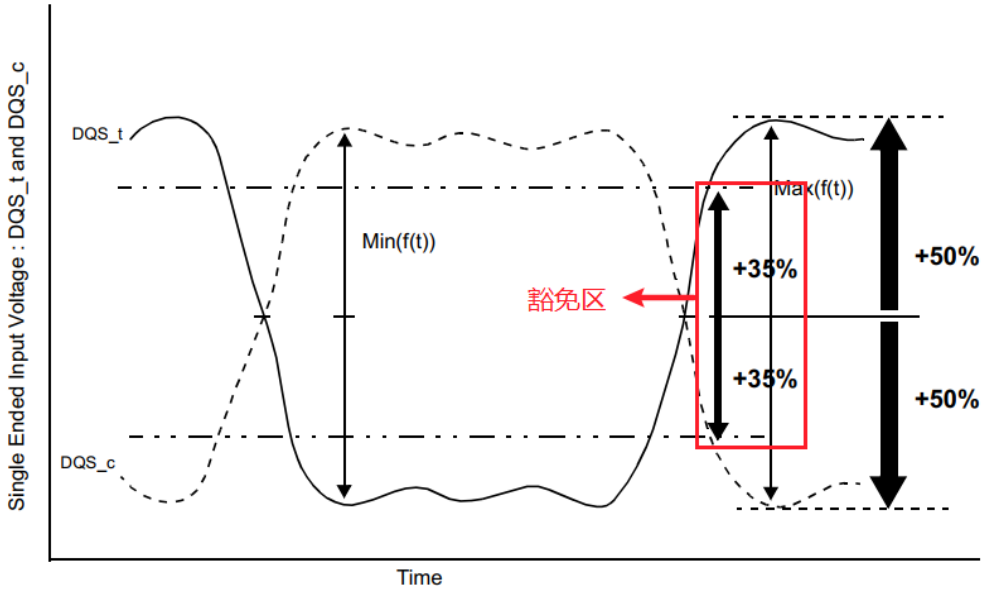


图 10.14-2 DDR4 VDQS_VIH.peak 和 VDQS_VIL.peak 中点的±35%区域

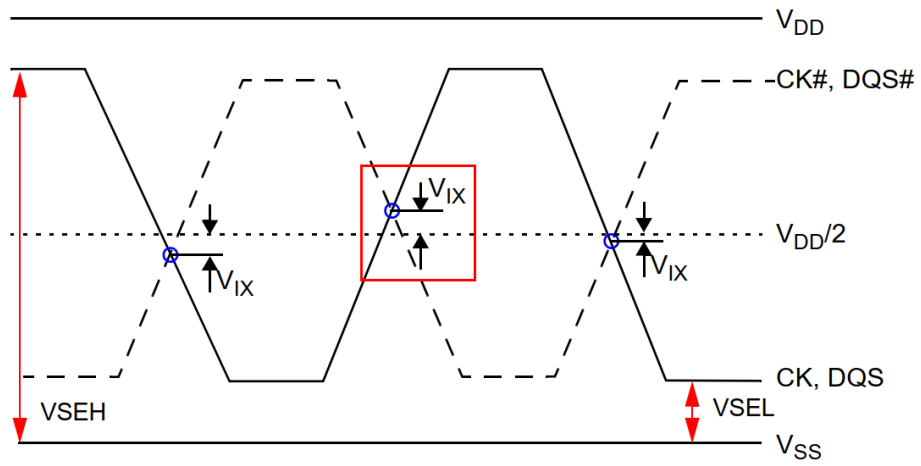


图 10.14-3 DDR3 VIX(DQS)的定义

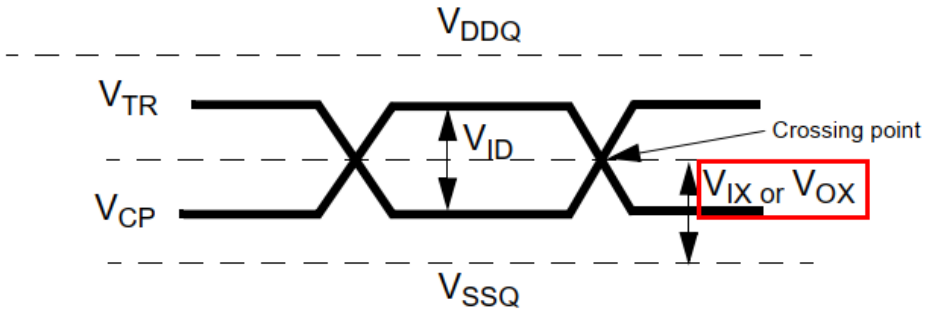


图 10.14-4 DDR2 VIX(DQS)的定义

10.14.1 规范说明

表 10.14-1 DDR3 的 VIX(DQS)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		单位
VIX(DQS)	差分输入交叉点电压	最小值	最大值	mV
		-150	150	

表 10.14-2 DDR3L 的 VIX(DQS)规格要求

参数	说明	DDR3L-800/1066/1333/1600/1866		单位
VIX(DQS)	差分输入交叉点电压	最小值	最大值	mV
		-150	150	

表 10.14-3 DDR2 VIX(DQS)规格要求

参数	描述	DDR2		单位
		最小值	最大值	
VIX(DQS)	差分输入交叉点电压	0.5*VDDQ-0.175	0.5*VDDQ+0.175	V

10.14.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找出所有差分信号穿过 0V 的点。
3. 使用 V_{Time} 去获取单端信号的实际电压值。
4. 对于每个穿过的点。计算出最终结果。$V_{IX(DQS)}$=穿过点电压值-V_{DD}/2。
5. 对于 DDR4 来说，$V_{IX(DQS)}$=穿过点电压值- VDQSmid
6. 从测出的 $V_{IX(DQS)}$ 中找出最差的结果。

10.14.3 测试结果参考

下图 10.14-5 为可观测的测试结果示例。



图 10.14-5 DDR3 VIX(DQS)测试示例

10.15 VIX.Ratio(DQS)

该测试项为 DDR4 所特有，DDR2/3 中无此测试项。VIX.Ratio(DQS)是验证 VIX(DQS)占 VDQS_trans 的比值，即 VIX.Ratio(DQS)= abs(VIX(DQS))/VDQS_trans。

10.15.1 规范说明

表 10.15-1 DDR4 VIX.Ratio(DQS)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIX.Ratio(DQS)	-	25	-	25	-	25	-	25	%
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-	25	-	25	-	25			

10.15.2 计算方法

1. 搜索读写时序，在写时序内进行测量。
2. 统计所有 UI 时序内 DQS 差分的最大值 vDiffMax。
3. 统计所有 UI 时序内 DQS 差分的最小值 vDiffMin。
4. 计算切线为 0 的点的有效范围：
   a) 获取单端正信号在 tDiffMax 的电压值 vPlusAtMax，以及单端负信号在 tDiffMax 的电压值 vMinusAtMax，令 vMidAtMax = 0.5 * (vPlusAtMax + vMinusAtMax)，则对于差分上升沿，其单端信号的有效的切线为 0 的点，需要在 vMidAtMax – 0.35 * vDiffMax 至 vMidAtMax + 0.35 * vDiffMax 的范围外；
   b) 获取单端正信号在 tDiffMin 的电压值 vPlusAtMin，以及单端负信号在 tDiffMin 的电压值 vMinusAtMin，令 vMidAtMin = 0.5 * (vPlusAtMin + vMinusAtMin)，则对于差分下降沿，其单端信号的有效切线为 0 的点，需要在 vMidAtMin – 0.35 * abs(vDiffMin) 至 vMidAtMin + 0.35 * abs(vDiffMin)的范围外。
5. 在写时序内，搜索 DQS 差分信号的边沿，记为 tCross；
6. 以 tCross 为起点，向左向右搜索 DQS 单端信号满足范围要求的切线为 0 的点，边沿的切线为 0 的顶端值记为 vUpper，边沿切线为 0 的底端值记为 vLower；
7. 统计整个时序内所有切线点，其所有 vUpper 的最小值 vUpperMin 和 vLower 的最大值 vLowerMax 作为该时序的 VDQS_trans 的范围，VDQS_trans 的中点为 VDQSmid.

8. 在该写时序内以 0V 为阈值电平搜索差分 DQS 信号边沿，边沿位置记为 tCross；

9. 在单端信号获取 tCross 时间点对应的电压值 vSe；

10. 则 VIX = vSe – VDQSmid, VIX.Ratio = abs(VIX) / VDQS_trans;

11. 统计所有有效写时序内的有效测量值；

12. 从测出的 $V_{IX(DQS)}$ 中找出最差的结果并与规范阈值进行比较。

10.15.3 测试结果参考

下图 10.15-1 为可观测的测试结果示例。



图 10.15-1

10.16 VID(DQS)

该项测试为 DDR2 所特有，该测试的目的是验证输入差分测试信号 DQS 的单端电压摆幅是否在 JEDEC 规定的一致性限制范围内。

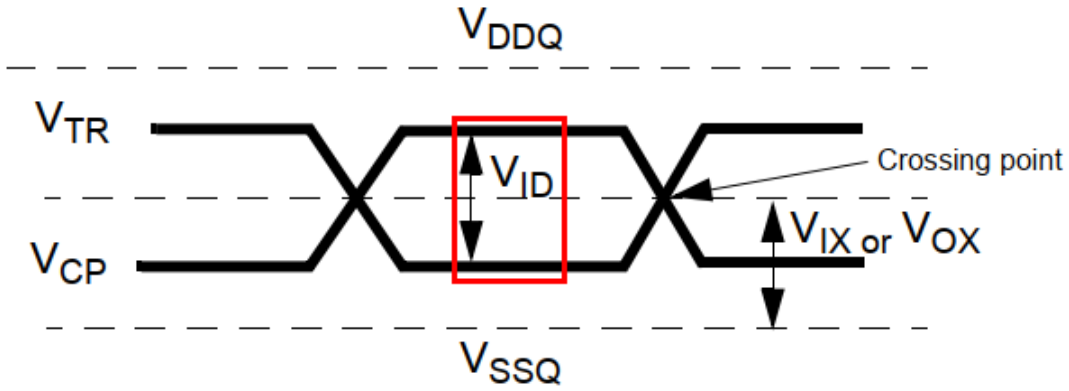


图 10.16-1 DDR2 VID(DQS)的定义

10.16.1 规范说明

表 10.16-1 DDR2 VID(DQS) 的规格要求

参数	DDR2-400/533/667/800		单位
VID(DQS)	最小值	最大值	V
	0.5	VDDQ	

表 10.16-2 DDR2 VID(DQS)的规格要求

参数	DDR2-1066		单位
VID(DQS)	最小值	最大值	V
	0.5	VDDQ+0.6	

10.16.2 计算方法

1. 采样并获取波形数据。
2. 通过函数获取其差分信号。
3. 寻找差分信号中所有的完整正负脉冲。
4. 如果寻找到的是正脉冲，则测量该脉冲范围内单端正信号的最大值 Vmax，以及单端负信号的最小值 Vmin；反之则测量单端正信号的最小值 Vmin 和单端负信号的最大值 Vmax 。
5. VID(DQS) = Vmax - Vmin。

6. 从测出的所有 VID(DQS)中找出最差的结果。

7. 将测试结果与合规限值进行比较。

10.16.3 测试结果参考

下图 10.16-2 为可观测的测试结果示例。

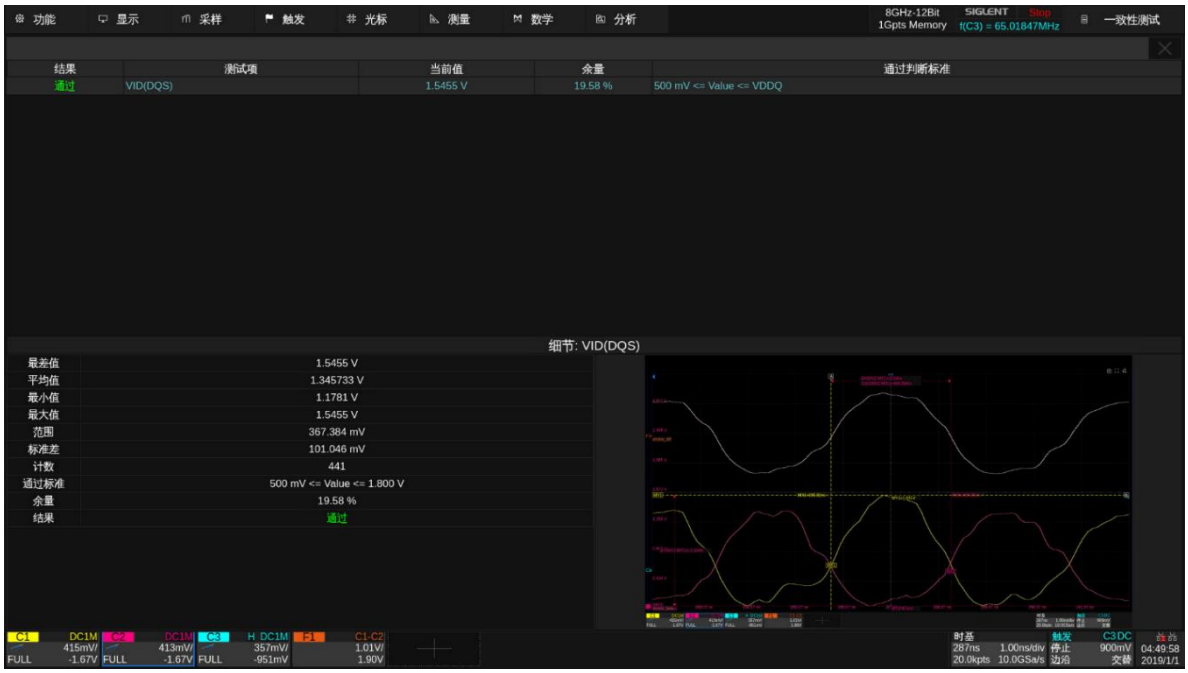


图 10.16-2 DDR2 VID(DQS)测试示例

10.17 VOX(DQS)

该项测试为 DDR2 所特有，该测试的目的是验证输出差分测试信号 DQS 的交叉点电压值是否在 JEDEC 规定的一致性限制范围内。

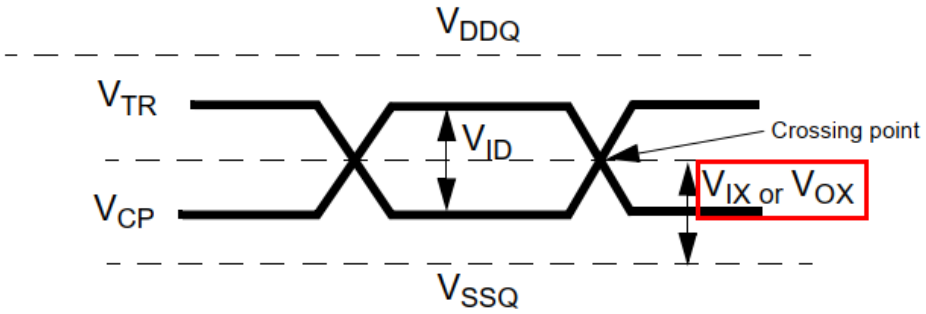


图 10.17-1 DDR2 VOX(DQS)的定义

10.17.1 规范说明

表 10.17-1 DDR2 VOX(DQS)规格要求

参数	描述	DDR2		单位
		最小值	最大值	
VOX(DQS)	差分输出交叉点电压	0.5*VDDQ-0.125	0.5*VDDQ+0.125	V

10.17.2 计算方法

1. 采样并获取波形数据。
2. 通过函数获取得到差分信号。
3. 分割获取信号读写脉冲串
4. 找出所有差分信号穿过 0V 的点，
5. 使用 V_{Time} 去获取单端信号实际电压值。
6. 从测出的 VOX(DQS)中找出最差的结果。

10.17.3 测试结果参考

下图 10.17-2 为可观测的测试结果示例。



图 10.17-2 DDR2 VOX(DQS)测试示例

10.18 VIHdiff.DQS(AC)

该项测试为 DDR3 所特有，该测试的目的是验证在有效采样窗口内，DQS 差分信号交流高电平的电压值是否在 JESD 规范的一致性范围内。

10.18.1 规范说明

表 10.18-1 DDR3 VIHdiff.DQS(AC)规格要求

参数	说明	DDR3&3L-800/1066/1333/1600/		单位
VIHdiff.DQS(AC)	差分输入交流高电平	最小值	最大值	V
		2*($V_{IH(AC)}$-V_{REF})	-	

注：1. DDR3L-1866 的取值范围亦如上表所示。

2. 其一致性范围的最小值为：2*($V_{IH(AC)}$-V_{REF})，其最大值规范中并未明确定义，但是对于 DQS 和 CLK 这种差分信号，要求它的单端信号要符合 VSEH 和 VSEL，且其值不能超过 Overshoot 和 Undershoot。对于最小值 2*($V_{IH(AC)}$-V_{REF})，其中 Vref=0.5*VDD，DDR3 的 VDD 为 1.5V，DDR3L 的 VDD 为 1.35V。用户可以按照实际的测试需求在配置中自行修改 VIH、VDD 等参数以生成不同的阈值范围。

10.18.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效写突发时序。
3. 在上述脉冲时序中找出所有有效的数据选通正脉冲。有效数据选通正脉冲从有效数据选通上升沿的 0V 交叉点开始，到下一个有效数据选通下降沿的 0V 交叉点结束
4. 对于一个有效的数据选通正脉冲执行 V_{TOP} 测量。将 V_{TOP} 测量结果作为 $V_{IHdiff(AC).DQS}$ 值。
5. 对波形中发现的其他有效正脉冲重复上一步。
6. 从测出的 $V_{IHdiff(AC).DQS}$ 中找出最差的结果。

10.18.3 测试结果参考

下图 10.18-1 为可观测的测试结果示例。

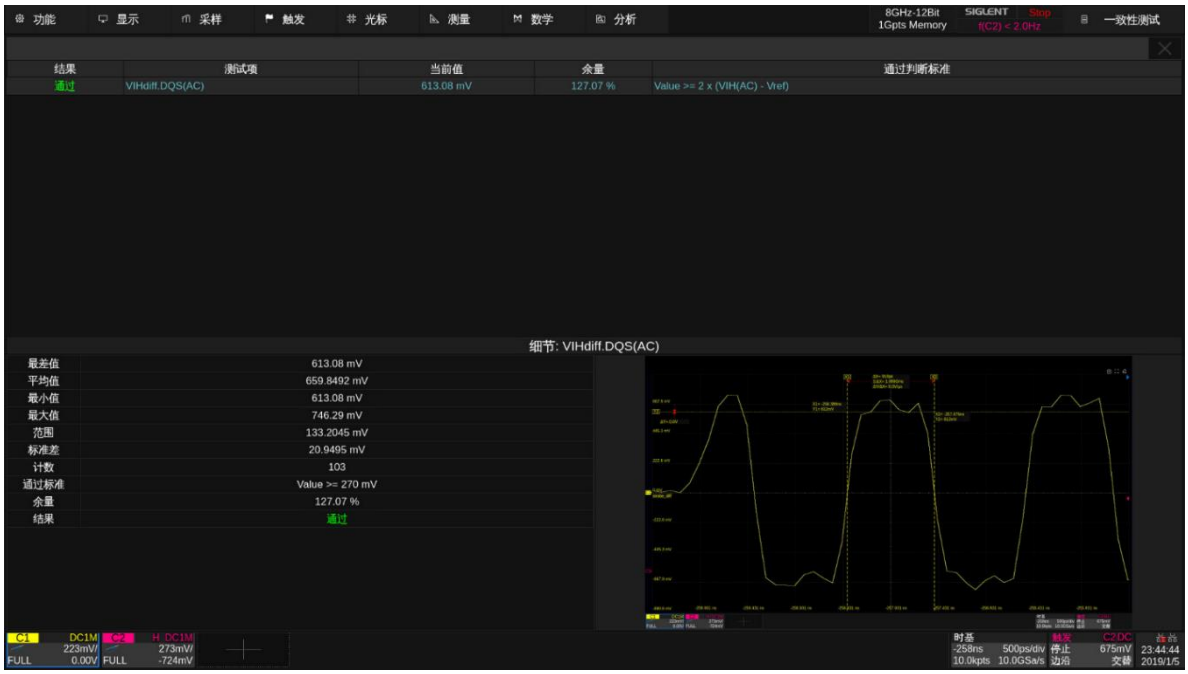


图 10.18-1 DDR3 VIHdiff.DQS(AC)测试示例

10.19 VIHdiff.DQS(DC)

该项测试为 DDR3 所特有，该测试的目的是验证在有效采样窗口内，DQS 差分信号的直流高电平电压值是否满足 JESD 规范。

10.19.1 规范说明

表 10.19-1 DDR3 的 VIHdiff.DQS(DC)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		单位
VIHdiff.DQS(DC)	差分输入直流高电平	最小值	最大值	V
		0.2	\	

表 10.19-2 DDR3L 的 VIHdiff.DQS(DC)规格要求

参数	说明	DDR3L-800/1066/1333/1600/1866		单位
VIHdiff.DQS(DC)	差分输入直流高电平	最小值	最大值	V
		0.18	\	

10.19.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通正脉冲。有效数据选通正脉冲从有效数据选通上升沿的 0V 交叉点开始，到下一个有效数据选通下降沿的 0V 交叉点结束。
4. 对于一个有效的数据选通正脉冲执行 V_{TOP} 测量。将 V_{TOP} 测量结果作为 $V_{IHdiff(DC)}$值。
5. 对波形中发现的其他有效正脉冲继续上一步操作。
6. 从测出的 $V_{IHdiff(DC)}$ 中找出最差的结果。
7. 将最差的结果与规范中的阈值进行比较。

10.19.3 测试结果参考

下图 10.19-1 为可观测的测试结果示例。



图 10.19-1 DDR3L VIHdiff.DQS(DC)测试示例

10.20 VILdiff.DQS(AC)

该项测试为 DDR3 所特有，该测试的目的是验证在有效采样窗口内，DQS 差分信号交流低平的电压值是否在 JESD 规范的一致性范围内。该测试项与 VIHdiff.DQS(AC)类似，此处不再赘述。

10.20.1 规范说明

表 10.20-1 DDR3 的 VILdiff.DQS(AC)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		单位
VILdiff.DQS(AC)	差分输入交流低电平	最小值	最大值	V
		\	$2*(V_{IL(AC)}-V_{REF})$	

表 10.20-2 DDR3L 的 VILdiff.DQS(AC)规格要求

参数	说明	DDR3L-800/1066/1333/1600/1866		单位
VILdiff.DQS(AC)	差分输入交流低电平	最小值	最大值	V
		\	$2*(V_{IL(AC)}-V_{REF})$	

10.20.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通负脉冲。有效数据选通负脉冲从有效数据选通下降沿的 0V 交叉点开始，到下一个有效数据选通上升沿的 0V 交叉点结束。
4. 对于一个有效的数据选通负脉冲执行 V_{BASE} 测量。将 V_{BASE} 测量结果作为 $V_{ILdiff.DQS(AC)}$ 值。
5. 对波形中发现的其他有效负脉冲继续上一步操作。
6. 从测出的 $V_{ILdiff.DQS(AC)}$ 中找出最差的结果。
7. 将最差的结果与规范中的阈值进行比较。

10.20.3 测试结果参考

下图 10.20-1 为可观测的测试结果示例。



图 10.20-1 DDR3 VILdiff.DQS(AC)测试示例

10.21 VILdiff.DQS(DC)

该项测试为 DDR3 所特有，该测试的目的是验证在有效采样窗口内，测试 DQS 差分信号的低电平电压值是否在 JESD 规范的一致性限制范围内。对于 DDR3 和 DDR3L，该测试项的取值范围不同。

10.21.1 规范说明

表 10.21-1 DDR3 的 VILdiff.DQS(DC)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		单位
VILdiff.DQS(DC)	差分输入直流高电平	最小值	最大值	V
		\	-0.2	

表 10.21-2 DDR3L 的 VILdiff.DQS(DC)规格要求

参数	说明	DDR3L-800/1066/1333/1600/1866		单位
VILdiff.DQS(DC)	差分输入直流高电平	最小值	最大值	V
		\	-0.18	

10.21.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通负脉冲。有效数据选通负脉冲从有效数据选通下降沿的 0V 交叉点开始，到下一个有效数据选通上升沿的 0V 交叉点结束
4. 对于一个有效的数据选通负脉冲执行 V_{BASE} 测量。将 V_{BASE} 测量结果作为 $V_{ILdiff.DQS(DC)}$值。
5. 对波形中发现的其他有效负脉冲继续上一步。
6. 从测出的 $V_{ILdiff.DQS(DC)}$ 中找出最差的结果。
7. 将最差的结果与规范中的阈值进行比较。

10.21.3 测试结果参考

下图 10.21-1 为可观测的测试结果示例。



图 10.21-1 DDR3L VILdiff.DQS(DC)测试示例

10.22 VIH.Diff.Peak.DQS

该项测试为 DDR4 所特有，测量 DQS 差分信号的输入高电平的峰值电压。如下图所示，在所有的 UI 峰值电压中选择最小值作为测试结果。

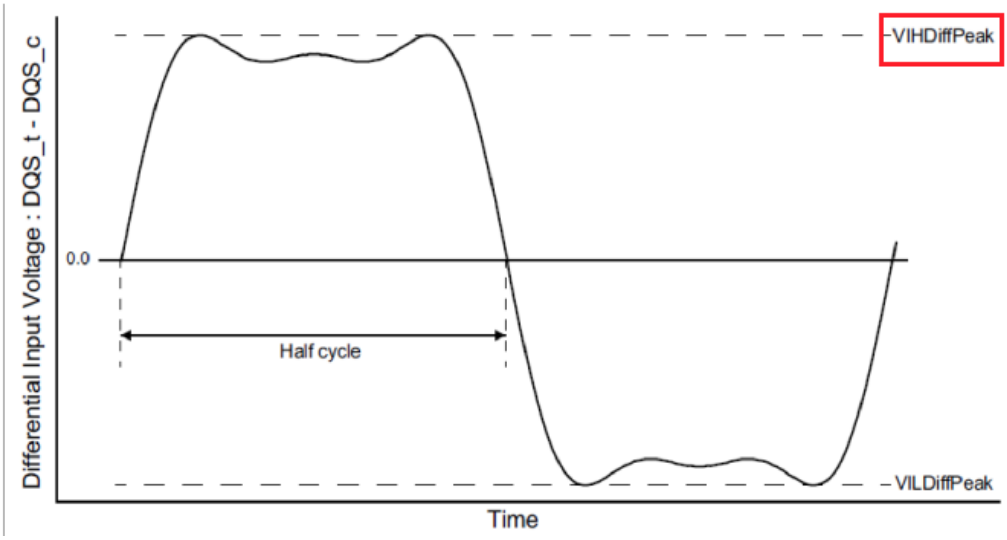


图 10.22-1 DDR4 VIH.Diff.Peak.DQS 的定义

10.22.1 规范说明

表 10.22-1 DDR4 VIH.Diff.Peak.DQS 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIH.Diff.Peak.DQS	186	-	186	-	186	-	160	-	mV
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	150	-	145	-	140	-			

10.22.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通正脉冲。有效数据选通正脉冲从有效数据选通上升沿的 0V 交叉点开始，到下一个有效数据选通下降沿的 0V 交叉点结束

4. 对于一个有效的数据选通正脉冲执行 Vmax 测量，将 Vmax 测量结果作为 VIH.Diff.Peak.DQS 值。
5. 对波形中发现的其他有效正脉冲重复上一步。
6. 从测出的 VIH.Diff.Peak.DQS 中找出最差的结果。

10.22.3 测试结果参考

下图 10.22-2 为可观测的测试结果示例。



图 10.22-2 DDR4 VIH.Diff.Peak.DQS 测试示例

10.23 VIL.Diff.Peak.DQS

该项测试为 DDR4 所特有，测量 DQS 差分信号的输入低电平的峰值电压。如下图所示，在所有的 UI 峰值电压中选择最小值作为测试结果。DDR4 VIL.Diff.Peak.DQS 的定义如下图所示。

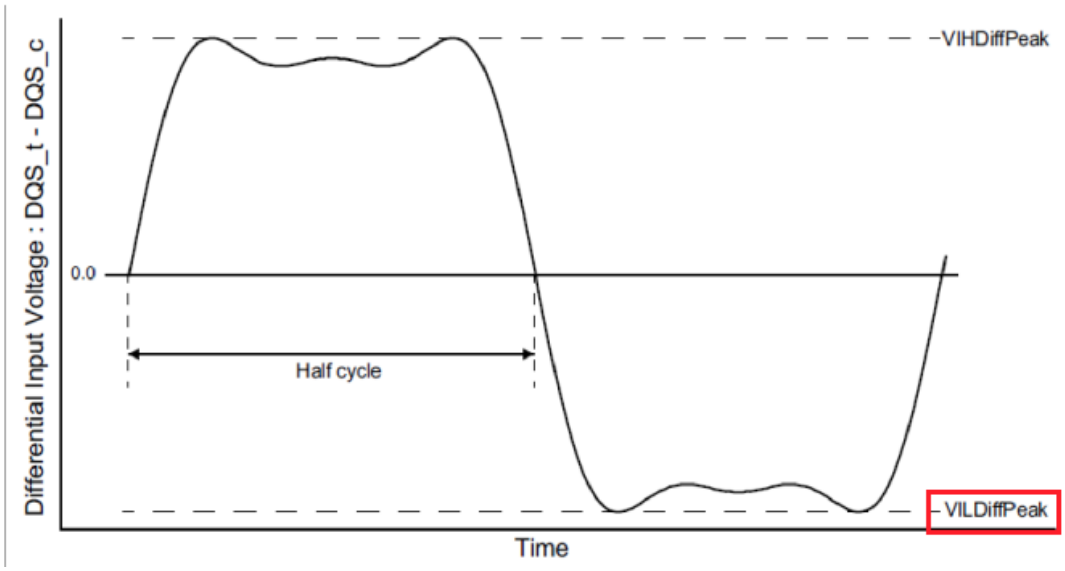


图 10.23-1 DDR4 VIL.Diff.Peak.DQS 的定义

10.23.1 规范说明

表 10.23-1 DDR4 VIL.Diff.Peak.DQS 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIL.Diff.Peak.DQS	-	-186	-	-186	-	-186		-160	mV
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-	-150	-	-145	-	-140			

10.23.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通负脉冲。有效数据选通负脉冲从有效数据选通下降沿的 0V 交叉点开始，到下一个有效数据选通上升沿的 0V 交叉点结束

4. 对于一个有效的数据选通负脉冲执行 Vmin 测量，将 Vmin 测量结果作为 VIL.Diff.Peak.DQS 值。
5. 对波形中发现的其他有效负脉冲重复上一步。
6. 从测出的 VIL.Diff.Peak.DQS 中找出最差的结果。

10.23.3 测试结果参考

下图 10.23-2 为可观测的测试结果示例。

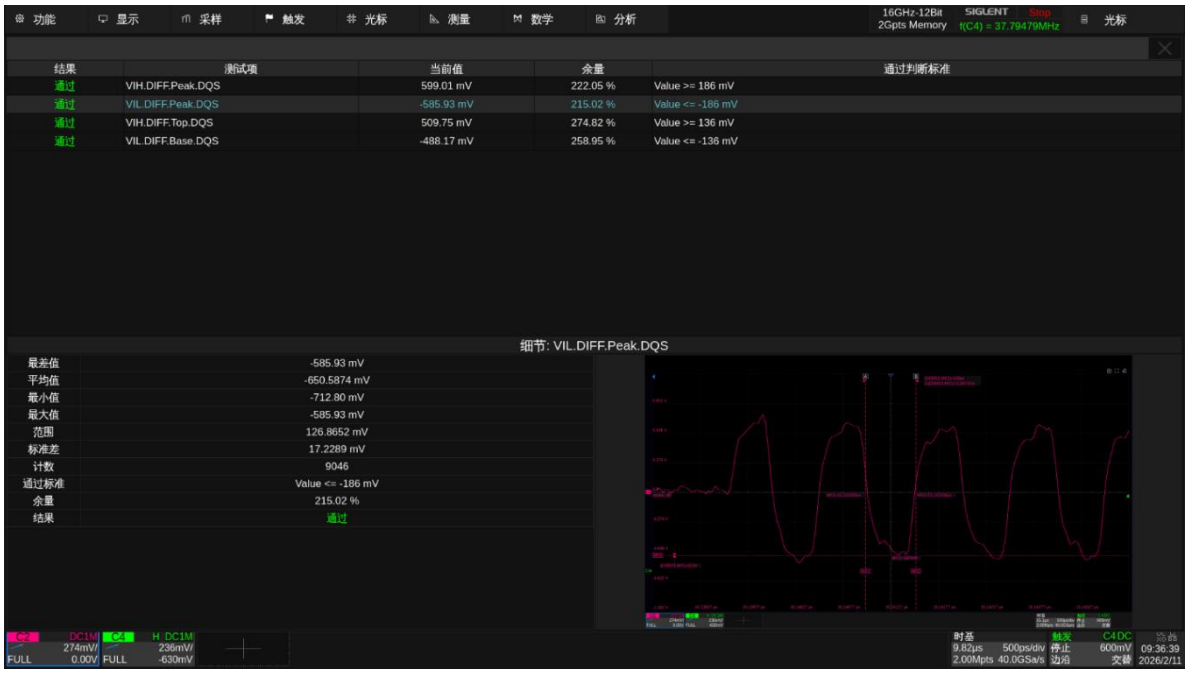


图 10.23-2 DDR4 VIL.Diff.Peak.DQS 测试示例

10.24 VIH.Diff.Top.DQS

该项测试测量 DQS 差分信号的输入高电平的 Vtop 值电压。在所有的 UI Vtop 电压中选择最小值作为测试结果。

10.24.1 规范说明

表 10.24-1 DDR4 VIH.Diff.Top.DQS 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIH.Diff.Top.DQS	136	-	136	-	136	-	130	-	mV
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	130	-	115	-	110	-			

10.24.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通正脉冲。有效数据选通正脉冲从有效数据选通上升沿的 0V 交叉点开始，到下一个有效数据选通下降沿的 0V 交叉点结束
4. 对于一个有效的数据选通正脉冲执行Vtop测量，将Vtop测量结果作为 VIH.Diff.Top.DQS值。
5. 对波形中发现的其他有效正脉冲重复上一步。
6. 从测出的 VIH.Diff.Top.DQS 中找出最差的结果。

10.24.3 测试结果参考

下图 10.24-1 为可观测的测试结果示例。

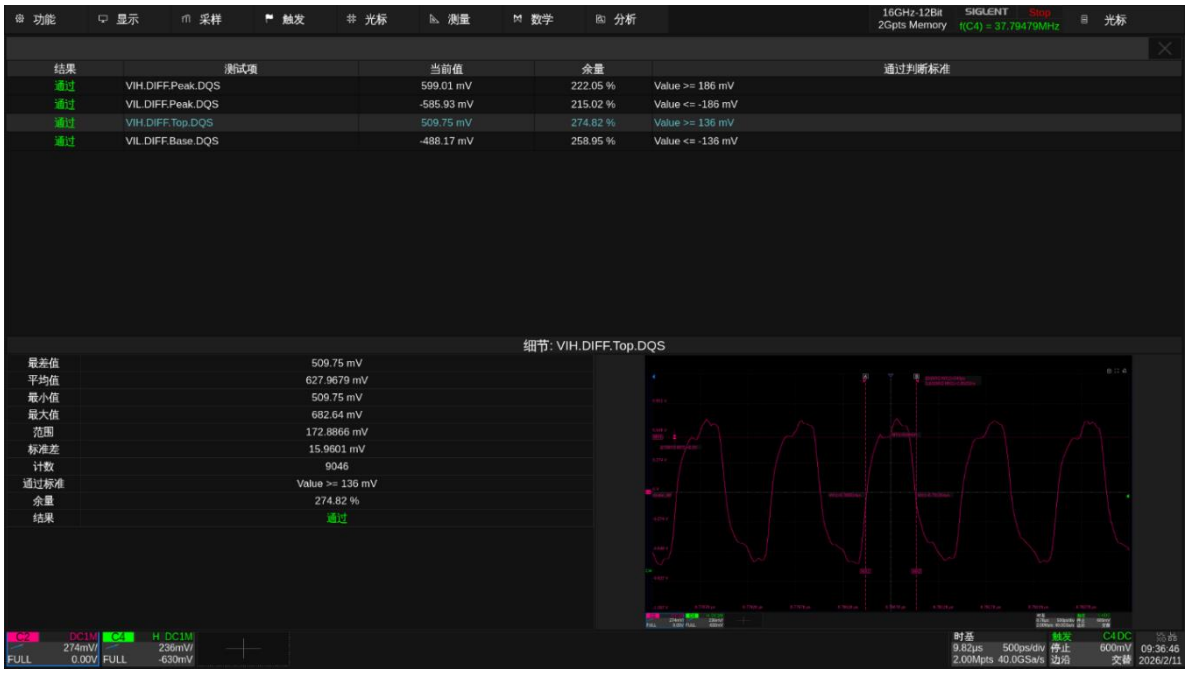


图 10.24-1 DDR4 VIH.Diff.Top.DQS 测试示例

10.25 VIL.Diff.Base.DQS

该项测试测量 DQS 差分信号的输入低电平的 Vbase 值电压。在所有的 UI Vbase 电压中选择最小值作为测试结果。

10.25.1 规范说明

表 10.25-1 DDR4 VIL.Diff.Base.DQS 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
Symbol	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIL.Diff.Base.DQS	-	-136	-	-136	-	-136	-	-130	mV
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-	-130	-	-115	-	-110			

10.25.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通负脉冲。有效数据选通负脉冲从有效数据选通下降沿的 0V 交叉点开始，到下一个有效数据选通上升沿的 0V 交叉点结束
4. 对于一个有效的数据选通负脉冲执行 Vbase 测量，将 Vbase 测量结果作为 VIL.Diff.Base.DQS 值。
5. 对波形中发现的其他有效负脉冲重复上一步。
6. 从测出的 VIL.Diff.Base.DQS 中找出最差的结果。

10.25.1 测试结果参考

下图 10.25-1 为可观测的测试结果示例。



图 10.25-1 DDR4 VIL.Diff.Base.DQS 测试示例

10.26 VOHdiff(AC)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证 DQS 差分信号在有效采样窗口内的交流差分输出高电平电压值是否满足 JESD 规范。DDR3 规范中并没有给出明确的范围，只是给了一个值±0.2*VDDQ，DDR4 也只给了个值±0.3*VDDQ，所以在测试中，我们也没有给出具体的阈值。但可以认为 DDR3 的 VOHdiff(AC)的取值要高于 0.2*VDDQ，VOLdiff(AC)的值要低于-0.2*VDDQ。DDR4 的 VOHdiff(AC)的取值要高于 0.3*VDDQ，VOLdiff(AC)的值要低于-0.3*VDDQ。用户可以自行判断测出的结果是否满足这个要求。DDR3 的 VDDQ 为 1.5V；DDRL 的 VDDQ 为 1.35V；DDR4 为 1.2V。

10.26.1 规范说明

表 10.26-1 DDR4 VOHdiff(AC)取值范围

参数	说明	DDR4-1600/1866/2133/2400/2666/3200	单位
VOHdiff(AC)	差分输出高电平	测试值	V
		$0.3*V_{DDQ}$	

表 10.26-2 DDR3 VOHdiff(AC)取值范围

参数	说明	DDR3-800/1066/1333/1600	单位
VOHdiff(AC)	差分输出高电平	测试值	V
		0.2*VDDQ	

10.26.2 计算方法

1. 获取并分离读写时序。
2. 找到一个读时序。
3. 在上述脉冲时序中找出所有有效的数据选通正脉冲。有效数据选通正脉冲从有效数据选通上升沿的 0V 交叉点开始，到下一个有效数据选通下降沿的 0V 交叉点结束。
4. 对于一个有效的数据选通正脉冲，执行 V_{TOP} 测量，并将 V_{TOP} 测量结果作为 $V_{OHdiff(AC)}$ 值。
5. 对波形中发现的其他的有效正脉冲继续上一步操作。
6. 从测出的 $V_{OHdiff(AC)}$中找出最差的结果。

10.26.3 测试结果参考

下图 10.26-1 为可观测的测试结果示例。



图 10.26-1 DDR3 VOHdiff(AC)测试示例

10.27 VOLdiff(AC)

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证在有效采样窗口内，DQS 的交流差分输出低电平电压值是否满足 JESD 规范。该测试项与 VOHdiff(AC)类似，此处不再赘述。

10.27.1 规范说明

表 10.27-1 DDR4 VOLdiff(AC)的规格要求

参数	说明	DDR4-1600/1866/2133/2400/2666/3200	单位
VOLdiff(AC)	差分输出高电平	测试值	V
		-0.3*V_{DDQ}	

表 10.27-2 DDR3 $V_{OLdiff(AC)}$的规格要求

参数	说明	DDR3-800/1066/1333/1600	单位
VOLdiff(AC)	差分输出低电平	测试值	V
		-0.2*V_{DDQ}	

10.27.2 计算方法

1. 获取并分离读写脉冲时序，找到一个读时序。
2. 在上述脉冲时序中找出所有有效的数据选通负脉冲。有效数据选通负脉冲从有效数据选通下降沿的 0V 交叉点开始，到下一个有效数据选通上升沿的 0V 交叉点结束。
3. 对于一个有效的数据选通负脉冲，执行 Vbase 测量，并将 V_{base} 测量结果作为 $V_{OLdiff(AC)}$值。
4. 对波形中发现的其他有效负脉冲继续上一步操作。
5. 从测出的 $V_{OLdiff(AC)}$中找出最差的结果。

10.27.3 测试结果参考

下图 10.27-1 为可观测的测试结果示例。



图 10.27-1 DDR3 VOLdiff(AC)测试示例

10.28 SRIdiffR

该项测试为 DDR4 所特有，该项测试主要测量 DQS 差分输入信号的上升沿压摆率是否符合 JESD 规范。

表 10.28-1 10.28-1 SRIdiff 的定义

Description	Measured		Defined by
	from	to	
Differential input slew rate for rising edge (DQS_t - DQS_c) - SRIdiffR	$V_{ILdiff(DQS)}$	$V_{IHdiff(DQS)}$	[$V_{IHdiff(DQS)}$ - $V_{ILdiff(DQS)}$] / DeltaTRdiff
Differential input slew rate for falling edge (DQS_t - DQS_c) - SRIdiffF	$V_{IHdiff(DQS)}$	$V_{ILdiff(DQS)}$	[$V_{IHdiff(DQS)}$ - $V_{ILdiff(DQS)}$] / DeltaTFdiff

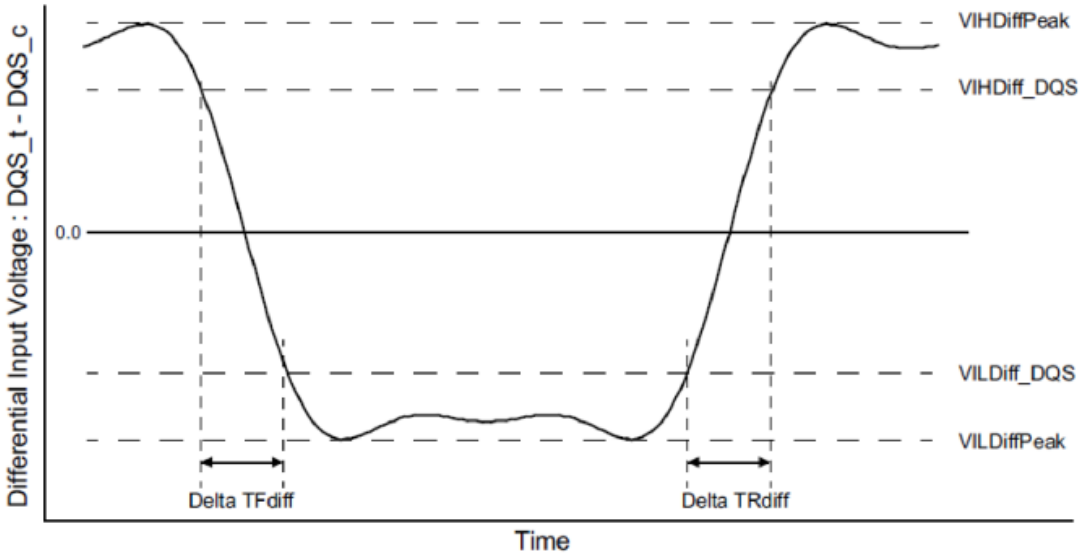


图 10.28-1 SRIdiff 的测试方法

10.28.1 规范说明

表 10.28-2 VIHDiff/VILDIff_DQS 的取值范围

Symbol	DDR4-1600/1866/2133		DDR4-2400/2666		DDR4-2933		DDR4-3200		
VIHDiff_DQS	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
	136	-	130	-	115	-	110	-	mV
VILDiff_DQS	-	-136	-	-130	-	-115	-	-110	

表 10.28-3 SRIdiffR/F 的取值范围

Symbol	DDR4-1600/1866/2133		DDR4-2400		DDR4-2666/2933/3200		Units
SRIdiffR/F	MIN	MAX	MIN	MAX	MIN	MAX	V/ns
	3	18	3	18	2.5	18	

10.28.1 计算方法

1. 获取并分离读写脉冲时序。
2. 找到第一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通上升沿，一个有效的数据选通上升沿从穿过 VILDiff_DQS 开始，到下一个 VIHDiff_DQS 结束。
4. 对于所有的有效数据选通上升沿，计算得到 TR，即从穿过 VILDiff_DQS 开始到穿过 VIHDiff_DQS 结束的时间差。
5. 计算得到 SRQdiffR=[VIHdiff(DQS) - VILdiff(DQS)] / TR。
6. 找出测量结果中的最大值和最小值。
7. 将测量结果与合规限值进行比较。

10.28.2 测试结果参考

下图 10.30-2 为可观测的测试结果示例。

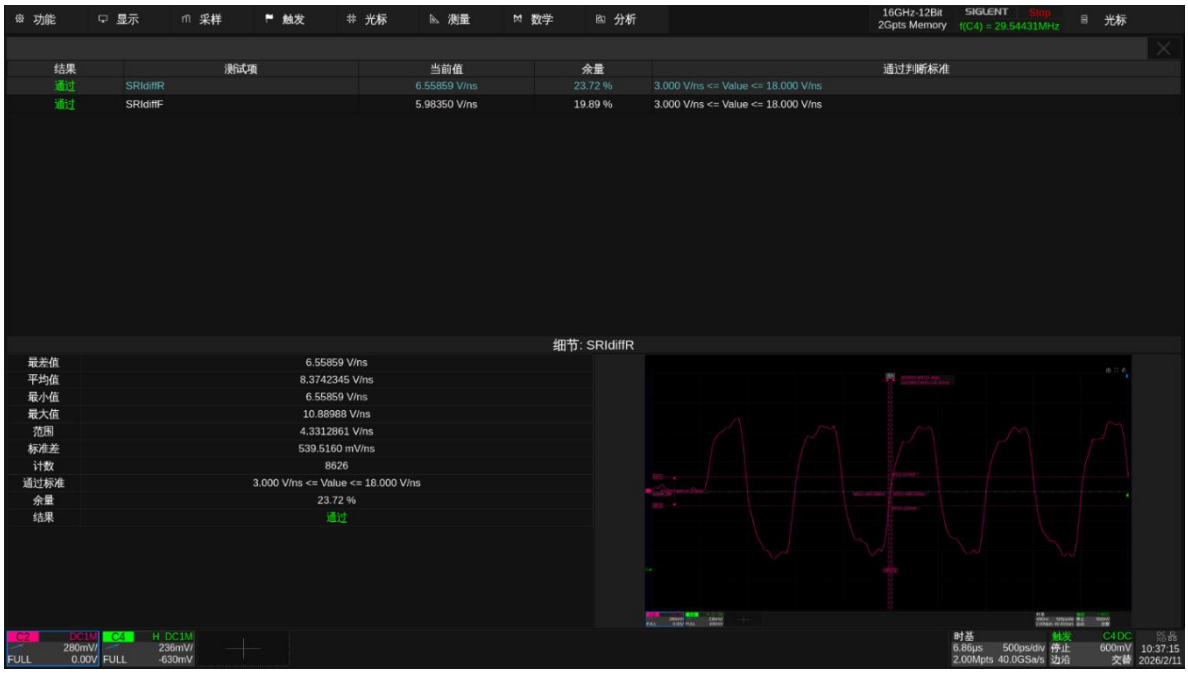


图 10.28-2 DDR4 SRIdiffR 测试示例

10.29 SRIdiffF

该项测试为 DDR4 所特有，该项测试主要测量 DQS 差分输入信号的下降沿压摆率是否符合 JESD 规范。该测试项的测试方法和取值范围和 SRIdiffR 一样，可直接参考 SRIdiffR 测试项的内容。

10.29.1 规范说明

表 10.29-1 DDR4 SRIdiffR/F 的取值范围

Symbol	DDR4-1600/1866/2133		DDR4-2400		DDR4-2666/2933/3200		Units
SRIdiffR/F	MIN	MAX	MIN	MAX	MIN	MAX	V/ns
	3	18	3	18	2.5	18	

10.29.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到第一个有效写时序。
3. 在上述脉冲时序中找出所有有效的数据选通下降沿，一个有效的数据选通下降沿从穿过 VIHDiff_DQS 开始，到下一个 VILDiff_DQS 结束。
4. 对于所有的有效数据选通上升沿，计算得到 TR，即从穿过 VIHDiff_DQS 开始到穿过 VILDiff_DQS 结束的时间差。
5. 计算得到 SRQdiffR=[VIHdiff(DQS) - VILdiff(DQS)] / TR。
6. 找出测量结果中的最大值和最小值。
7. 将测量结果与合规限值进行比较。

10.29.3 测试结果参考

下图 10.29-1 为可观测的测试结果示例。

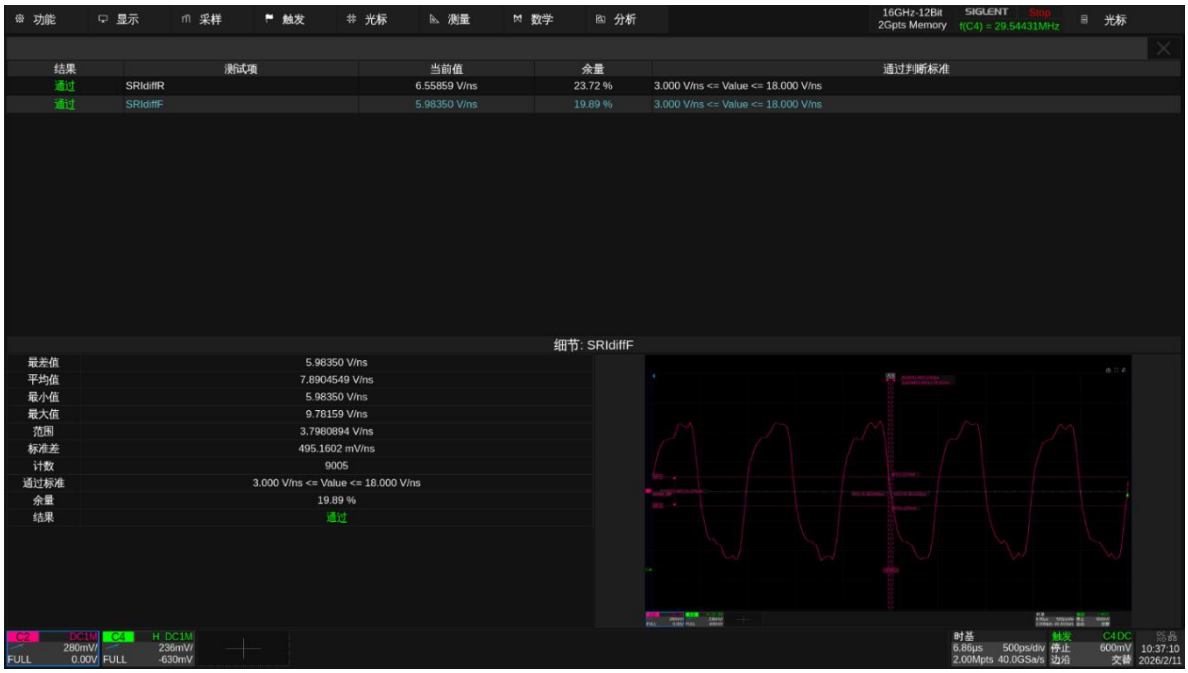


图 10.29-1 DDR4 SRIdiffF 测试示例

10.30 SRQdiffR

该项测试为 DDR3/4 所特有，该测试的目的是验证输出 DQS 差分信号上升沿的压摆率是否符合 JESD 规范。

表 10.30-1 SRQdiffR/F 的定义

Description	Measured		Defined by
	from	to	
Differential output slew rate for rising edge	$V_{OLdiff(AC)}$	$V_{OHdiff(AC)}$	[$V_{OHdiff(AC)}$ - $V_{OLdiff(AC)}$] / DeltaTRdiff
Differential output slew rate for falling edge	$V_{OHdiff(AC)}$	$V_{OLdiff(AC)}$	[$V_{OHdiff(AC)}$ - $V_{OLdiff(AC)}$] / DeltaTFdiff

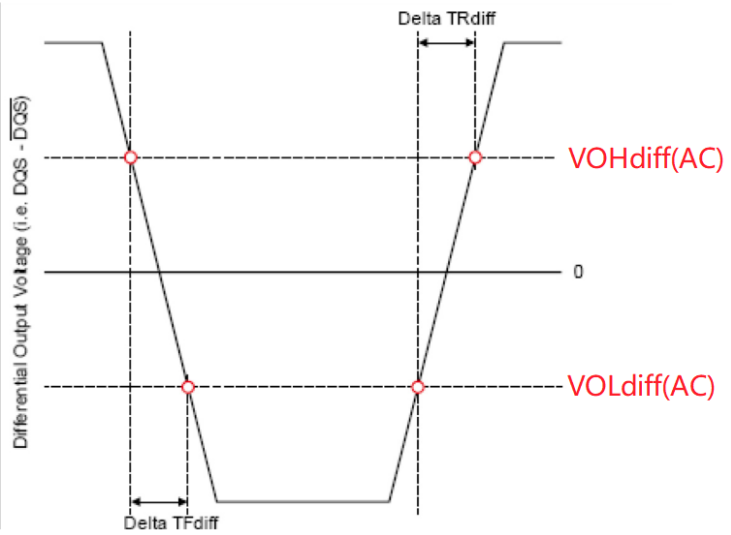


图 10.30-1 SRQdiff 的测试方法

10.30.1 规范说明

表 10.30-2 DDR4 SRQdiffR/F 的取值范围

Symbol	DDR4-1600/1866/2133		DDR4-2400		DDR4-2666/2933/3200		Units
SRQdiffR/F	MIN	MAX	MIN	MAX	MIN	MAX	V/ns
	8	18	8	18	8	18	

表 10.30-3 DDR3 的 SRQdiffR 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
SRQdiffR	最小值	最大值	最小值	最大值	最小值	最大值	V/ns
	5	10	5	10	5	10	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	5	10	5	12	5	12	

表 10.30-4 DDR3L 的 SRQdiffR 规格要求

参数	DDR3L-800		DDR3L-1066		DDR3L-1333		单位
SRQdiffR	最小值	最大值	最小值	最大值	最小值	最大值	V/ns
	3.5	12	3.5	12	3.5	12	
	DDR3L-1600		DDR3L-1866				
	最小值	最大值	最小值	最大值			
	3.5	12	3.5	12			

10.30.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到第一个有效读时序。
3. 在上述脉冲时序中找出所有有效的数据选通上升沿，一个有效的数据选通上升沿从穿过 $V_{OLdiff(AC)}$开始，到下一个 $V_{OHdiff(AC)}$结束。
4. 对于所有的有效数据选通上升沿，计算得到 TR，即从穿过 $V_{OLdiff(AC)}$开始到穿过 $_{VOHdiff(AC)}$结束。
5. 计算得到 SRQdiffR=[$V_{OHdiff(AC)}$-$V_{OLdiff(AC)}$]/TR。
6. 找出测量结果中的最大值和最小值。
7. 将测量结果与合规限值进行比较。

10.30.3 测试结果参考

下图 10.30-2 为可观测的测试结果示例。

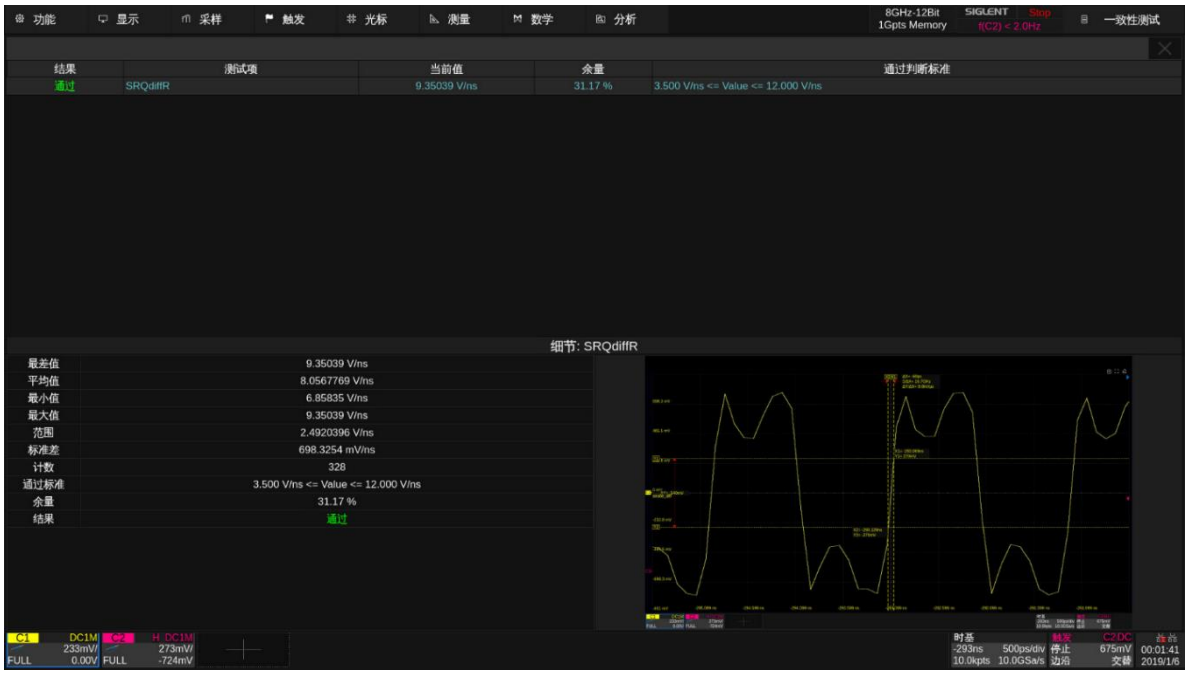


图 10.30-2 DDR3 SRQdiffR 测试示例

10.31 SRQdiffF

该项测试为 DDR3/4 所特有，该测试的目的是验证 DQS 差分信号下降沿的压摆率是否符合 JESD 规范，该测试项与 SRQdiffR 类似。其测试方法参考图 10.30-1。

10.31.1 规范说明

表 10.31-1 DDR4 SRQdiffR/F 的取值范围

Symbol	DDR4-1600/1866/2133		DDR4-2400		DDR4-2666/2933/3200		Units
SRQdiffR/F	MIN	MAX	MIN	MAX	MIN	MAX	V/ns
	8	18	8	18	8	18	

表 10.31-2 DDR3 的 SRQdiffF 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
SRQdiffF	最小值	最大值	最小值	最大值	最小值	最大值	V/ns
	5	10	5	10	5	10	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	5	10	5	12	5	12	

表 10.31-3 DDR3L 的 SRQdiffF 规格要求

参数	DDR3L-800		DDR3L-1066		DDR3L-1333		单位
SRQdiffF	最小值	最大值	最小值	最大值	最小值	最大值	V/ns
	3.5	12	3.5	12	3.5	12	
	DDR3L-1600		DDR3L-1866				
	最小值	最大值	最小值	最大值			
	3.5	12	3.5	12			

10.31.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效读时序。
3. 在上述脉冲时序中找出所有有效的数据选通下降沿，一个有效的数据选通下降沿从穿过

$V_{OHdiff(AC)}$开始，到下一个 $V_{OLdiff(AC)}$结束。

4. 对于所有的有效数据选通下降沿，计算得到 TR，即从穿过 $V_{OHdiff(AC)}$开始到穿过 $V_{OLdiff(AC)}$结束。
5. 计算得到 SRQdiffF=[$V_{OHdiff(AC)}$-$V_{OLdiff(AC)}$]/TR。
6. 找出测量结果中的最大值和最小值。
7. 将测量结果与合规限值进行比较。

10.31.3 测试结果参考

下图 10.31-1 为可观测的测试结果示例

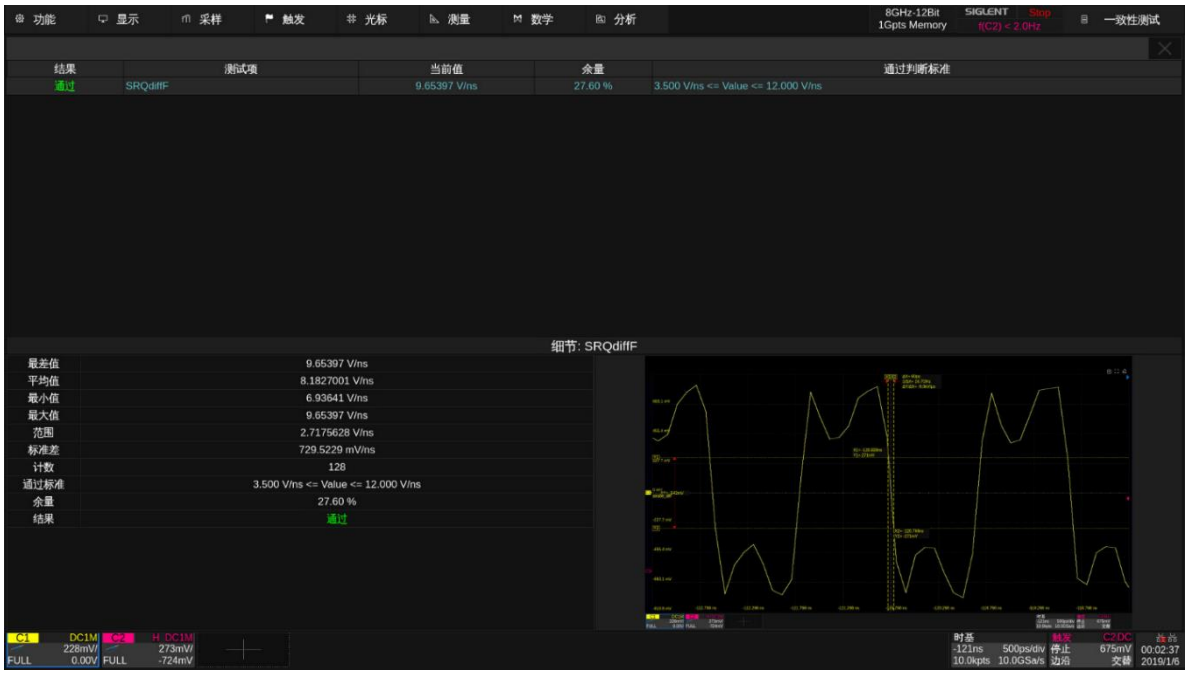


图 10.31-1 DDR3 SRQdiffF 测试示例

11 数据信号测试集

11.1 tHZ(DQ)

该测试的目的是测量数据信号(DQ)，由低阻到高阻的切换时刻到时钟跳变沿的时间，如下图 11.1-1 所示。数据信号的 tHZ 需要在读时序下进行测试，读时序如下图 11.1-3 所示。

DDR4 中该测试项和 DDR3 类似，不同之处在于 DDR3 中 DQ 空闲状态的电平为高阻态，DDR4 中的空闲状态为高电平。数据信号的 tHZ 需要在读时序下进行测试。

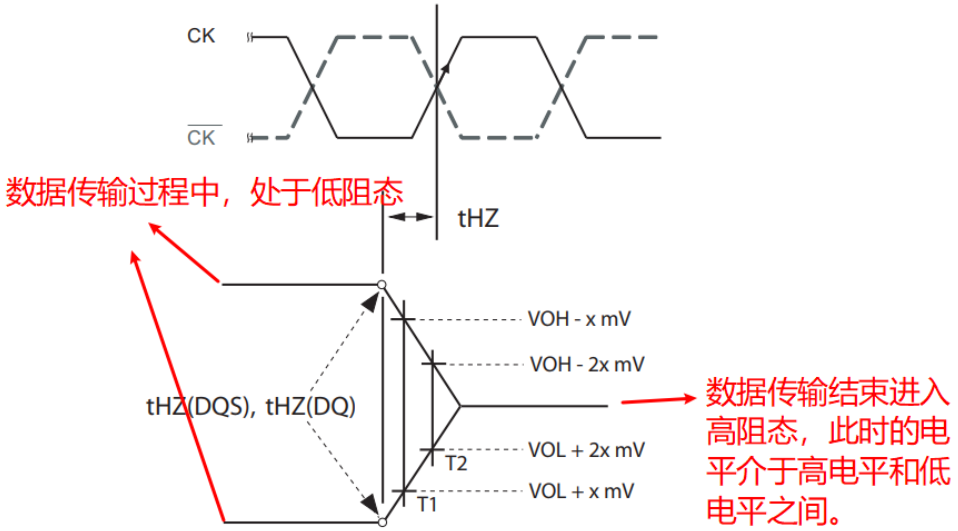


图 11.1-1 DDR3 tHZ(DQ)的定义

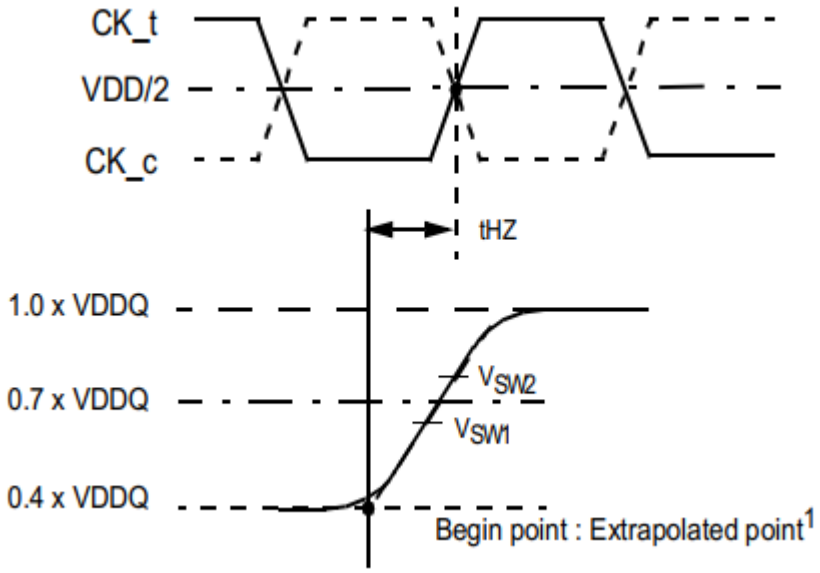


图 11.1-2 DDR4 tHZ(DQ)的定义

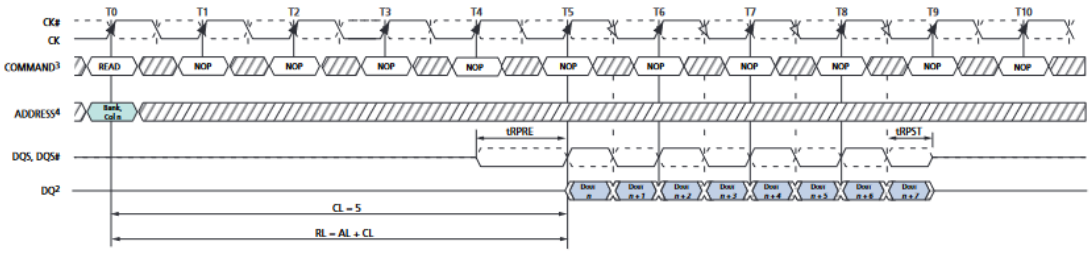


图 11.1-3 读时序

11.1.1 规范说明

表 11.1-1 DDR4 tHZ(DQ)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tHZ(DQ)	\	225	\	195	\	180	\	175	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	\	170	\	165	\	160			

表 11.1-2 DDR3 tHZ(DQ)规格要求

	规格						
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133	单位
tHZ(DQ)	最大值	最大值	最大值	最大值	最大值	最大值	ps
	400	300	250	225	195	180	

表 11.1-3 DDR2 tHZ(DQ)的规格要求

参数	DDR2		单位
	最小值	最大值	
tHZ(DQ)	-	tAC max	ps

tAC 的取值可参考表 8.1-4 DDR2 tAC 的取值范围。

11.1.2 计算方法

1. 获取并分离读写脉冲时序。

2. 对于所有有效的读时序执行下述步骤：
3. 脉冲时序的 DQS 信号上找到最后一个有效边沿时间点 $t_{LastFalling}$。
4. 以 $t_{LastFalling}$ + 0.5UI 至 $t_{LastFalling}$ + 1.5UI 为范围，统计 DQ 信号 V_{Top} 和 V_{Base}。
5. 以 V_{Top} 和 V_{Base} 之间的 80%和 20%分别为高阈值 V_{Upper} 和低阈值 V_{Lower}，从 $t_{LastFalling}$ + 1.5UI 开始，向左搜索 DQ 上升沿，该上升沿穿越高阈值和低阈值的时间点分别记为 t_{Upper} 和 t_{Lower}。
6. 点(t_{Upper}, V_{Upper})和点(t_{Lower}, V_{Lower})之间连线的延长线与 V_{Base} 的交点记为 $t_{HZBegin}$。
7. 查找最近的时钟上升沿，tHZ(DQ)是时钟上升沿交叉点与 $t_{HZBegin}$ 之间的时间间隔。
8. 将所有有效时序内的测量结果与合规限值进行比较。

11.1.3 测试结果参考

下图 11.1-4 为可观测的测试结果示例。

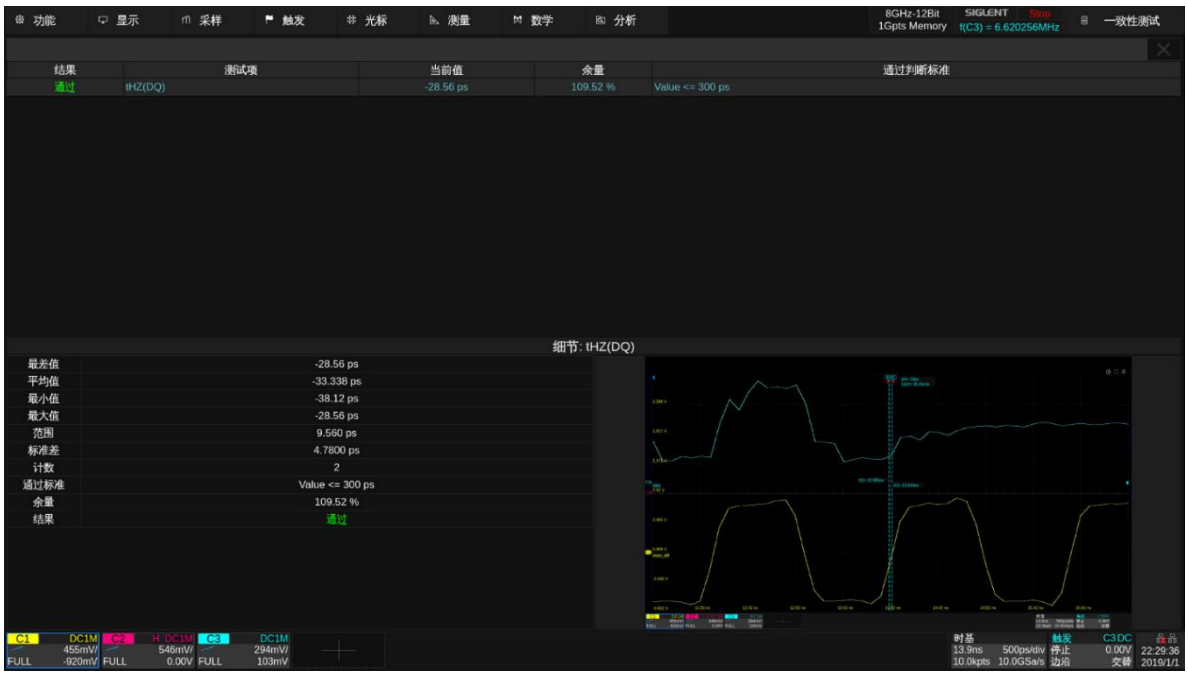


图 11.1-4 DDR3 tHZ(DQ)测试示例

11.2 tLZ(DQ)

DDR3 中该测试的目的是测量数据信号(DQ) 从高阻到低阻切换时到时钟有效跳变沿的时间，如下图 11.2-1 所示。该测试项与 tHZ(DQ) 类似，也必须在读时序下测量。

DDR4 中，该测试的目的是测量数据传输开始时，数据信号(DQ) 高电平到低电平的切换时刻到时钟跳变沿的时间，如下图所示。该测试项与 tLZ(DQS#) 类似，也必须在读时序下测量。

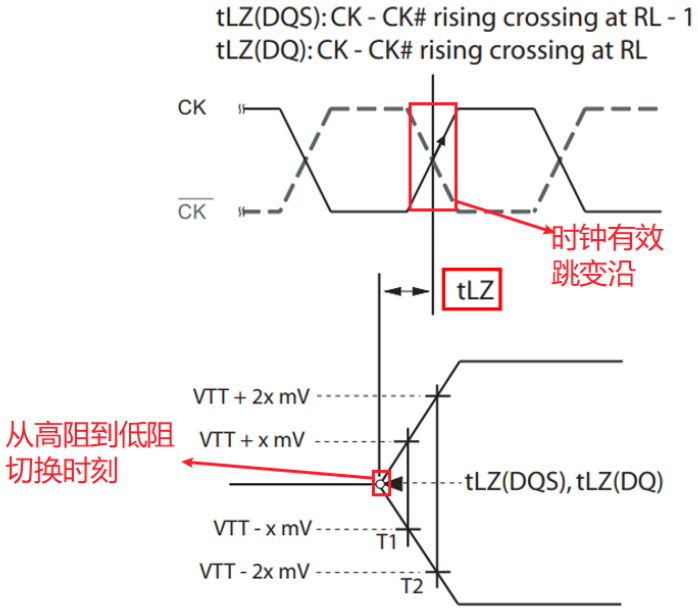


图 11.2-1 DDR3 tLZ(DQ)的时序定义

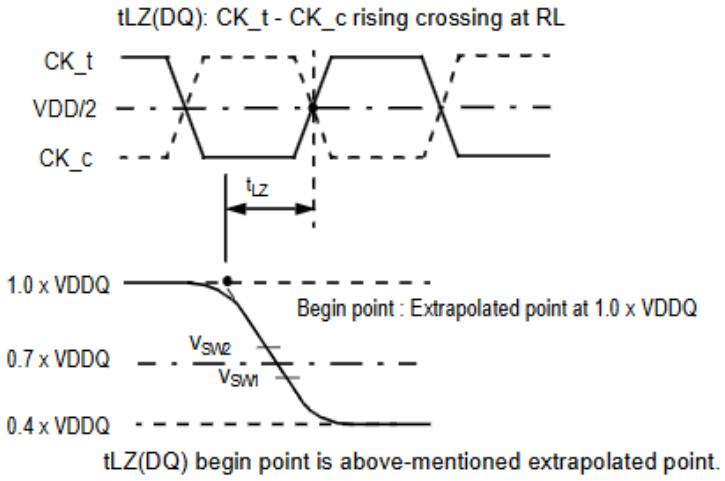


图 11.2-2 DDR4 tLZ(DQ)的时序定义

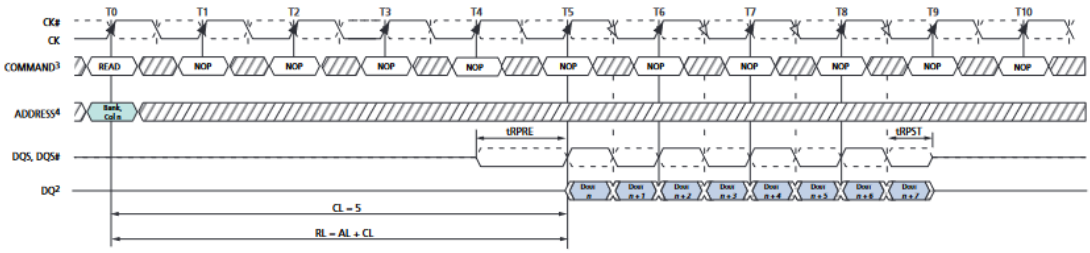


图 11.2-3 读时序

11.2.1 规范说明

表 11.2-1 DDR4 tLZ(DQ)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tLZ(DQ)	-450	225	-390	195	-360	180	-330	175	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-310	170	-280	165	-250	160			

表 11.2-2 DDR3 tLZ(DQ)规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tLZ(DQ)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	-800	400	-600	300	-500	250	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	-450	255	-390	195	-360	180	

表 11.2-3 DDR2 tLZ(DQ)的取值范围

参数	DDR2		单位
	最小值	最大值	
tLZ(DQ)	2*tAC min	tAC max	ps

tAC 的取值可参考表 8.1-4 DDR2 tAC 的取值范围。

11.2.2 计算方法

1. 获取并分离读写时序
2. 找到一个有效读时序。
3. 在上述脉冲时序的 DQS 信号上找到第一个有效的上升沿时间点记为 $t_{FirstRising}$。
4. 以 $t_{FirstRising}$ – 1.0UI 至 $t_{FirstRising}$ + 0.5UI 为范围，统计 DQ 信号的 V_{Top} 和 V_{Base}。
5. 以 V_{Top} 和 V_{Base} 之间的 80%和 20%分别为高阈值 V_{Upper} 和低阈值 V_{Lower}，从 $t_{FirstRising}$ + 0.5UI 开始，向左搜索 DQ 信号跳变沿，该边沿穿越高阈值和低阈值的时间点分别记为 t_{Upper} 和 t_{Lower}。
6. 点(t_{Upper}, V_{Upper})和点(t_{Lower}, V_{Lower})之间连线的延长线与 VTT 的交点记为 $t_{LZBegin}$。
7. 查找最近的时钟上升沿，tLZ(DQ) 是时钟上升沿交叉点与 $t_{LZBegin}$ 之间的时间间隔。
8. 将所有有效时序内的测量结果与合规限值进行比较。

11.2.3 测试结果参考

下图 11.2-4 为可观测的测试结果示例。



图 11.2-4 DDR3 tLZ(DQ)测试示例

11.3 tDQSQ

tDQSQ 表示读时序下 DQS 有效跳变沿和 DQ 有效跳变沿之间的时间间隔，测试中取最大的间隔值和 JESD 规范阈值作比较。DDR4 中该测试方法与 DDR3 一样，区别在于 DQ 信号的取值点会根据一致性测试中的配置的不同而不同，主要两中选择，如下图所示：



图 11.3-1 设置项说明

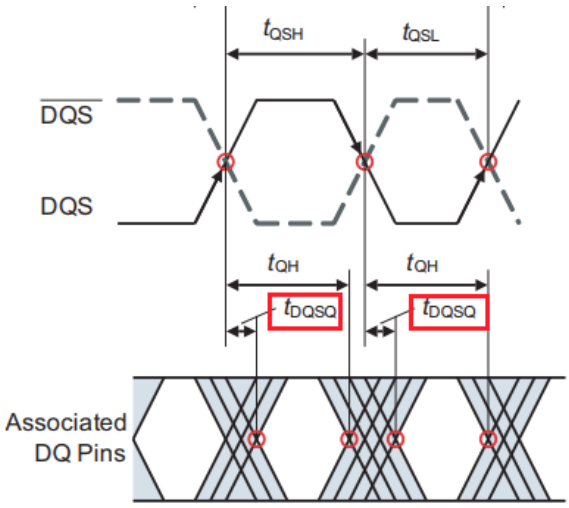


Figure 27 — READ Timing Definition

图 11.3-2 tDQSQ 的定义

11.3.1 规范说明

表 11.3-1 DDR4 tDQSQ 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDQSQ	\	0.16	\	0.16	\	0.16	\	0.17	tCK(avg)/2
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	\	0.18	\	0.19	\	0.2			

表 11.3-2 DDR3 tDQSQ 规格要求

符号	DDR3-800		DDR3-1066		DDR3-1333		单位
tDQSQ	最小值	最大值	最小值	最大值	最小值	最大值	ps
	-	200	-	150	-	125	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	-	100	-	85	-	75	

表 11.3-3 DDR2 tDQSQ 规格要求

符号	DDR2-400		DDR2-533		DDR2-667		单位
tDQSQ	最小值	最大值	最小值	最大值	最小值	最大值	ps
	-	350	-	300	-	240	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	-	200	-	175			

11.3.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效的读时序，该时序不包含前后导码的范围。
3. 在上述脉冲时序中找出所有有效 DQ 上升沿和下降沿穿过参考电平的交叉点
4. 对于找到的所有 DQ 交叉点，找出最近的 DQS 交叉点。
5. tDQSQ 为 DQ 交叉点与 DQS 交叉点之间的时间差。

6. 找出测量结果中的最小值和最大值。

7. 将测量结果与合规限值进行比较。

11.3.3 测量结果参考

下图 11.3-3 为可观测的测试结果示例。



图 11.3-3 DDR3 tDQSQ 测试示例

11.4 tQH

tQH 是 DQ 相对于 DQS 有效跳变沿的保持时间。该测试的目的是验证此保持时间是否在 JESD 规范规定的标准之内。tQH 为读时序下的时序参数。

在 DDR4 中 tQH 为 DQ 引脚的输出保持时间，Vcent_DQ 的值也有两种选项：即眼图最宽的位置和使用 Vref 的值。如果 Vcent_DQ 模式为眼图最宽处，则先绘制眼图并计算 Vcent_DQ，否则使用 VrefDQ.Read 作为阈值。

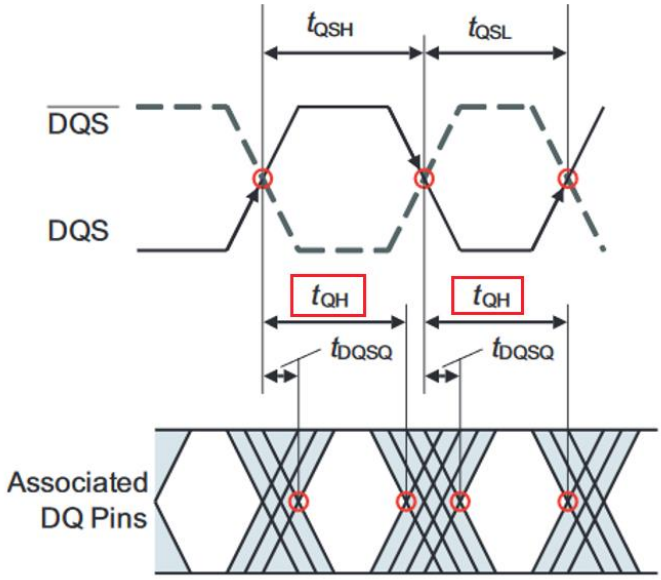


图 11.4-1 tQH 的定义

11.4.1 规范说明

表 11.4-1 DDR4 tQH 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tQH	0.76	-	0.76	-	0.76	-	0.74	-	tCK(avg)/2
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.74	-	0.72	-	0.7	-			

表 11.4-2 DDR3 tQH 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tQH	最小值	最大值	最小值	最大值	最小值	最大值	tCK(avg)
	0.38	-	0.38	-	0.38	-	

	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	0.38	-	0.38	-	0.38	-	

表 11.4-3 DDR2 tQH 规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tQH	最小值	最大值	最小值	最大值	最小值	最大值	ps
	tHP-tQHS	-	tHP-tQHS	-	tHP-tQHS	-	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	tHP-tQHS	-	tHP-tQHS	-			

注： tHP 是时钟的半周期宽度 = Min(tCH(abs),tCL(abs))。tQHS 是读时序下 DQS 与 DQ 之间允许的偏移值。读时序时，理想情况下的 DQS 与 DQ 之间应该是边沿对齐的，但实际因为抖动或者走线等各种因素，它们之间的边沿存在一定的偏移。保持时间 tQH 的最小值=tHP-tQHS，即实际的保持时间至少要大于等于 CLK 半周期扣除允许偏移量后的值。

11.4.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的读时序。
3. 在上述脉冲时序中找出所有有效 DQ 上升沿和下降沿穿过参考电平的交叉点。
4. 对于找到的所有 DQ 交叉点，找出 DQ 交叉点最近的 DQS 交叉点的前一个 DQS 交叉点。
5. tQH 为 DQ 交叉点与 DQS 交叉点之间的时间差。
6. 找出测量结果中的最小值和最大值。
7. 将测量结果与合规限值进行比较。

11.4.3 测量结果参考

下图 11.4-2 为可观测的测试结果示例。



图 11.4-2 DDR3 tQH 测试示例

11.5 tDS.DQ(base)

tDS 是数据信号 DQ 相对于 DQS 的建立时间，该测试的目的是验证 tDS 是否在 JESD 规范规定的基础值标准之内。tDS (total setup time) = tDS(base) + ΔtDS。tDS(base)是数据手册中给出的基准值，通常基于标称斜率（例如 DQS 2 V/ns 和 DQ 1 V/ns）定义的。ΔtDS 是降额值，用于根据 DQ 和 DQS 的实际信号斜率调整 tDS(base)。ΔtDS 的值，通常通过查表获得，例如 DDR3_JESD79-3F 规范文档中的 table 77、table78 等。

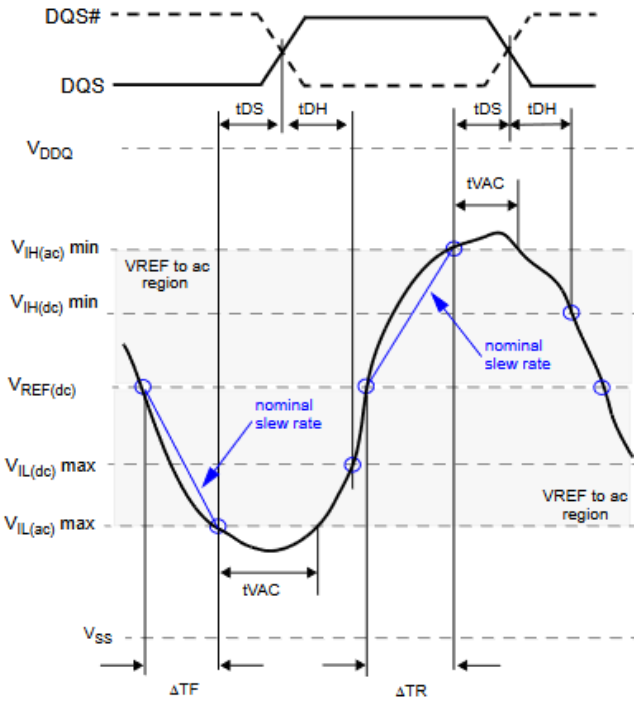


图 11.5-1 tDS 的定义

11.5.1 规范说明

在 DDR3 中，tDS.DQ(base)的限值根据所选择的数据速率以及 AC 电平的不同而不同。具体请参考 JESD79-3F Table 76，JESD79-3-1A-01 Table 12。

DDR2 的规格要求如下表所示：

表 11.5-1 DDR2 DQS 为差分信号时 tDS.DQ(base)的规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tDS.DQ(base)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	150	-	100	-	100	-	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	50	-	0	-			

11.5.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 上升沿与 $V_{IH(AC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DQ 下降沿与 $V_{IL(AC)}$相交的交叉点。
5. 找出所有 DQ 交叉点的下一个 DQS 与 0V 交叉点。
6. tDS 定义为 DQ 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

11.5.3 测量结果参考

下图 11.5-2 为可观测的测试结果示例。



图 11.5-2 DDR3 tDS.DQ(base)测试示例

11.6 tDS.DQ(derate)

该测试的目的是验证数据信号 DQ 相对于 DQS 的建立时间 tDS 是否在 JEDEC 规范规定降额后的标准之内。

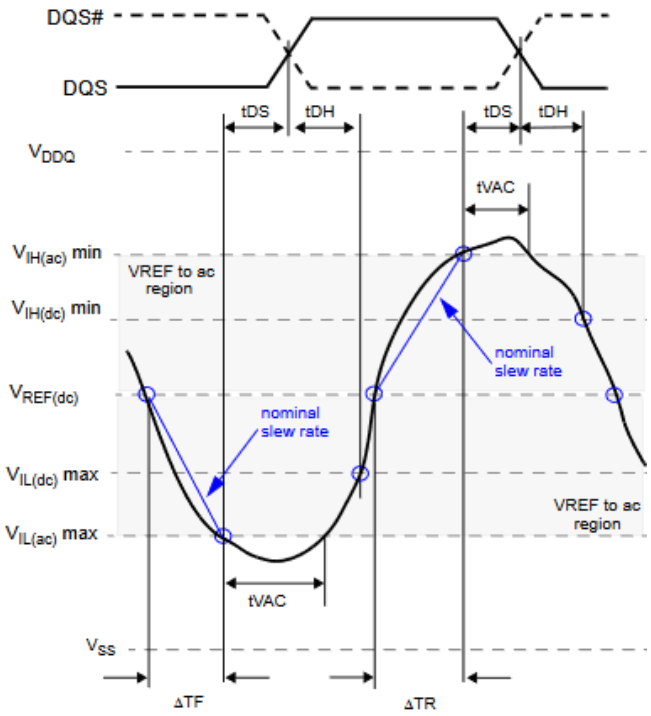


图 11.6-1 tDS 和 tDH 的定义

11.6.1 规范说明

在 DDR3 中，tDS.DQ(derate)的限值根据 DQ 和 DQS 差分信号的压摆率以及 AC 的不同而改变。具体请参考 JESD79-3F Table 77、Table 78 等, JESD79-3-1A-01 Table 13、Table 14 等。

在 DDR2 中，tDS.DQ(derate)的限值根据 DQ 和 DQS 差分信号的压摆率以及 DQS 是差分还是单端而改变。具体请参考 DDR2.JESD79-2F Table 44、Table 45 等, DDR2.1066.JESD208 Table 42。

11.6.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 上升沿与 $V_{IH(AC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DQ 下降沿与 $V_{IL(AC)}$相交的交叉点。
5. 找出所有 DQ 交叉点的下一个 DQS 与 0V 交叉点。

6. tDS 定义为 DQ 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 测量 DQ 和 DQS 的平均压摆率。
9. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
10. tDS.DQ(derate) min=tDS.DQ(base)+ ΔtDS。
11. 将测量结果与合规限值进行比较。

11.6.3 测量结果参考

下图 11.6-2 为可观测的测试结果示例。



图 11.6-2 DDR3 tDS.DQ(derate)测试示例

11.7 tDH.DQ(base)

该测试的目的是验证数据信号 DQ 相对于 DQS 的保持时间 tDH 是否在 JEDEC 规范规定的基础值标准之内。tDH(total hold time) = tDH(base) + ΔtDH。tDH(base)是数据手册中给出的基准值，通常基于标称斜率（例如 DQS 2V/ns 和 DQ 1V/ns）定义的。ΔtDH 是降额值，用于根据 DQ 和 DQS 的实际信号斜率调整 tDH(base)。

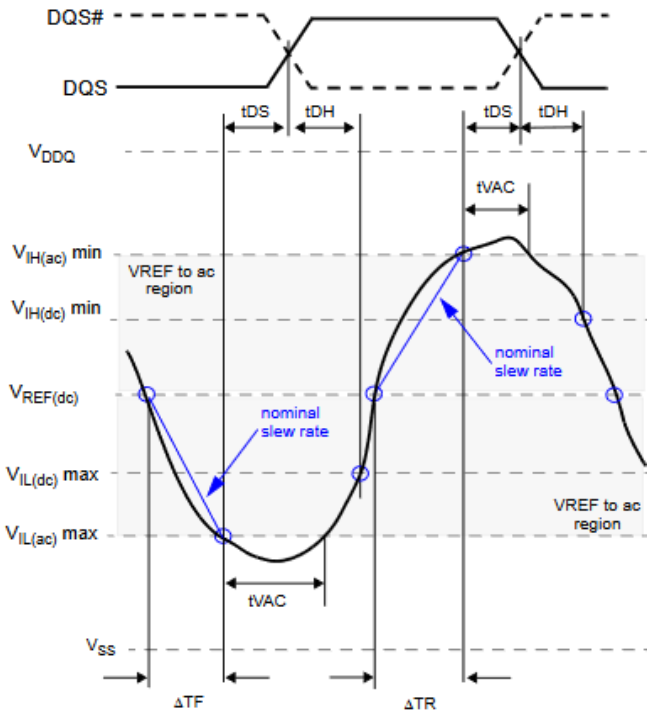


图 11.7-1 tDH 的定义

11.7.1 规范说明

DDR3 中，tDH.DQ(base)的限值根据所选择速率的不同而不同。具体请参考 JESD79-3F Table 76，JESD79-3-1A-01 Table 12。DDR2 的规格要求如下表所示：

表 11.7-1 DQS 为差分信号时 tDH.DQ(base)规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tDH.DQ(base)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	275	-	225	-	175	-	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	125	-	75	-			

11.7.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 上升沿与 $V_{IL(DC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DQ 下降沿与 $V_{IH(DC)}$相交的交叉点。
5. 找出所有 DQ 交叉点的前一个 DQS 与 0V 交叉点。
6. tDH 定义为 DQ 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

11.7.3 测量结果参考

下图 11.7-2 为可观测的测试结果示例。



图 11.7-2 DDR3 tDH.DQ(base)测试示例

11.8 tDH.DQ(derate)

该测试的目的是验证 DQ 相对于 DQS 的保持时间 tDH 是否在 JEDEC 规范规定降额后的标准之内。

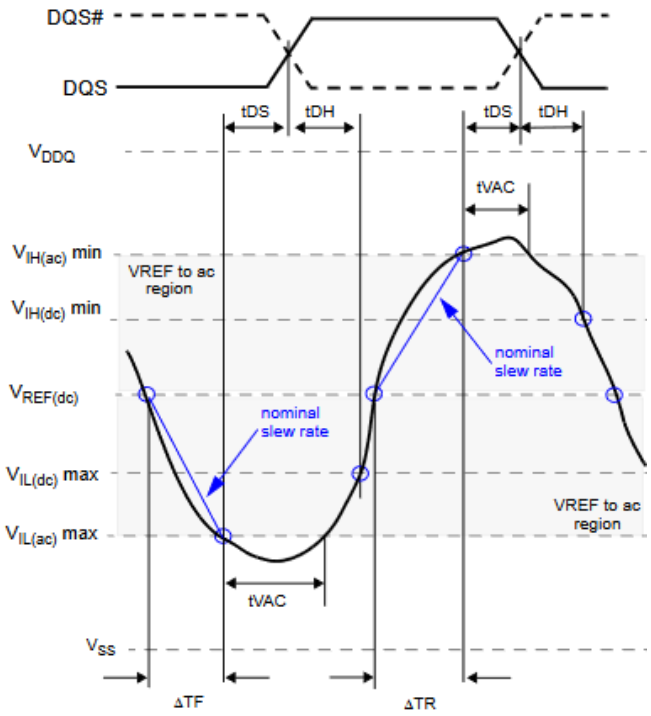


图 11.8-1 tDH 的定义

11.8.1 规范说明

在 DDR3 中，tDH.DQ(derate)的限值根据 DQ 和 DQS 的压摆率的不同以及 AC 的不同而改变。具体请参考 JESD79-3F Table 77、Table 78, JESD79-3-1A-01 Table 13、Table 14 等。

在 DDR2 中，tDH.DQ(derate)的限值根据所选择速率的不同以及 DQS 是差分还是单端的不同而改变。具体请参考 DDR2.JESD79-2F Table 44、Table 45 等, DDR2.1066.JESD208 Table 42。

11.8.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 上升沿与 $V_{IL(DC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DQ 下降沿与 $V_{IH(DC)}$相交的交叉点。
5. 找出所有 DQ 交叉点的前一个 DQS 与 0V 交叉点。
6. tDS 定义为 DQ 交叉点与 DQS 交叉点之间的时间。

7. 找出测量结果中的最小值和最大值。
8. 测量 DQ 和 DQS 的平均压摆率。
9. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
10. tDH.DQ(derate) min=tDH.DQ(base)+ ΔtDH。
11. 将测量结果与合规限值进行比较。

11.8.3 测量结果参考

下图 11.8-2 为可观测的测试结果示例。



图 11.8-2 DDR3 tDH.DQ(derate)测试示例

11.9 tDVWp

该测试项为 DDR4 所特有，该时序参数测试的是读时序下单位 UI 上数据的有效宽度，它定义的是在一个单位 UI 内，数据信号在时序上稳定、有效的那个时间段。tDVWp= tQH – tDQSQ。

11.9.1 规范说明

表 11.9-1 DDR4 tDVWp 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDVWp	0.66	-	0.66	-	0.69	-	0.72	-	UI
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.72	-	0.72	-	0.72	-			

11.9.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效读时序。
3. 如果配置中，Vcent_DQ 来自眼图，则以读时序的 DQ 波形绘制眼图，并计算 Vcent_DQ，否则采用设置中的设定值作为 Vcent_DQ。
4. 在所有读时序的不包含前后导码的范围内，以 Vcent_DQ 为搜索阈值，搜索 DQ 信号脉冲，其脉冲宽度即为测量值；
5. 找出测量结果的最小值和最大值。
6. 将测量结果与合规限值进行比较。

11.9.3 测量结果参考

下图 11.10-1 为可观测的测试结果示例。



图 11.9-1 DDR4 tDVWp 测试示例

11.10 tDIPW(DQ)

tDIPW(DQ)是测量 DQ 信号的输入脉冲宽度，验证其是否满足 JESD 规范。在写时序下测量。

11.10.1 规范说明

表 11.10-1 DDR4 tDIPW(DQ)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDIPW(DQ)	0.58	-	0.58	-	0.58	-	0.58	-	tCK(avg)min/2
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.58	-	0.58	-	0.58	-			

表 11.10-2 DDR3 tDIPW(DQ)规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tDIPW(DQ)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	600	-	490	-	400	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	360	-	320	-	280	-	

表 11.10-3 DDR2 tDIPW(DQ)的规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tDIPW(DQ)	最小值	最大值	最小值	最大值	最小值	最大值	tCK(avg)
	0.35	-	0.35	-	0.35	-	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	0.35	-	0.35	-			

11.10.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有 DQ 有效的上升沿和下降沿穿过参考电平的点。

4. tDPIW 是指 DQ 从一个上升沿/下降沿开始到下一个下降沿/上升沿结束的时间。
5. 找出测量结果的最小值和最大值。
6. 将测量结果与合规限值进行比较。

11.10.3 测量结果参考

下图 11.10-1 为可观测的测试结果示例。



图 11.10-1 DDR3 tDIPW(DQ)测试示例

11.11 tDQS2DQ

该测试项为 DDR4 特有，tDQS2DQ 定义为写时序下接收模板水平中心至 DQS 边沿的时间差，正常情况下接收模板水平中心至 DQS 边沿是对齐的，但实际情况下，他们之间有一定的偏差。如下图所示：

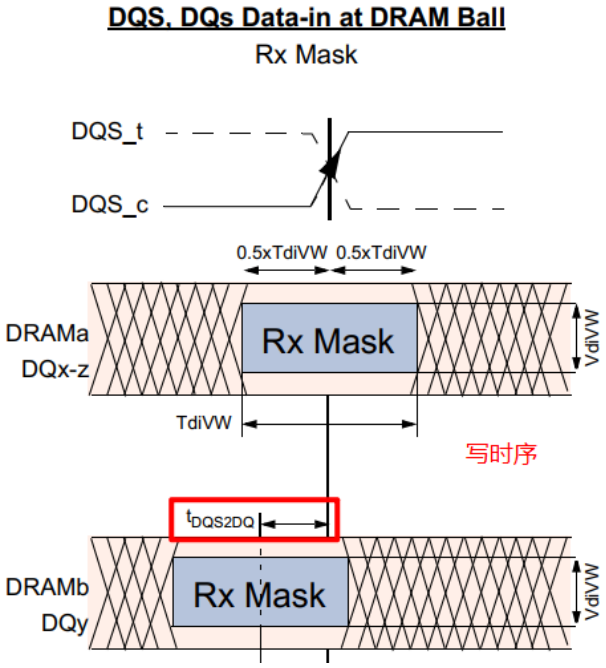


图 11.11-1 tDQS2DQ 的定义

11.11.1 规范说明

表 11.11-1 DDR4 tDQS2DQ 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tDQS2DQ	-0.17	0.17	-0.17	0.17	-0.17	0.17	-0.17	0.17	tCK(avg)min/2
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-0.19	0.19	-0.22	0.22	-0.22	0.22			

11.11.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 对于所有的写时序，以 DQS 边沿为参考，绘制得到 DQ 信号的眼图；

4. 在 DQ 眼图中计算得到 Vcent_DQ；
5. 以 Vcent_DQ 所对应的垂直坐标为准，从眼图水平中心开始，向左搜索得到第一个眼图非零的水平坐标 xLeft，向右搜索得到第一个眼图非零的水平坐标 xRight；则 xMid = 0.5 * (xLeft + xRight)，xMid 所对应的时间即为 tDQS2DQ。
6. 找出测量结果的最小值和最大值。
7. 将测量结果与合规限值进行比较。

11.11.3 测量结果参考

下图 11.11-2 为可观测的测试结果示例。



图 11.11-2 DDR4 tDQS2DQ 测试示例

11.12 VOH

在 DDR4 中 VOH 测量 DQ 信号的输出高电平，此测量在规范中并没给出明确的阈值要求，测试结果仅供参考。

11.12.1 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效读时序。
3. 找出所有有效正脉冲。
4. 对于每一个正脉冲执行 V_{TOP} 测量，将 V_{TOP} 测量结果作为 V_{OH} 值。
5. 找出所有测量结果中的最小值。
6. 将其与合规限值进行比较。

11.12.2 测量结果参考

下图 11.12-1 为可观测的测试结果示例。



图 11.12-1 DDR4 VOH 测试示例

11.13 VOL

DDR4 中 VOL 测量 DQ 信号的输出低电平，和 VOH 类似，也不分 AC 和 DC 两部份，该项测量也无明确的阈值要求，测试结果仅供参考。

11.13.1 计算方法

1. 获取并分离读写时序。
2. 找到一个有效读时序。
3. 找出所有有效负脉冲。
4. 对所有负脉冲执行 V_{Base} 测量。将 V_{Base} 测量结果作为 V_{OL} 值。
5. 找出所有测量结果中的最大值。
6. 将其与合规限值进行比较

11.13.2 测量结果参考

下图 11.13-1 为可观测的测试结果示例。



图 11.13-1 DDR4 VOL 测试示例

11.14 VIHL(AC)

该测试项为 DDR4 所特有，VIHL(AC)为 DQ 输入信号的电压摆幅大小。该测试项并不是直接测试 DQ 信号的峰峰值，它先测试出每个正负脉冲的峰值，再用峰值减去 Vcent_DQ，取其绝对值，然后乘以 2，取这些结果中的最小值与规范阈值比较。

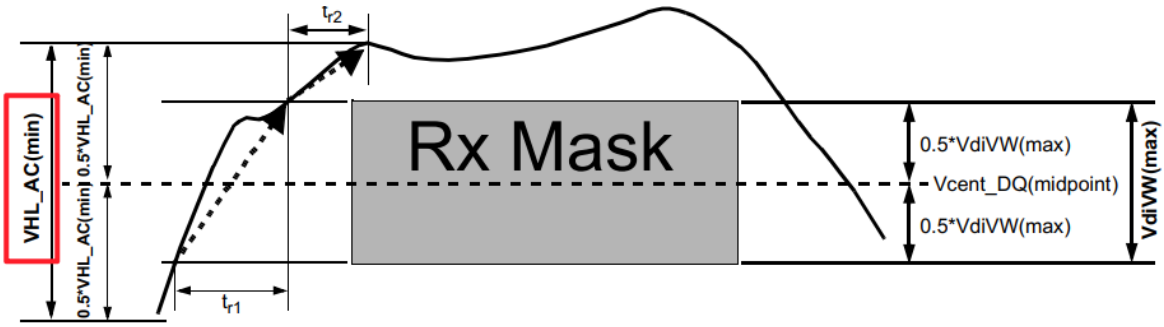


图 11.14-1 DDR4 中 VIHL(AC)的定义

11.14.1 规范说明

表 11.14-1 DDR4 VIHL(AC)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIHL(AC)	186	-	186	-	186	-	160	-	mV
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	150	-	145	-	140	-			

11.14.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效读时序。
3. 根据用户的配置来选择 Vcent_DQ 的值：选择来自于眼图的测量结果，或者来自于配置中的 VRefDQ.Write 值。
4. 如果 Vcent_DQ 来自于眼图，则会先计算眼图，否者直接取配置值。
5. 搜索时序内有效的 DQ 信号脉冲，统计脉冲的峰值记为 vPeak。
6. 测量结果为 2 * abs(vPeak – Vcent_DQ)。

7. 统计所有写时序下所有有效的测量结果。

8. 找出测量结果中的最小值，将其与合规限值进行比较。

11.14.3 测量结果参考

下图 11.14-2 为可观测的测试结果示例。



图 11.14-2 DDR4 VIHL(AC)测试示例

11.15 srr1

DDR4 的 DQ 输入信号上升沿的压摆率分为两部分，分别是 ssr1 和 ssr2，其测试方法如下图所示，由 Vcent_DQ 为中心上下各取 0.5VdiVW(max)，以此测量 ssr1，srr1 = VdIVW(max) / tr1。

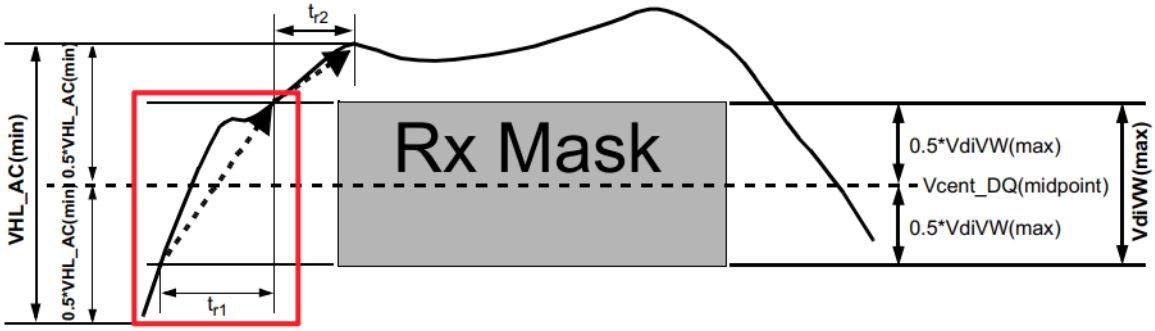


图 11.15-1 DDR4 中 srr1 的定义

11.15.1 规范说明

该项测试和 VdiVW(max)的取值有关，VdiVW 的取值范围如下表所示：

表 11.15-1 DDR4 VdiVW 的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VdiVW	-	136	-	136	-	136	-	130	mV
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-	120	-	115	-	110			

srr1 的阈值范围根据 tCK 的大小分为两部分，当 tCK>=0.937ns 时，阈值范围如下表所示：

表 11.15-2 DDR4 srr1 的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
srr1	1.0	9	1.0	9	1.0	9	1.0	9	V/ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	1.0	9	1.0	9	1.0	9			

当 0.625ns<=tCK<0.937ns 时，即 DDR4 速率较高时，阈值范围如下表所示：

表 11.15-3 DDR4 srr1 的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
srr1	-	-	-	-	-	-	1.25	9	V/ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	1.25	9	1.25	9	1.25	9			

11.15.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 根据用户的配置来选择 Vcent_DQ 的值：选择来自于眼图的测量结果，或者来自于配置中的 VRefDQ.Write 值。
4. 以 Vcent_DQ 为中心上下各取 0.5VdiVW(max)，分别记为 V1 和 V2。
5. V1 和 V2 与有效写时许上升沿的交点分别记为 t1、t2。tr1=t1-t2
6. 对于所有的有效上升沿，计算得到时间 tr1，即从穿过 Vcent_DQ - 0.5VdiVW(max)开始到穿过 Vcent_DQ + 0.5VdiVW(max)结束的时间。
7. 计算得到 srr1 = VdIVW(max) / tr1。
8. 找出测量结果中的最大值和最小值。
9. 将测量结果与合规限值进行比较。

11.15.3 测量结果参考

下图 11.15-2 为可观测的测试结果示例。



图 11.15-2 DDR4 srr1 测试示例

11.16 srr2

srr2 和 srr1 类似，也是测量 DQ 输入信号上升沿的压摆率，只不过该项测试是测量 Vcent_DQ ± 0.5VdiVW(max)之外的部分的压摆率，srr2 = (VIHL_AC(min) – VdIVW(max)) / (2*tr2)。其测试方法如下图所示：

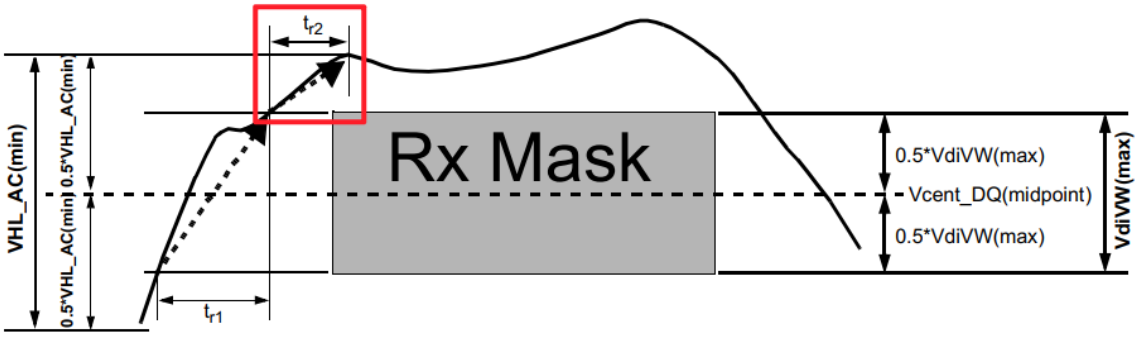


图 11.16-1 DDR4 中 srr2 的定义

11.16.1 规范说明

该测试会用到 VIHL_AC(min)和 VdIVW(max)，这两个参数的取值请参考 11.14 项和 11.15 项中的相应取值列表。srr2 的阈值范围如下表所示：其中 srr2 的 min 值为 0.2*srr1，其中的 srr1 为测量结果中的 mean 值，即将 srr1 测试项中的测试结果中的 mean 值乘以 0.2。

表 11.16-1 DDR4 srr2 的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
srr2	0.2*srr1	9	0.2*srr1	9	0.2*srr1	9	0.2*srr1	9	V/ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.2*srr1	9	0.2*srr1	9	0.2*srr1	9			

11.16.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 根据用户的配置来选择 Vcent_DQ 的值：选择来自于眼图的测量结果，或者来自于配置中的 VRefDQ.Write 值。

4. 以 Vcent_DQ 为中心向上取 0.5*VdiVW(max)和 0.5*VIHL_AC(min)，分别记为 V1 和 V2。
5. V1 和 V2 与有效写时许上升沿的交点分别记为 t1、t2。tr2 = t2 - t1。
6. 对于所有的有效上升沿，计算得到时间 tr2，即从穿过 Vcent_DQ + 0.5*VdiVW(max)开始到穿过 Vcent_DQ + 0.5*VIHL_AC(min)结束的时间。
7. 计算得到 srr2 = (VIHL_AC(min) - VdIVW(max)) / (2*tr2)。
8. 找出测量结果中的最大值和最小值。
9. 将测量结果与合规限值进行比较。

11.16.3 测量结果参考

下图 11.16-2 为可观测的测试结果示例。



图 11.16-2 DDR4 srr2 测试示例

11.17 srf1

DDR4 的 DQ 输入信号下降沿的压摆率分为两部分，分别是 srf1 和 srf2，其测试方与 srr1 和 srr2 类似，具体测试方法如下图所示。其以 Vcent_DQ 为中心上下各取 0.5VdiVW(max)，以此测量 srf1，srf1 = VdIVW(max) / tf1。

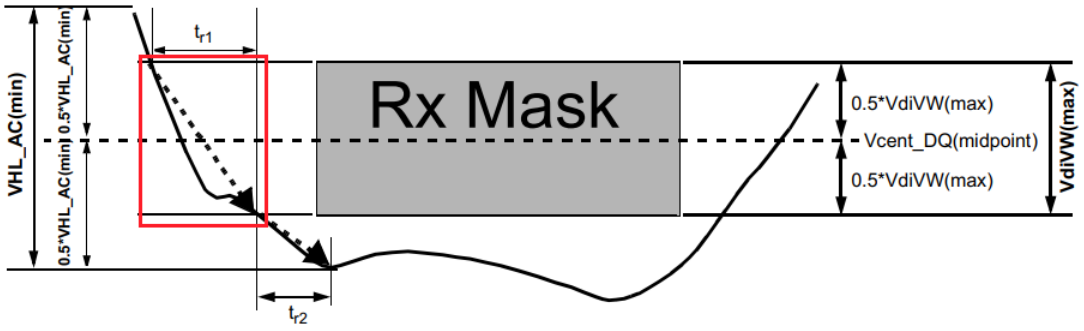


图 11.17-1 DDR4 中 srf1 的定义

11.17.1 规范说明

该项测试和 VdiVW(max)的取值有关，VdiVW 的取值范围可参考 11.5 节列表中的内容。

srf1 的阈值范围和 srr1 一样。根据 tCK 的大小分为两部分，当 tCK>=0.937ns 时，srf1 阈值范围如下表所示:

表 11.17-1 DDR4 srf1 的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
srf1	1.0	9	1.0	9	1.0	9	1.0	9	V/ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	1.0	9	1.0	9	1.0	9			

当 0.625ns<=tCK<0.937ns 时，即 DDR4 速率较高时，srf1 阈值范围如下表所示：

表 11.17-2 DDR4 srf1 的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
srf1	-	-	-	-	-	-	1.25	9	V/ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	1.25	9	1.25	9	1.25	9			

11.17.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 根据用户的配置来选择 Vcent_DQ 的值：选择来自于眼图的测量结果，或者来自于配置中的 VRefDQ.Write 值。
4. 以 Vcent_DQ 为中心上下各取 0.5VdiVW(max)，分别记为 V1 和 V2。
5. V1 和 V2 与有效写时序下降沿的交点分别记为 t1、t2。tf1=t2-t1
6. 对于所有的有效下降沿，计算得到时间 tf1，即从穿过 Vcent_DQ + 0.5VdiVW(max)开始到穿过 Vcent_DQ - 0.5VdiVW(max)结束的时间。
7. 计算得到 srf1 = VdIVW(max) / tf1。
8. 找出测量结果中的最大值和最小值。
9. 将测量结果与合规限值进行比较。

11.17.3 测量结果参考

下图 11.17-2 为可观测的测试结果示例。



图 11.17-2 DDR4 srf1 测试示例

11.18 srf2

srf2 和 srf1 类似，也是测量 DQ 输入信号下降沿的压摆率，只不过该项测试是测量 Vcent_DQ ± 0.5VdiVW(max)之外的部分的压摆率，srf2 = (VIHL_AC(min) – VdIVW(max)) / (2*tf2)。其测试方法如下图所示：

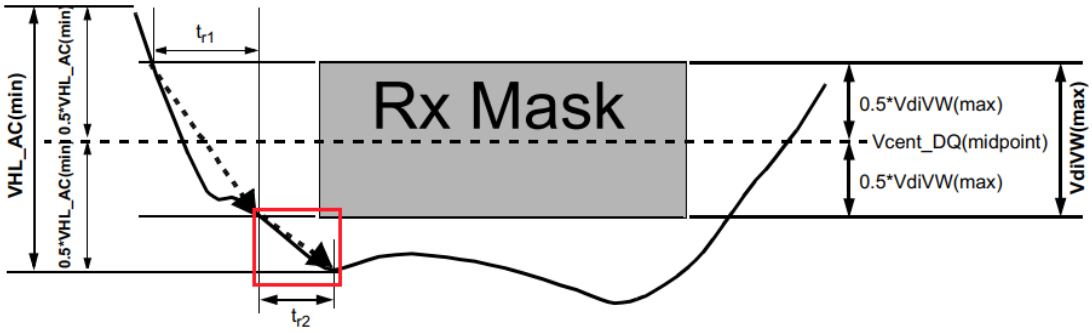


图 11.18-1 DDR4 中 srf2 的定义

11.18.1 规范说明

该测试会用到 VIHL_AC(min)和 VdIVW(max)，这两个参数的取值请参考 11.14 项和 11.15 项中的相应取值列表。srf2 的阈值范围如下表所示：其中 srf2 的 MIN 值为 0.2*srf1，其中的 srf1 为测量结果中的 mean 值，即将 srf1 测试项中的测试结果中的 mean 值乘以 0.2。

表 11.18-1 DDR4 srf2 的规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
srf2	0.2*srf1	9	0.2*srf1	9	0.2*srf1	9	0.2*srf1	9	V/ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.2*srf1	9	0.2*srf1	9	0.2*srf1	9			

11.18.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 根据用户的配置来选择 Vcent_DQ 的值：选择来自于眼图的测量结果，或者来自于配置中的 VRefDQ.Write 值。
4. 以 Vcent_DQ 为中心向下取 0.5*VdiVW(max)和 0.5*VIHL_AC(min)，分别记为 V1 和 V2。

5. V1 和 V2 与有效写时许下降沿的交点分别记为 t1、t2。tf2 = t2 – t1。
6. 对于所有的有效下降沿，计算得到时间 tf2，即从穿过 Vcent_DQ – 0.5*VdiVW(max)开始到穿过 Vcent_DQ – 0.5*VIHL_AC(min)结束的时间。
7. 计算得到 srf2 = (VIHL_AC(min) – VdIVW(max)) / (2*tf2)。
8. 找出测量结果中的最大值和最小值。
9. 将测量结果与合规限值进行比较。

11.18.3 测量结果参考

下图 11.18-2 图 11.17-2 为可观测的测试结果示例。



图 11.18-2 DDR4 srf2 测试示例

11.19 Eye for Read/Write Burst(DQ)

该项为 DQ 读写时序下的眼图测试，用户可根据眼图的开口状态判断信号的传输质量，该项测试还用于测量写时序下的 Vcent_DQ 值，Vcent_DQ 是模板的垂直中心，其值为写时序 DQ 眼图开口最宽位置所对应的电平，主要用于设置 DQ 信号读写时序的参考电压。该测试项无具体阈值要求。

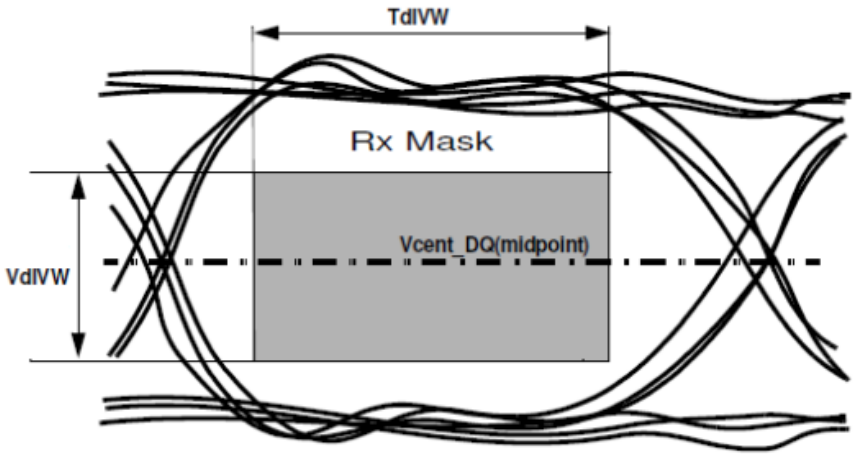
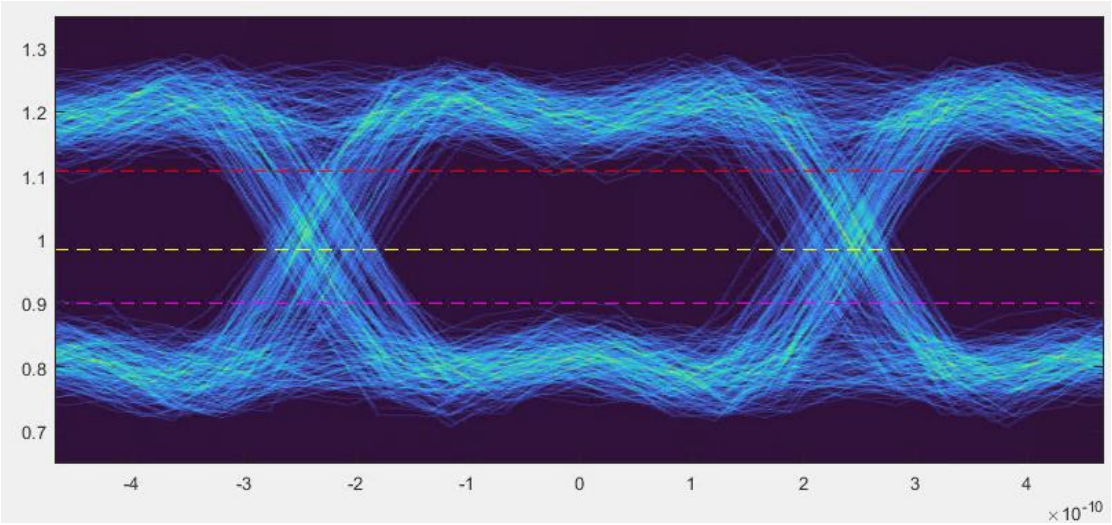


图 11.19-1 DDR4 DQ 眼图示意图

11.19.1 计算方法



1. 获取并分离读写时序。
2. 对于每一个写时序，以 DQS 边沿为参考绘制并积累 DQ 信号的眼图，如上图；
3. 在 DQ 眼图数据的水平中心，从垂直中心向上搜索得到第一个眼图非 0 的位置记为 yUpper（图中红色线），从垂直中心向下搜索得到第一个眼图非 0 的位置，记为 yLower（图中紫色线）。取 yLower 至 yUpper 的 40%位置为起始位置 yStart，60%的位置为 yEnd；
4. 从 yStart 至 yEnd 以一个像素为步长进行搜索，从水平中心开始，向左搜索得到第一个眼图非零的位置为 xLeft，向右搜索得到第一个眼图非 0 位置 xRight，则当前 y 所对应的开口宽度 width=xRight－xLeft；

5. 统计得到 yStart 至 yEnd 之间开口最大时对应的垂直位置 y，y 对应的电压值即为 Vcent_DQ（图中黄色线）

11.19.2 测量结果参考

下图 11.19-2 图 11.17-2 为可观测的测试结果示例。



图 11.19-2 DDR4 Eye for Read Burst(DQ)测试示例



图 11.19-3 DDR4 Eye for Write Burst(DQ)测试示例

11.20 tVAC(DQ)

该项测试为 DDR3 所特有，该测试的目的是验证数据信号（DQ）高电平高于 $V_{IH(AC)}$的持续时间以及低电平低于 $V_{IL(AC)}$的持续时间是否在 JESD 规范规定的一致性限制范围内。

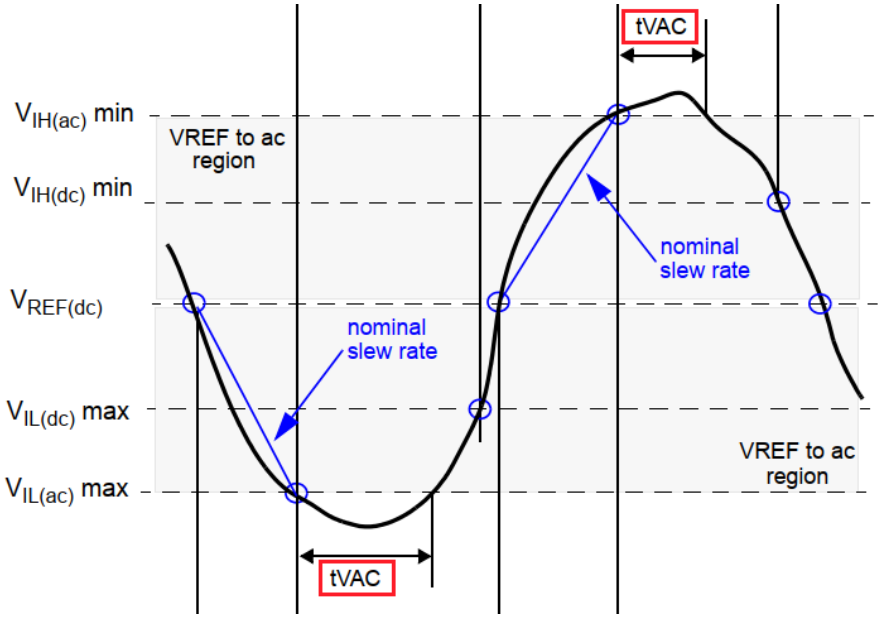


图 11.20-1 tVAC 的定义

11.20.1 规范说明

参见 JESD79-3F Table 81, JESD79-3-1A-01 Table 16。tVAC 的取值范围根据其压摆率查表可得。DDR3L 也是如此。

11.20.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述时序中所有 DQ 有效的上升沿和下降沿穿过 $V_{IH(AC)}$ 以及 $V_{IL(AC)}$ 的点。
4. tVAC 是指 DQ 上升沿穿过 $V_{IH(AC)}$的交叉点开始，到 DQ 下降沿穿过 $V_{IH(AC)}$的交叉点结束的时间，或 DQ 下降沿穿过 $V_{IL(AC)}$的交叉点开始，到 DQ 上升沿穿过 $V_{IL(AC)}$的交叉点结束的时间。
5. 统计所有测量结果的最小值和最大值。
6. 将测量结果与阈值范围比较。

11.20.3 测量结果参考

下图 11.20-2 为可观测的测试结果示例。



图 11.20-2 DDR3 tVAC(DQ)测试示例

11.21 tAC

该项测试为 DDR2 所特有，该测试的目的是验证数据输出信号（DQ 的上升沿或下降沿）到时钟信号最近的上升沿或下降沿的时间间隔是否在 JEDEC 规范规定的一致性限制范围内。即 tAC 指 DQ 相对于时钟 CK/CK#的有效输出延迟时间。

11.21.1 规范说明

表 11.21-1 DDR2 tAC 规格要求

符号	DDR2-400		DDR2-533		DDR2-667		单位
tAC	最小值	最大值	最小值	最大值	最小值	最大值	ps
	-600	600	-500	500	-450	450	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	-400	400	-350	350			

11.21.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效的读时序。
3. 找出上述脉冲串中所有 DQ 有效的上升沿和下降沿穿过 V_{ref} 的点。
4. 对于上述所有的点，找到最近的时钟上升沿穿过 0V 的点。
5. tAC 即两者的时间间隔。
6. 对所有写时序执行上述操作并统计所有有效的测试结果。
7. 找出测量结果中的最小值和最大值，并与规范中的阈值进行比较。

11.21.3 测量结果参考

下图 11.21-1 为可观测的测试结果示例。

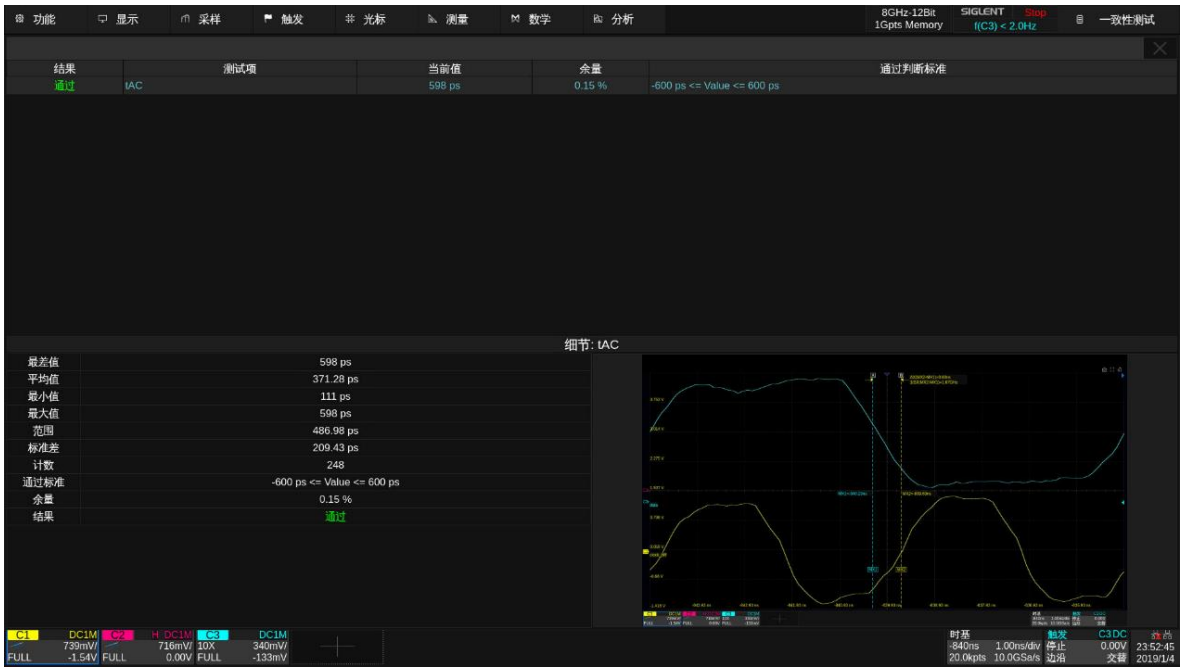


图 11.21-1 DDR2 tAC 测试示例

11.22 VIH.DQ(AC)

该测试的目的是验证 DQ 的输入交流高电平电压值是否大于 JESD 的规范值。VIH.DQ(AC)的取值范围与 Vref 有关，DDR3 的 Vref 为 0.75V；DDR3L 为 0.675V；DDR2 的 Vref 为 0.9V，V_{peak} 为该信号 Overshoot 和 Undershoot 所允许的最大峰值幅度，一般为 0.5V。

11.22.1 规范说明

DDR3 中，VIH.DQ(AC)的阈值范围根据所选择速率的不同以及 AC 电平的不同而改变，具体请参考 JESD79-3F Table 24, JESD79-3-1A-01 Table 5。

DDR2 中 VIH.DQ(AC)的阈值范围如下表所示：

表 11.22-1 DDR2 VIH.DQ(AC)规格要求

符号	DDR2-400/533		DDR2-677/800		单位
VIH.DQ(AC)	最小值	最大值	最小值	最大值	V
	V_{REF}+0.25	V_{DDQ}+V_{peak}	V_{REF}+0.2	V_{DDQ}+V_{peak}	
	DDR2-1066				
	最小值	最大值			
	V_{REF}+0.2	-			

11.22.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 上升沿与 $V_{IH(AC)}$的交叉点。
4. 对于所有的 DQ 交叉点找到下一个 DQS 穿过 0V 的交叉点。
5. 则 $V_{IH.DQ(AC)}$的值为 DQS 的交叉点向前移动 tDS 时间间隔后，DQ 的电压值。
6. 将测量结果与合规限值进行比较。

11.22.3 测试结果参考

下图 11.22-1 为可观测的测试结果示例。



图 11.22-1 DDR3 VIH.DQ(AC)测试示例

11.23 VIH.DQ(DC)

该测试的目的是验证 DQ 的 $V_{IH.DQ(DC)}$ 值是否在 JEDEC 规范规定的一致性限制范围内。DDR3 的 V_{REF} 的值为 0.75V，DDR3L 为 0.675V，DDR2 为 0.9V。用户可以根据实际的测试需求，选择使用配置中的 "阈值设置" 功能，更改 V_{REF} 值。

11.23.1 规范说明

表 11.23-1 DDR3 VIH.DQ(DC)规格要求

符号	释义	DDR3-800/1066/1333/1600/1866/2133	
		Min	Max
VIH.DQ(DC)	直流输入高电平	Vref + 0.100	VDD

表 11.23-2 DDR3L VIH.DQ(DC)规格要求

符号	释义	DDR3L-800/1066/1333/1600/1866	
		Min	Max
VIH.DQ(DC)	直流输入高电平	Vref + 0.09	VDD

表 11.23-3 DDR2 VIH.DQ(DC)规格要求

符号	DDR2		单位
VIH.DQ(DC)	Min	Max	V
	V_{REF}+0.125	V_{DDQ}+0.3	

11.23.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 上升沿与 $V_{IH(AC)}$的交叉点。
4. 对于所有的 DQ 交叉点找到下一个 DQS 穿过 0V 的交叉点。
5. 则 $V_{IH.DQ(DC)}$的值为 DQS 的交叉点向后移动 tDH 时间间隔后 DQ 的电压值。
6. 将测量结果与合规限值进行比较。

11.23.3 测试结果参考

下图 11.23-1 为可观测的测试结果示例。

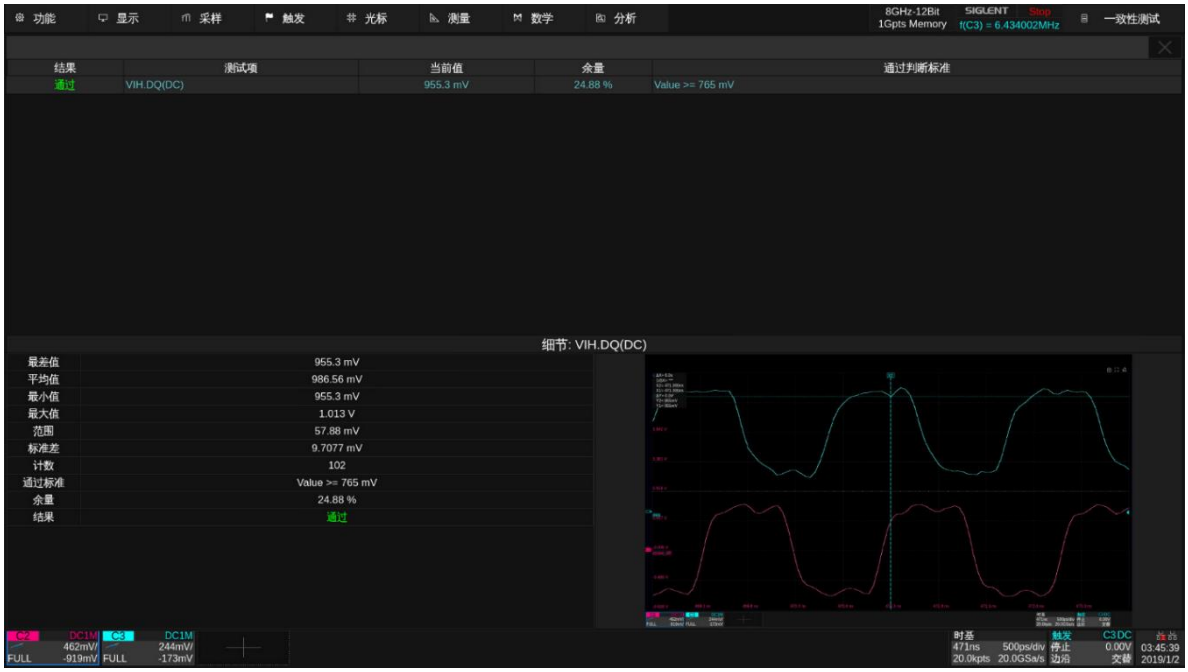


图 11.23-1 DDR3L VIH.DQ(DC)测试示例

11.24 VIL.DQ(AC)

该测试的目的是验证 DQ 的输入低电平电压值是否小于 JESD 的规范值。VIL.DQ(AC)的取值范围与 Vref 有关，DDR3 的 Vref 为 0.75V；DDR3L 为 0.675V；DDR2 为 0.9V，用户可以根据实际的测试需求，使用配置中的 "阈值设置" 功能来更改 Vref 的值。

11.24.1 规范说明

表 11.24-1 DDR2 VIL.DQ(AC)规格要求

符号	DDR2-400/533		DDR2-677/800		单位
VIL.DQ(AC)	最小值	最大值	最小值	最大值	V
	V_{SSQ}-V_{peak}	V_{REF}-0.25	V_{SSQ}-V_{peak}	V_{REF}-0.2	
	DDR2-1066				
	最小值	最大值			
	-	V_{REF}-0.2			

DDR3 中，VIL.DQ(AC)的阈值范围根据所选传输速率的不同以及 AC 的不同而改变，具体请参考 JESD79-3F Table 24, JESD79-3-1A.01 Table 5。

11.24.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 下降沿与 $V_{IL(AC)}$的交叉点。
4. 对于所有的 DQ 交叉点找到下一个 DQS 穿过 0V 的交叉点。
5. 则 $V_{IL.DQ(AC)}$的值为 DQS 的交叉点向前移动 tDS 时间间隔后，DQ 的电压值。
6. 将测量结果与合规限值进行比较。

11.24.3 测试结果参考

下图 11.24-1 为可观测的测试结果示例。



图 11.24-1 DDR3 VIL.DQ(AC)的测试示例

11.25 VIL.DQ(DC)

该测试的目的是验证 DQ 信号的直流输入低电平电压值是否满足 JEDEC 规范。

11.25.1 规范说明

表 11.25-1 DDR3 VIL.DQ(DC)规格要求

符号	释义	DDR3-800/1066/1333/1600/1866/2133	
		Min	Max
VIL.DQ(DC)	直流输入低电平	VSS	Vref -0.1

表 11.25-2 DDR3L VIL.DQ(DC)规格要求

符号	释义	DDR3L-800/1066/1333/1600/1866/2133	
		Min	Max
VIL.DQ(DC)	直流输入低电平	VSS	Vref -0.09

表 11.25-3 DDR2 VIL.DQ(DC)规格要求

参数	DDR2		单位
VIL.DQ(DC)	最小值	最大值	V
	-0.3	V_{REF}-0.125	

11.25.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 下降沿与 $V_{IL(AC)}$的交叉点。
4. 对于所有的 DQ 交叉点找到下一个 DQS 穿过 0V 的交叉点。
5. 则 $V_{IL.DQ(DC)}$的值为 DQS 的交叉点向前移动 tDH 时间间隔后，DQ 的电压值。
6. 将测量结果与合规限值进行比较。

11.25.3 测试结果参考

下图 11.25-1 为可观测的测试结果示例。



图 11.25-1 DDR3L VIL.DQ(DC)测试示例

11.26 压摆率(Slew Rate)(DQ)

信号的建立和保持时间的压摆率(slew rate)主要针对 Address/Command/Data 这些单端信号，且 DDR3 JESD 规范并未给出判断标准。对于 CLK 和 DQS 这种差分信号，JESD 规范中也没有规定差分信号的单端连接下的测量标准。在 DDR3 自动测量中，DQ 的 setup time 或 hold time 的 slew rate 测量，仅作为参考，没有判断标准。

DDR2 中给出了 setup time 的压摆率的取值范围：value>=1V/ns。hold time 的压摆率测量仅作为参考，没有判断标准。

11.26.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF)

标准上分为了标称压摆率和切线压摆率，对于下图中的建立/保持时序的压摆率，当波形早于标称压摆率时，使用标称压摆率作为tDS补偿值的选择依据，否则使用切线压摆率作为依据。测试时，对所有有效的边沿，取其标称压摆率作为测量值，统计所有测量值与用户定义的阈值进行比对。标称压摆率如下图所示：

建立时间（tDS）的压摆率定义：

- 上升信号：从上升沿穿过 VREF(dc)到第一次穿过 VIH(ac)min 的斜率。
- 下降信号：从下降沿穿过 VREF(dc)到第一次穿过 VIL(ac)max 的斜率。

保持时间（tDH）的压摆率定义：

- 上升信号：从最后一次穿过 VIL(dc)max 到上升沿穿过 VREF(dc)的斜率。
- 下降信号：从最后一次穿过 VIH(dc)min 到下降沿穿过 VREF(dc)的斜率。

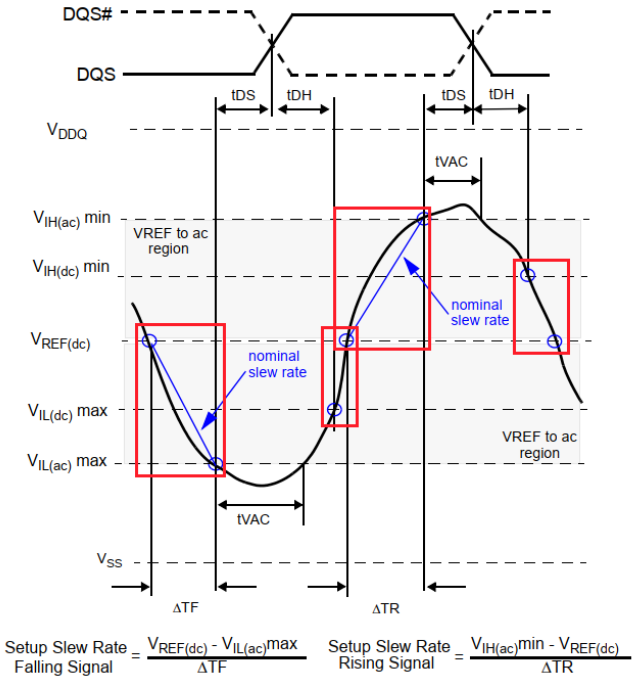


图 11.26-1 标称压摆率

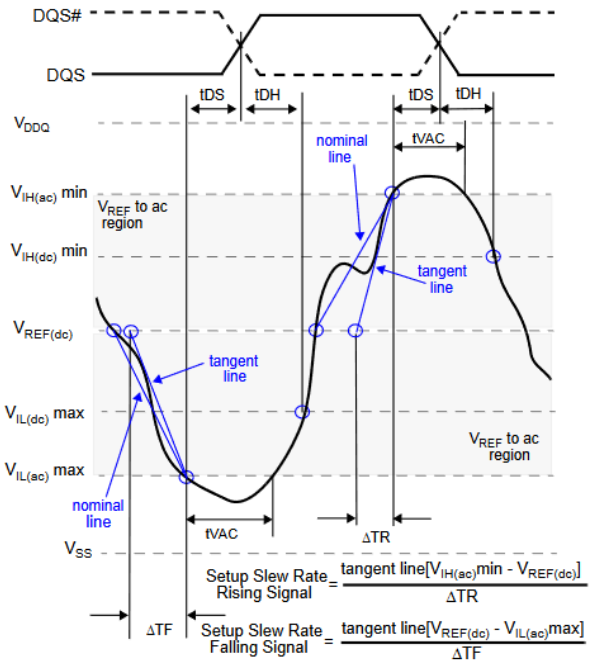


图 11.26-2 切线压摆率

11.26.2 测试结果参考

下图 11.26-3 为可观测的测试结果示例



图 11.26-3 DDR3 Slew rate Setup/Hold-Rising/Falling(DQ)测试示例

11.27 Overshoot 和 Overshoot Area(DQ)

过冲测试可分为两个子测试：过冲幅度和过冲面积测试。过冲测试的目的是从获取的波形区域验证测试信号的过冲值（过冲幅度和过冲面积）是否满足 JESD 规范中规定的一致性限值。过冲面积的计算基于过冲宽度和过冲幅度。过冲区域应小于或等于 JESD 规范中规定的一致性限制。

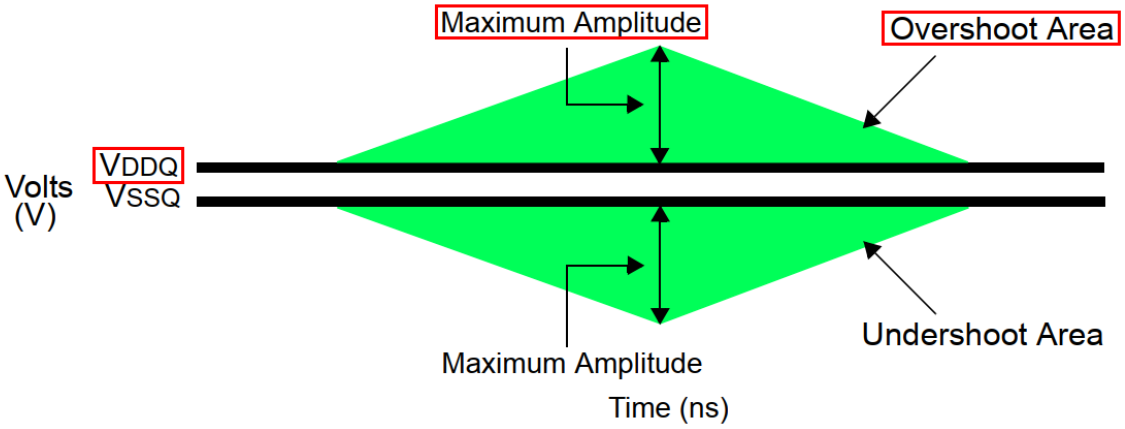


图 11.27-1 DDR2/3 DQ 过冲幅度和过冲面积的定义

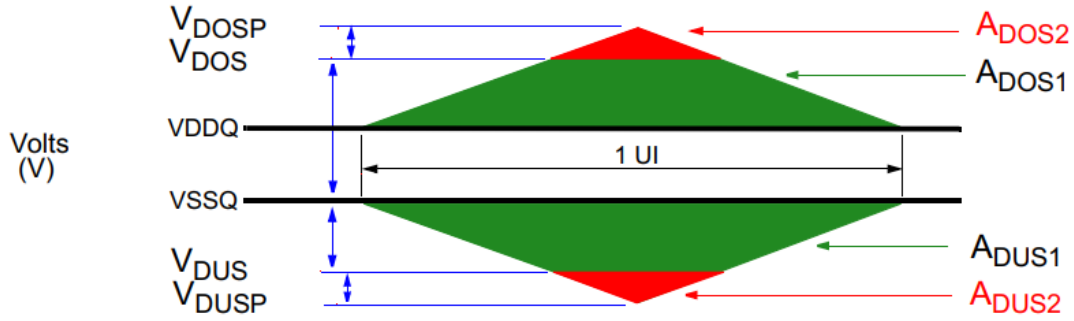


图 11.27-2 DDR4 DQ 过冲幅度和过冲面积的定义

DDR4 自动化测试中 DQ 的 Overshoot 定义为超过 VDDQ(1.2V)的部分，其最大不能超过 VDDQ(1.2V) 0.4V。Overshoot Area 分为两部分， Overshoot Area1 是一个 UI 内，介于 VDDQ(1.2V)和 V_{DOS} (1.44V)之间的部分的面积；Overshoot Area2 是一个 UI 内超过 $V_{DQS(}$1.44V)的部分的面积。DDR4 对这两部分的过冲面积都有严格的要求，门限取值范围如表 8.4-3 所示。Undershoot 和 Overshoot 是针对整个波形来测试的，即使不是有效数据位。Undershoot Area 和 Overshoot Area 是针对读写时序内单个 UI 内的面积，非读写时序将不计算面积。

11.27.1 规范说明

表 11.27-1 DDR3 DQ 过冲幅度和过冲面积规格要求

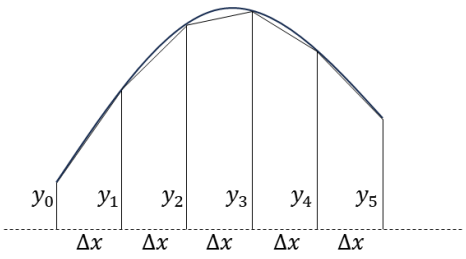
	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Overshoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Overshoot Area	0.25V-ns	0.19V-ns	0.15V-ns	0.13V-ns	0.11V-ns	0.10V-ns

表 11.27-2 DDR2 DQ 过冲幅度和过冲面积的规格要求

参数	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Overshoot	0.5V	0.5V	0.5V	0.5V	0.5V
Overshoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19V-ns

11.27.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找过冲区。过冲区从 DQ 与 V_{DDQ}（或 V_{DDCA}）上升交叉点开始，到 V_{DDQ}（或 V_{DDCA}）与 DQ 下降沿交叉点结束。
2. 在过冲区域内，执行以下步骤：
   a) 通过以下步骤评估过冲幅度：
      i. 使用 T_{MAX} 和 V_{MAX} 获取波形过冲区最大电压。
      ii. 计算：过冲幅度 = V_{MAX} - V_{DDQ}（或 V_{DDCA}）。
   b) 评估低于 V_{DDQ} 的区域 =(过冲区域结束 - 过冲区域开始) * V_{DDQ}。
   c) 采用梯形法计算 0 V 以上的总面积，如下图所示：



$$\text{Area} \approx \Delta x\left(\frac{y_0}{2} + y_1 + y_2 + y_3 + \cdots + \frac{y_n}{2}\right)$$

图 11.27-3 过冲面积计算方式

   d) 计算 V_{DDQ}（或 V_{DDCA}）以上的面积 =0 V 以上的总面积 - V_{DDQ}（或 V_{DDCA}）以下的面积。

e) 将计算结果存储，供以后的最坏情况查找过程使用。

3. 对获取的波形中发现的其余过冲区重复上一步。
4. 从存储结果中找出下面最差的结果。
5. 将测试结果与测试限值进行比较。

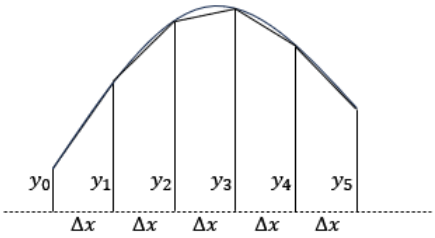
对于 DDR4 来说，计算方法如下：

1. 在整个波形时序内搜索 DQ 信号高于 VDDQ(1.2V)的部分，选出最高的作为 Overshoot 测试值，同样的，在整个时序内找出低于 VSSQ(0V)的部分，选出最低的作为 Undershoot。无则为 0。
2. 搜索读写时序；
3. 对于每一个读写时序，选取其 DQS 的第一个有效边沿至最后一个有效边沿间的区域，执行下列的步骤：

a) 搜索 DQS 波形得到两个连续的边沿，记为一个 UI；

b) 在这 UI 内，搜索 DQ 信号高于阈值 VDDQ 的部分，得到该部分的起始时间点和结束时间点，按下述方法计算这两个时间点之间的面积 Area(VDDQ)：

c) 同样在 UI 内搜索高于 VDOS 的部分，计算出其面积 Area(VDOS)作为 Overshoot Area2。



$$\text{Area} \approx \Delta x \left(\frac{y_0}{2} + y_1 + y_2 + y_3 + \cdots + \frac{y_n}{2} \right)$$

d) 用同一个 UI 内的 Area(VDDQ) - Area(VDOS)得到 Overshoot Area1

e) 继续向右搜索 DQ 信号高于阈值的部分，计算出 Overshoot Area1 和 Area2。

f) 如果该 UI 内 DQ 没有高于阈值的部分，则该 UI 的结果记为 0；

g) 统计所有读写时序内的过冲面积，选出最大值。

h) 下冲面积的测试方式类似，此处不再赘述。

i) 将最大值与阈值进行比较。

11.27.3 测试结果参考

下图 11.27-4 为可观测的测试结果示例。



图 11.27-4 DDR3 Overshoot(DQ)和 Overshoot Area(DQ)测试示例

注：若测试的过冲幅度和过冲面积均为 0，表明被测信号幅度没有超过 VDDQ，此为正常现象。

11.28 Undershoot 和 Undershoot Area(DQ)

下冲测试可分为两个子测试：下冲幅度和下冲面积测试。下冲测试的目的是从获取的波形区域验证测试信号的下冲值（下冲幅度和下冲面积）是否满足 JESD 规范中规定的一致性限值。下冲面积的计算基于下冲宽度和下冲幅度。下冲区域应小于或等于 JESD 规范中规定的一致性限制。

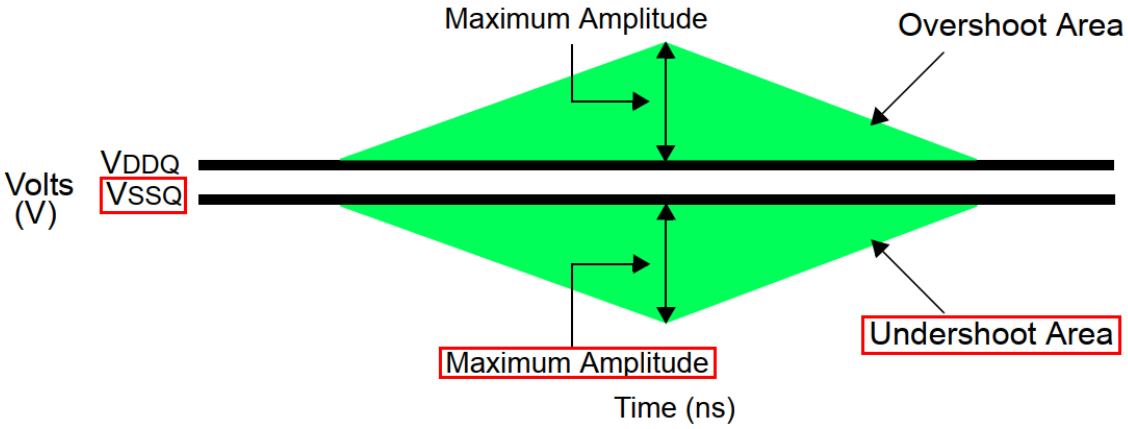


图 11.28-1 DDR2/3 DQ 下冲幅度和下冲面积的定义

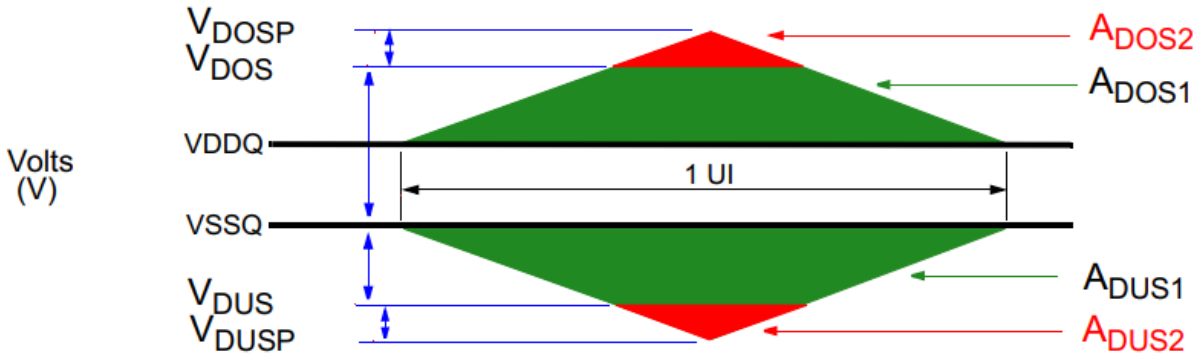


图 11.28-2 DDR4 DQ 下冲幅度和下冲面积的定义

DDR4 自动化测试中 DQ 的 Undershoot 定义为低于 VSSQ(0V)的部分，其最大不能低于-0.4V。Undershoot Area 分为两部分， Undershoot Area1 是一个 UI 内，介于 VSSQ(0V)和 V_{DUS} (-0.3)之间的部分的面积； Undershoot Area2 是一个 UI 内低于 V_{DUS}(-0.3V)的部分的面积。DDR4 对这两部分的下冲面积都有严格的要求，门限取值范围如上表 8.4-3 所示。

11.28.1 规范说明

表 11.28-1 DDR3 DQ 下冲幅度和下冲面积规格要求

	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Undershoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Undershoot Area	0.25V/ns	0.19V/ns	0.15V/ns	0.13V/ns	0.11V/ns	0.10V/ns

表 11.28-2 DDR2 DQ 下冲幅度和下冲面积规格要求

参数	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Undershoot	0.5V	0.5V	0.5V	0.5V	0.5V
Undershoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19V-ns

11.28.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找下冲区。
2. 在下冲区域内，执行以下步骤：
   a) 通过以下步骤评估下冲幅度：
      i. 使用 T_{MIN} 和 V_{MIN} 获取波形下冲区最大电压。
      ii. 计算：下冲幅度 $= 0 - V_{MIN}$。
   b) 通过梯形法面积计算，评估 0 V 以下的总面积（参考图 8.4-3）。
   c) 对于 DDR4，需要再求出-0.3V 和 0V 之间的面积，再用总面积相减得到 Area2 的值。
   d) 为以后的最坏情况查找过程存储计算结果。
3. 对获取的波形中发现的其余下冲区域重复上一步。
4. 从存储结果中找出下面最差的结果。
5. 将测试结果与符合性测试限值进行比较。

11.28.3 测试结果参考

下图 11.28-3 为可观测的测试结果示例。

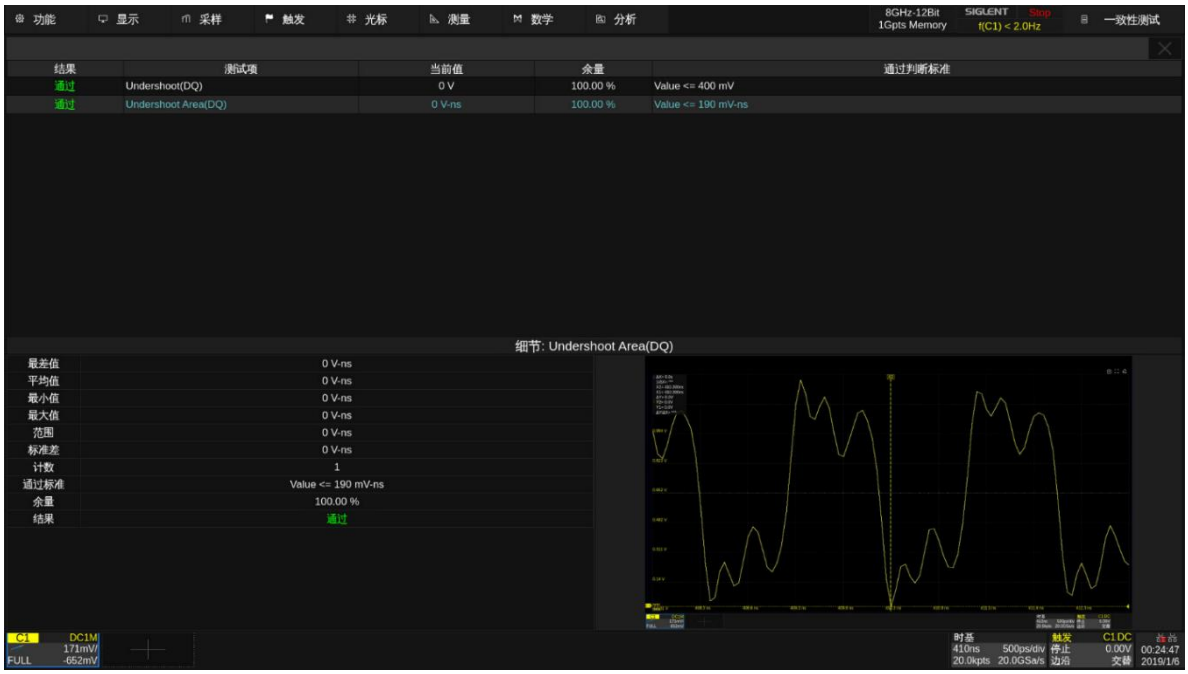


图 11.28-3 DDR3 Undershoot(DQ)和 Undershoot Area(DQ)测试示例

注：若测试的过冲幅度和过冲面积均为 0，表明被测信号幅度没有超过 VDDQ，此为正常现象。

11.29 tDS1.DQ(base)

该测试项为 DDR2 所特有，该测试的目的是验证数据信号 DQ 相对于单端 DQS 信号的建立时间是否在 JEDEC 规范规定的标准之内。该测试项 tDS1.DQ(base)与 tDS.DQ(base)的区别在于前者的 DQS 信号为单端信号，后者的 DQS 为差分信号。若 DQS 为差分信号的话，可以不用进行该项测试，下同。测试方法如下图 11.29-1 所示。

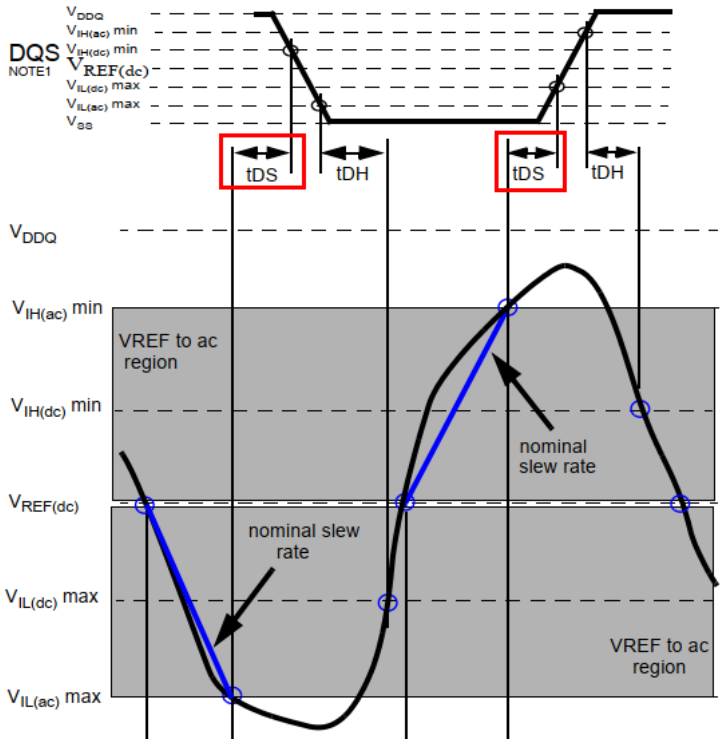


图 11.29-1 tDS1.DQ(base)的定义

11.29.1 规范说明

表 11.29-1 tDS1.DQ(base)的规格要求

参数	DDR2-400		DDR2-533		单位
tDS1.DQ(base)	最小值	最大值	最小值	最大值	ps
	25	-	-25	-	
	DDR2-667		DDR2-800		
	最小值	最大值	最小值	最大值	
	-	-	-	-	

11.29.2 计算方法

1. 获取并分离读写时序。

2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 上升沿与 $V_{IH(AC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DQ 下降沿与 $V_{IL(AC)}$相交的交叉点。
5. 找出所有 DQ 交叉点的下一个 DQS 与 VIL(DC)或 VIH(DC)的交叉点。
6. tDS 定义为 DQ 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

11.29.3 测量结果参考

下图 11.29-2 为可观测的测试结果示例。

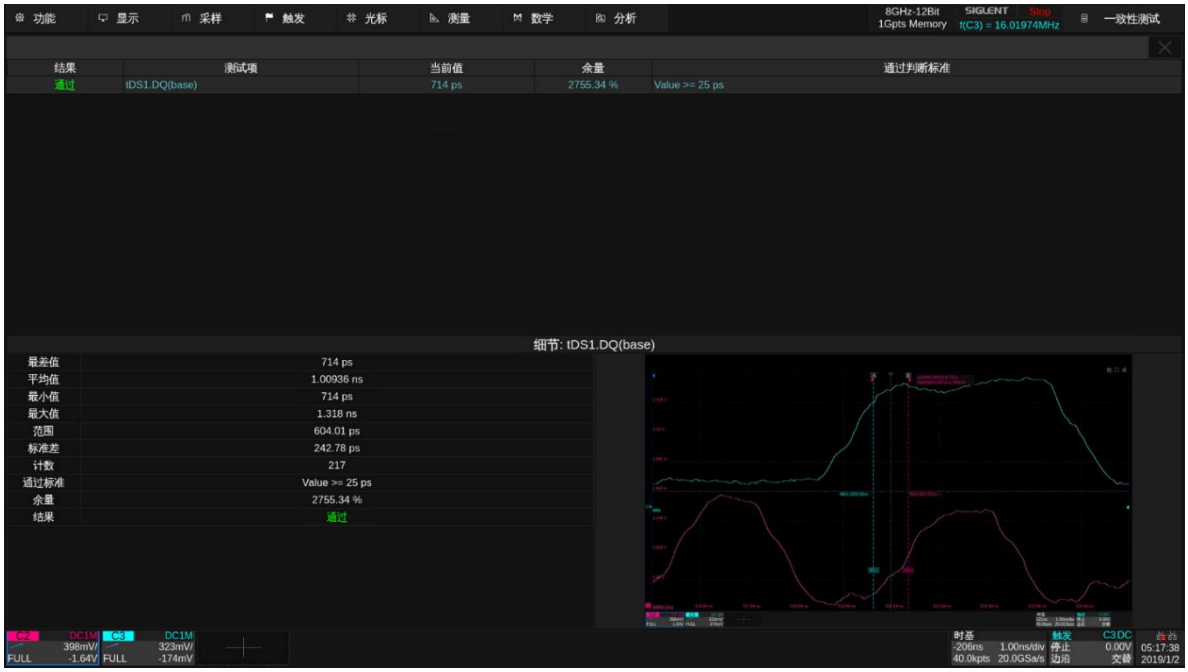


图 11.29-2 DDR2 tDS1.DQ(base) 测试示例

11.30 tDS1.DQ(derate)

该测试项为 DDR2 所特有，该测试项与前面的 tDS.DQ(derate)的测试方法是一样的，区别在于前面的 tDS 测试，DQS 为差分信号，现在的 tDS1 测试，DQS 为单端信号，此处就不再赘述。一般情况下，DQS 是差分信号，当 DQS 为单端信号时，将会导致其抗噪声能力下降，时序容限降低，不能满足高速数据传输，单端 DQS 一般只在 DDR2-400 和 DDR2-533 中使用。

11.30.1 规范说明

tDS1.DQ(derate)的限值根据 DQ 和 DQS 的压摆率以及 DQS 是差分还是单端而改变。对于 DQS 单端信号，具体 tDS1.DQ(derate)的取值请参考 DDR2.JESD79-2F Table 46。

11.30.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲串中所有有效 DQ 上升沿与 $V_{IH(AC)}$相交的交叉点。
4. 找出上述脉冲串中所有有效 DQ 下降沿与 $V_{IL(AC)}$相交的交叉点。
5. 找出所有 DQ 交叉点的下一个 DQS 与 0V 交叉点。
6. tDS 定义为 DQ 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 测量 DQ 和 DQS 的平均压摆率。
9. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
10. 将测量结果与合规限值进行比较。

11.30.3 测量结果参考

下图 11.30-1 为可观测的测试结果示例。

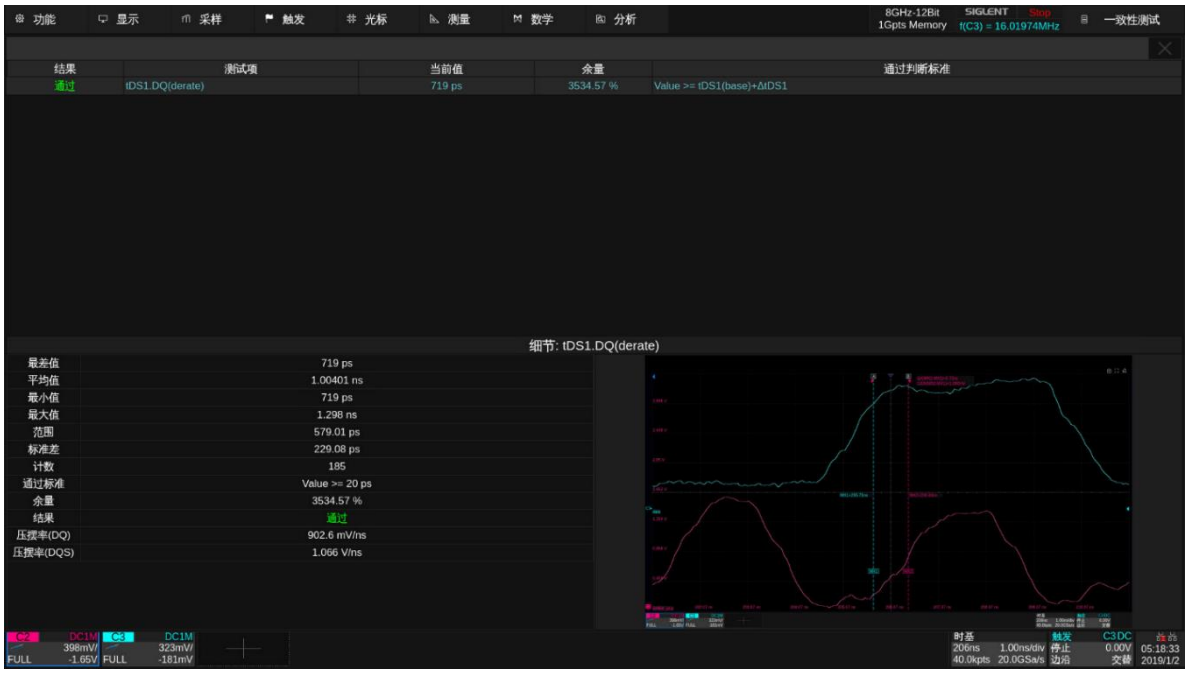


图 11.30-1 DDR2 tDS1.DQ(derate)测试示例

11.31 tDH1.DQ(base)

该测试项为 DDR2 所特有，该测试的目的是验证数据信号 DQ 相对于单端 DQS 信号的保持时间是否在 JEDEC 规范规定的标准之内。该测试项 tDH1.DQ(base)与 tDH.DQ(base)的区别在于前者的 DQS 信号为单端信号，后者的为差分信号。tDH1.DQ(base)的测试方法如下图 11.31-1 所示。

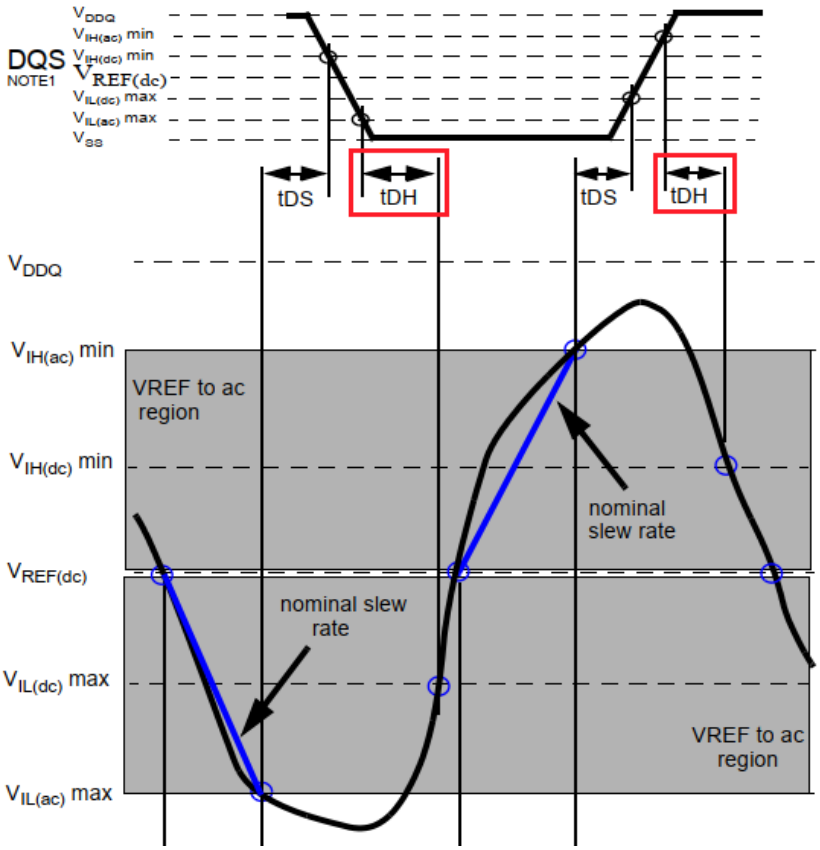


图 11.31-1 tDH1.DQ(base)的定义

11.31.1 规范说明

表 11.31-1 tDH1.DQ(base)规格要求

参数	DDR2-400		DDR2-533		单位
tDH1.DQ(base)	最小值	最大值	最小值	最大值	ps
	25	-	-25	-	
	DDR2-667		DDR2-800		
	最小值	最大值	最小值	最大值	
	-	-	-	-	

11.31.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DQ 上升沿与 $V_{IL(DC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DQ 下降沿与 $V_{IH(DC)}$相交的交叉点。
5. 找出所有 DQ 交叉点的前一个 DQS 与 VIL(AC).max 或 VIH(AC).min 的交叉点。
6. tDH 定义为 DQ 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

11.31.3 测量结果参考

下图 11.31-2 为可观测的测试结果示例。



图 11.31-2 DDR2 tDH1.DQ(base)测试示例

11.32 tDH1.DQ(derate)

该测试项为 DDR2 所特有，该测试项与前面 tDS1.DQ(derate)的测试方法是一样的，此处就不再赘述。通常情况下，DQS 是差分信号，当 DQS 为单端信号时，将会导致其抗噪声能力下降，时序容限降低，不能满足高速数据传输，单端 DQS 一般只在 DDR2-400 和 DDR2-533 中使用。

11.32.1 规范说明

tDH.DQ(derate)的限值根据 DQ 和 DQS 信号的压摆率以及 DQS 是差分还是者单端而改变。对于 DQS 单端信号，具体 tDH1.DQ(derate)的取值请参考 DDR2.JESD79-2F Table 46。

11.32.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲串中所有有效 DQ 上升沿与 $V_{IL(DC)}$相交的交叉点。
4. 找出上述脉冲串中所有有效 DQ 下降沿与 $V_{IH(DC)}$相交的交叉点。
5. 找出所有 DQ 交叉点的下一个 DQS 与 0V 交叉点。
6. tDH1 定义为 DQ 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 测量 DQ 和 DQS 的平均压摆率。
9. 根据平均压摆率的值决定ΔtDS 的值。
10. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
11. 将测量结果与合规限值进行比较。

11.32.3 测量结果参考

下图 11.32-1 为可观测的测试结果示例。

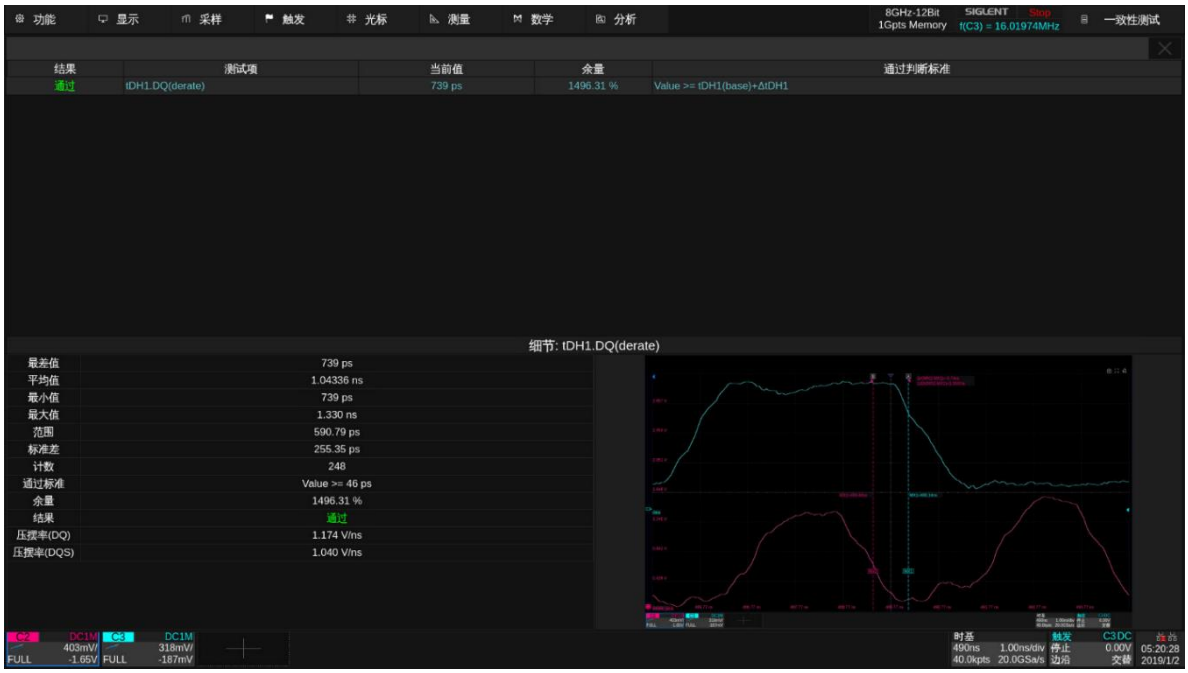


图 11.32-1 DDR2 tDH1.DQ(derate)测试示例

11.33 VOH(AC)

该项测试为 DDR3 所特有，该测试的目的是验证 DQ 信号在有效采样窗口内的交流输出高电平电压值是否满足 JESD 规范。其中 VDDQ 的值直接影响一致性下限值，对于典型 DDR3 其默认为 1.5V，对于 DDR3L 默认为 1.35V ，VTT=VDDQ/2。

11.33.1 规范说明

表 11.33-1 DDR3 VOH(AC)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		
VOH(AC)	交流输出高电平	最小值	最大值	单位
		V_{TT}+0.1*V_{DDQ}	\	V

11.33.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效读时序。
3. 找出所有有效正脉冲。
4. 对正脉冲执行 V_{TOP} 测量。将 V_{TOP} 测量结果作为 $V_{OH(AC)}$值。
5. 重复上一步，测量脉冲时序中所有有效正脉冲的 V_{TOP} 值。
6. 找出测量结果中的最小值。
7. 将其与合规限值进行比较。

11.33.3 测量结果参考

下图 11.33-1 为可观测的测试结果示例。

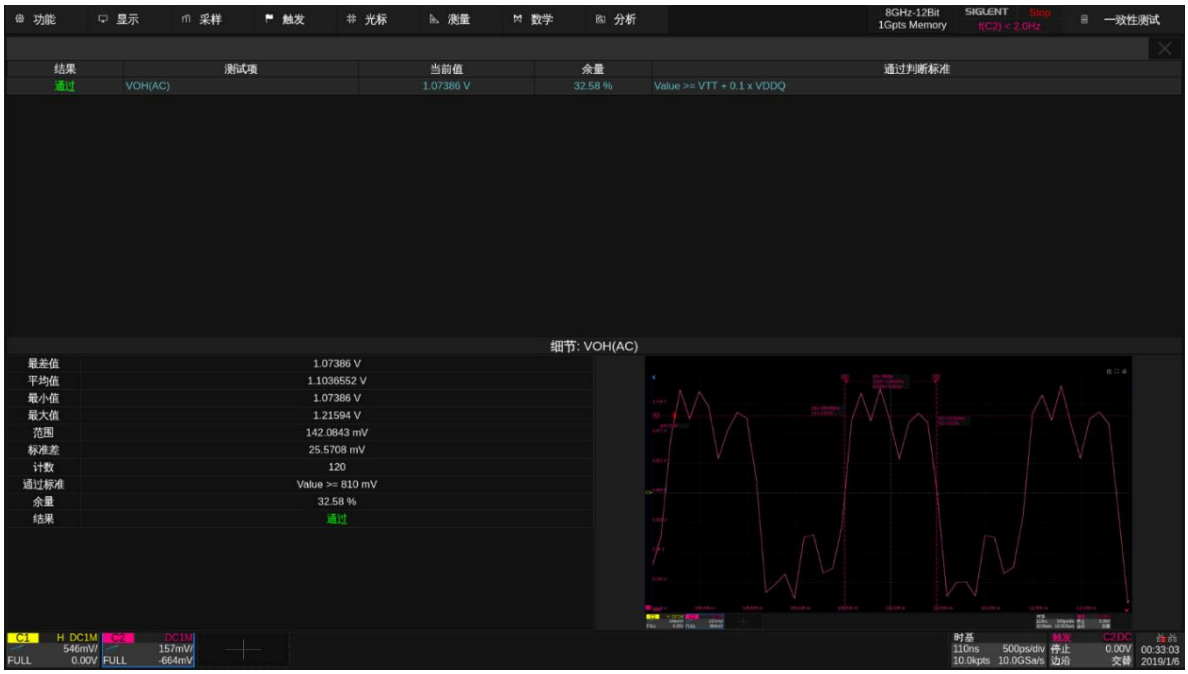


图 11.33-1 DDR3 VOH(AC)测试示例

11.34 VOH(DC)

该项测试为 DDR3 所特有，该测试的目的是验证 DQ 信号在有效采样窗口内的直流输出高电平电压值是否满足 JESD 规范。其中 VDDQ 直接影响一致性下限值，对于典型 DDR3 其默认为 1.5V，对于 DDR3L 默认为 1.35V。

11.34.1 规范说明

表 11.34-1 DDR3 VOH(DC)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		
VOH(DC)	直流输出高电平	最小值	最大值	单位
		$0.8*V_{DDQ}$	\	V

11.34.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效读时序。
3. 找出所有有效正脉冲。
4. 对正脉冲执行 V_{TOP} 测量。将 V_{TOP} 测量结果作为 $V_{OH(DC)}$ 值。
5. 重复上一步，处理有效读时序中发现的所有有效正脉冲。
6. 找出测量结果中的最小值。
7. 将测量结果与合规限值进行比较。

11.34.3 测量结果参考

下图 11.34-1 为可观测的测试结果示例。

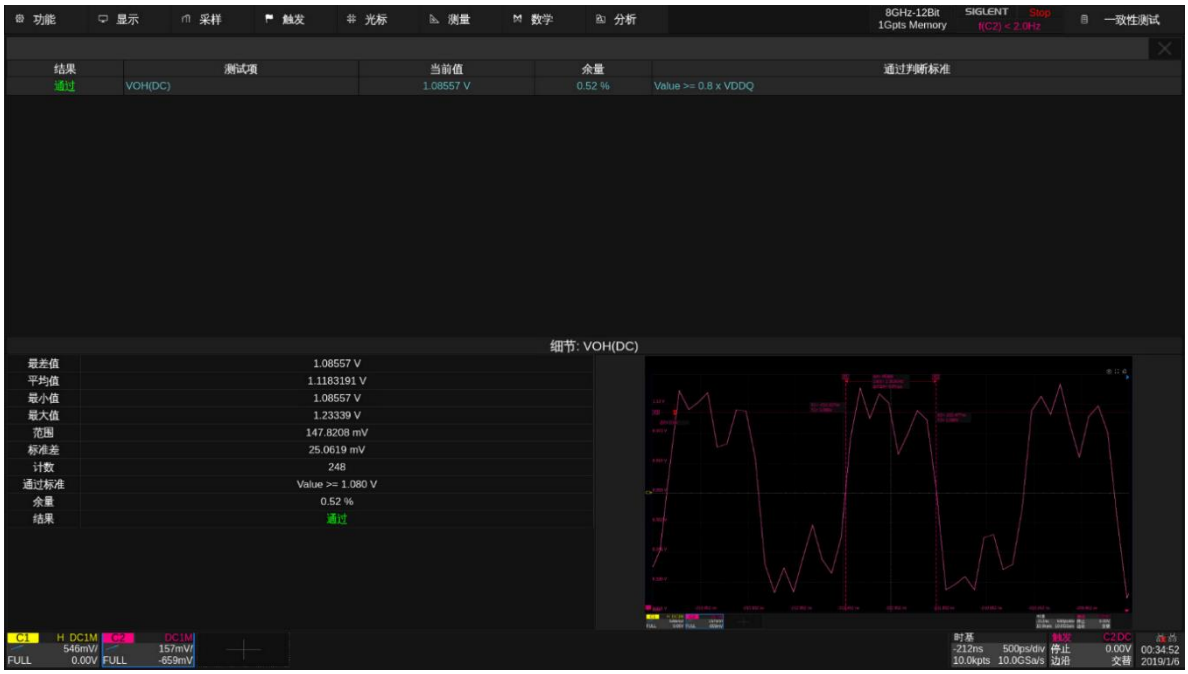


图 11.34-1 DDR3 VOH(DC)测试示例

11.35 VOL(AC)

该项测试为 DDR3 所特有，该测试的目的是验证 DQ 信号在有效采样窗口内的交流输出低电平电压值是否满足 JESD 规范。该测试项与 VOH(AC)类似，此处就不再赘述。

11.35.1 规范说明

表 11.35-1 DDR3 VOL(AC)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		
VOL(AC)	交流输出低电平	最小值	最大值	单位
		\	V_{TT}-0.1*V_{DDQ}	V

11.35.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效读时序。
3. 找出所有有效负脉冲。
4. 对负脉冲执行 V_{BASE} 测量。将 V_{BASE} 测量结果作为 $V_{OL(AC)}$值。
5. 重复上一步，处理有效读时序中发现的所有有效负脉冲。
6. 找出测量结果中的最大值。
7. 将测量结果与合规限值进行比较。

11.35.3 测量结果参考

下图 11.35-1 为可观测的测试结果示例。



图 11.35-1 DDR3 VOL(AC)测试示例

11.36 VOL(DC)

该项测试为 DDR3 所特有，该测试的目的是验证 DQ 信号在有效采样窗口内的直流输出低电平电压值是否满足 JESD 规范。该测试项与 VOH(DC)类似，此处不再赘述。

11.36.1 规范说明

表 11.36-1 DDR3 VOL(DC)规格要求

参数	说明	DDR3-800/1066/1333/1600/1866/2133		
VOL(DC)	直流输出低电平	最小值	最大值	单位
		\	0.2*V_{DDQ}	V

11.36.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效读时序。
3. 找出所有有效负脉冲。
4. 对负脉冲执行 V_{BASE} 测量。将 V_{BASE} 测量结果作为 $V_{OL(DC)}$值。
5. 重复上一步，处理有效读时序中发现的所有有效负脉冲。
6. 找出测量结果中的最小值。
7. 将测量结果与合规限值进行比较。

11.36.3 测量结果参考

下图 11.36-1 为可观测的测试结果示例。



图 11.36-1 DDR3 VOL(DC)测试示例

11.37 SRQseR

该项测试为 DDR3/DDR4 所特有，该测试的目的是验证读时序下 DQ 信号的上升沿压摆率是否满足 JESD 规范。其定义如下表 11.37-1 所示，其测试方法如下图 11.37-1 所示。

表 11.37-1 SRQse 的定义

Description	Measured		Defined by
	from	to	
Single-ended output slew rate for rising edge	$V_{OL(AC)}$	$V_{OH(AC)}$	[$V_{OH(AC)}$ - $V_{OL(AC)}$] / DeltaTRse
Single-ended output slew rate for falling edge	$V_{OH(AC)}$	$V_{OL(AC)}$	[$V_{OH(AC)}$ - $V_{OL(AC)}$] / DeltaTFse

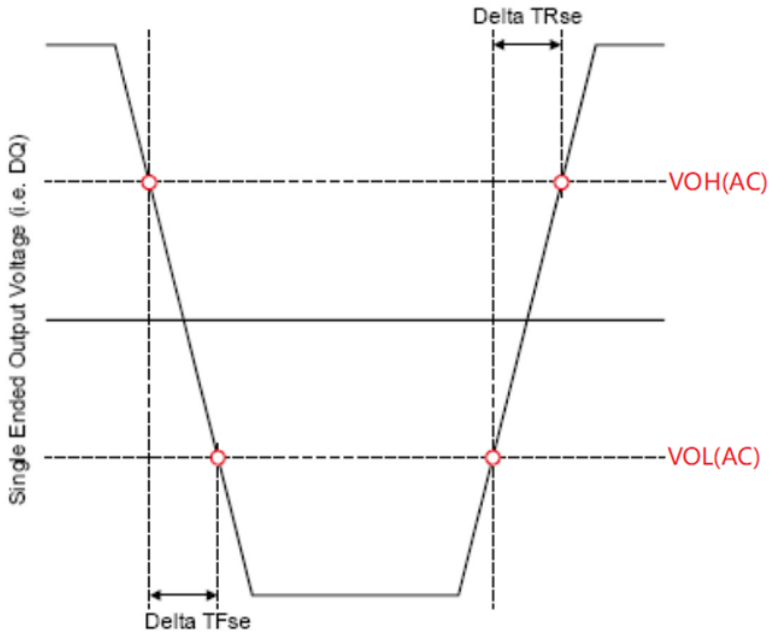


图 11.37-1 DDR3/4 SRQse 的测试方法

11.37.1 规范说明

表 11.37-2 DDR4 SRQseR 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
SRQseR	4	9	4	9	4	9	4	9	V/ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	4	9	4	9	4	9			

表 11.37-3 DDR3 SRQseR 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
SRQseR	最小值	最大值	最小值	最大值	最小值	最大值	V/ns
	2.5	5	2.5	5	2.5	5	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	2.5	5	2.5	5	2.5	5	

11.37.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效读时序。
3. 在上述脉冲时序中找出所有有效上升沿，一个有效上升沿沿从穿过 $V_{OL(AC)}$开始，到下一个 $V_{OH(AC)}$结束。
4. 对于所有的有效上升沿，计算得到 TR，即从穿过 $V_{OL(AC)}$开始到穿过 $V_{OH(AC)}$结束的时间。
5. 计算得到 SRQseR=[$V_{OH(AC)}$-$V_{OL(AC)}$]/TR。
6. 找出测量结果中的最大值和最小值。
7. 将测量结果与合规限值进行比较。

11.37.3 测试结果参考

下图 11.37-2 为可观测的测试结果示例。

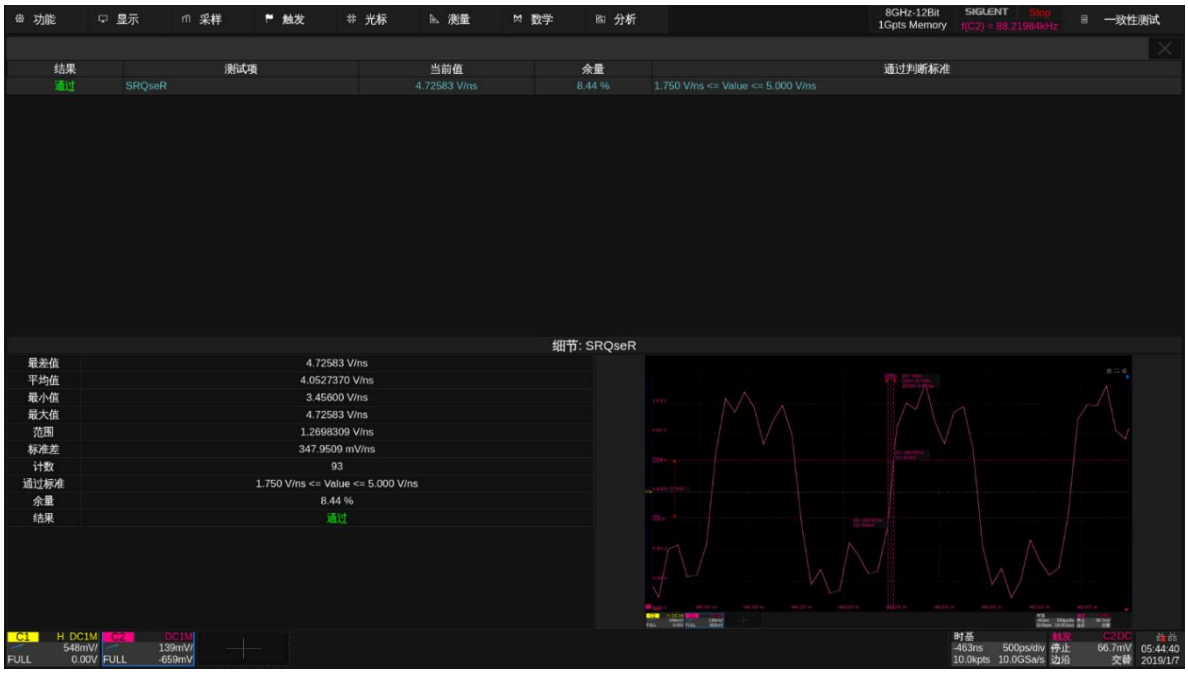


图 11.37-2 DDR3 SRQseR 测试示例

11.38 SRQseF

该项测试为 DDR3/4 所特有，该测试的目的是验证测试信号 DQ 的下降沿压摆率是否满足 JESD 规范。定义和测试方法与 SRQseR 测试项类似，可参考表 11.37-1 和图 11.37-1，此处不再赘述。

11.38.1 规范说明

表 11.38-1 DDR4 SRQseF 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
SRQseF	4	9	4	9	4	9	4	9	V/ns
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	4	9	4	9	4	9			

表 11.38-2 DDR3 SRQseF 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
SRQseF	最小值	最大值	最小值	最大值	最小值	最大值	V/ns
	2.5	5	2.5	5	2.5	5	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	2.5	5	2.5	5	2.5	5	

11.38.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效读时序。
3. 在上述时序中找出所有有效下降沿，一个有效下降沿从穿过 $V_{OH(AC)}$开始，到下一个 $V_{OL(AC)}$结束。
4. 对于所有的有效下降沿，计算得到 TR，即从穿过 $V_{OH(AC)}$开始到穿过 $V_{OL(AC)}$结束的时间。
5. 计算得到 SRQseF=[$V_{OH(AC)}$-$V_{OL(AC)}$]/TR。
6. 找出测量结果中的最大值和最小值。
7. 将测量结果与合规限值进行比较。

11.38.3 测试结果参考

下图 11.38-1 为可观测的测试结果示例。

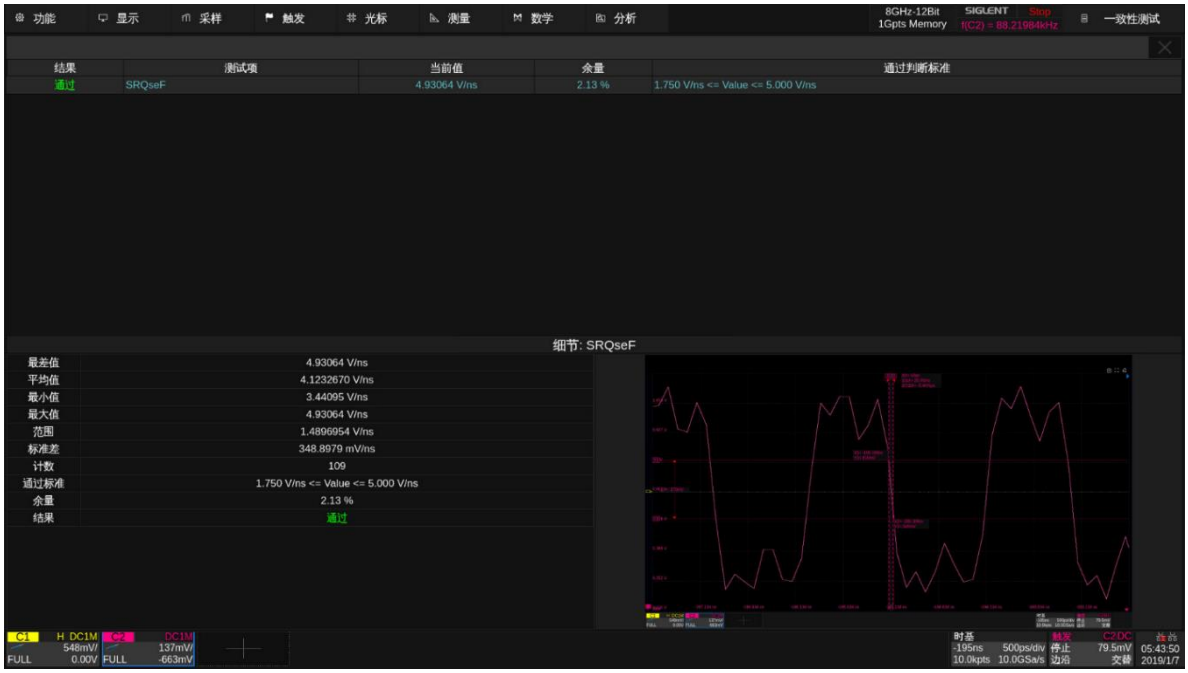


图 11.38-1 DDR3 SRQseF 测试示例

12 数据掩码信号测试集

注：DM 为掩码信号，该信号只在数据写入时有效，且正常情况下该信号一般为低电平或者高阻态，自动化测试时，很多时候抓取不到时序波形，这属于正常现象。

12.1 tDS.DM(base)

该测试的目的是验证数据掩码信号 DM 相对于 DQS 的建立时间 tDS 是否在 JEDEC 规范规定的基础值标准之内。该测试项测试方法与 11.5 项 tDS.DQ(base)一样，详细信息可参考 11.5 项，此处不再赘述。

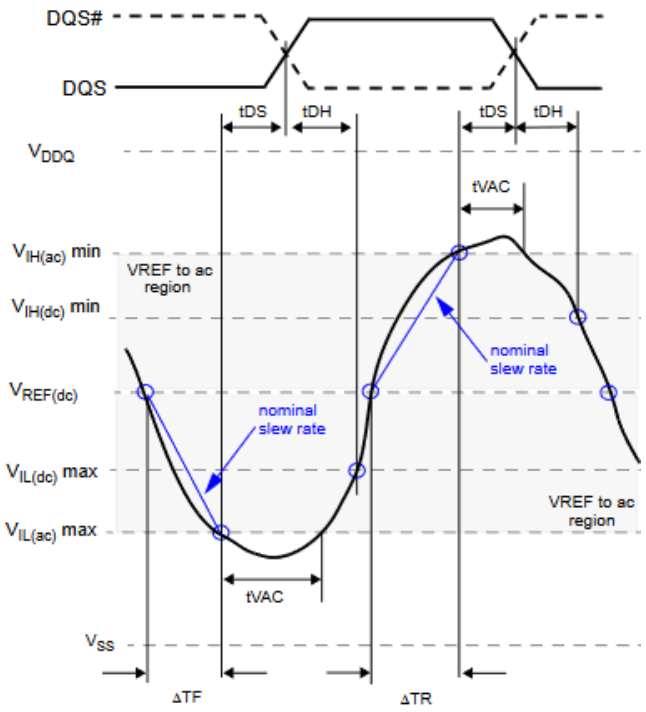


图 12.1-1 tDS 和 tDH 的定义

12.1.1 规范说明

在 DDR3 中，tDS.DM(base)的限值根据所选择数据速率以及 AC 电平的不同而不同。具体请参考 JESD79-3F Table 76，JESD79-3-1A-01 Table 12。DDR2 中，该项的取值范围如下表所示：

表 12.1-1 DDR2 tDS.DM(base)的规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tDS.DM(base)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	150	-	100	-	100	-	

	DDR2-800		DDR2-1066			
	最小值	最大值	最小值	最大值		
	50	-	0	-		

12.1.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 上升沿与 $V_{IH(AC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DM 下降沿与 $V_{IL(AC)}$相交的交叉点。
5. 找出所有 DM 交叉点的下一个 DQS 与 0V 的交叉点。
6. tDS 定义为 DM 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

12.1.3 测量结果参考

下图 12.1-2 为可观测的测试结果示例。

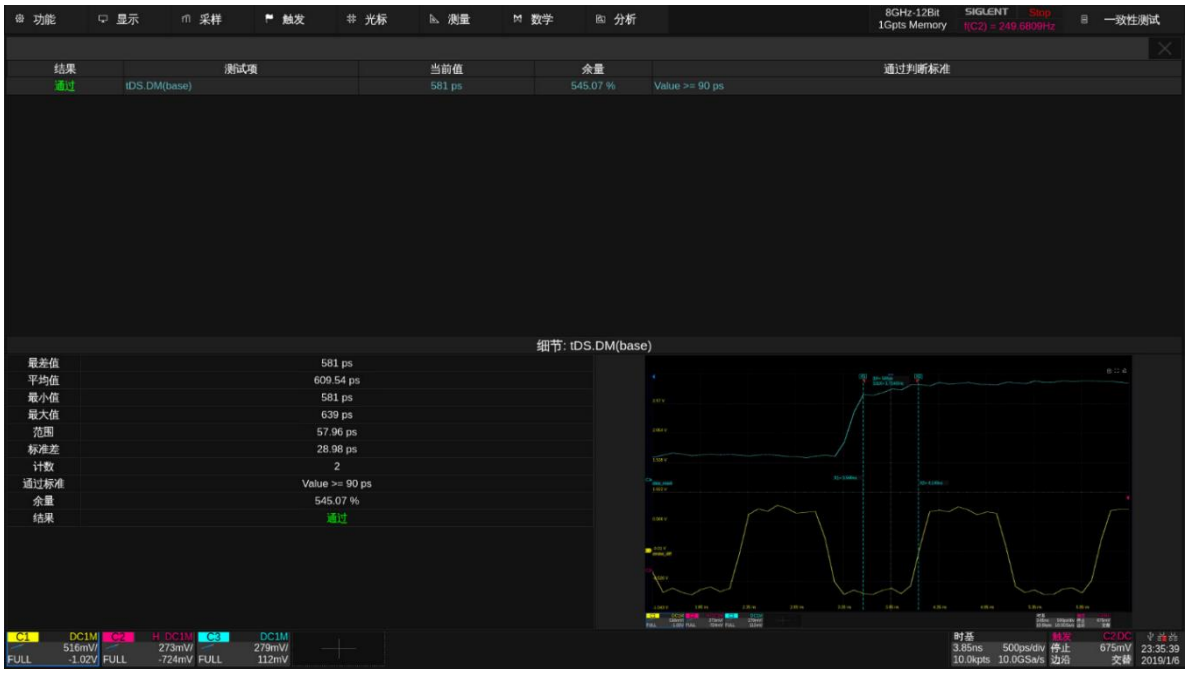


图 12.1-2 DDR3 tDS.DM(base)测试示例

12.2 tDS.DM(derate)

该测试的目的是验证掩码信号 DM 相对于 DQS 的建立时间 tDS 是否在 JEDEC 规范规定降额后的标准之内。该测试项与 11.6 项一样，可直接参考 11.6 节的内容。

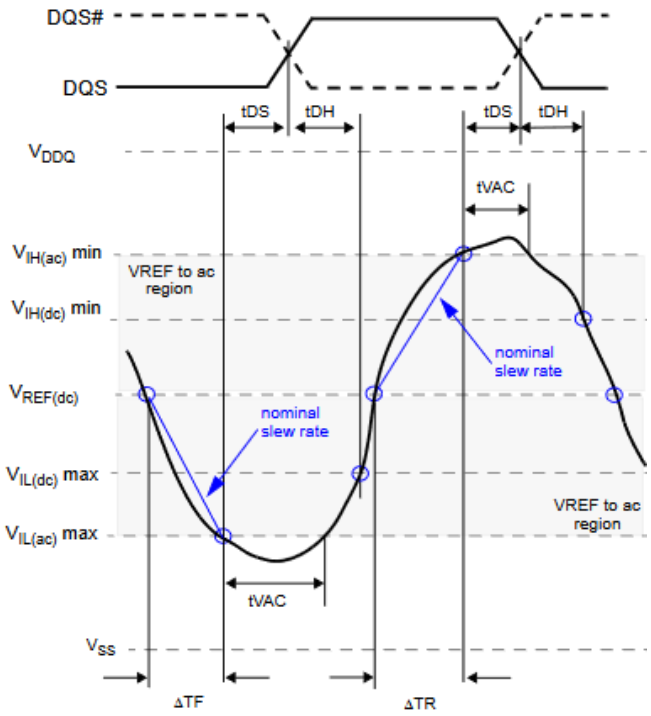


图 12.2-1 tDS 和 tDH 的定义

12.2.1 规范说明

DDR3 中，tDS.DM(derate)的限值根据 DM 和 DQS 差分信号的压摆率以及 AC 的不同而改变。具体请参考 JESD79-3F Table 77、Table 78 等, JESD79-3-1A-01 Table 13、Table 14 等。

DDR2 中，tDS.DM(derate)的限值根据 DM 和 DQS 差分信号的压摆率以及数据的传输速率的不同而改变。具体请参考 JESD79-2F Table 44、Table 45，DDR2.1066.JESD208 Table 42。

12.2.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 上升沿与 $V_{IH(AC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DM 下降沿与 $V_{IL(AC)}$相交的交叉点。
5. 找出所有 DM 交叉点的下一个 DQS 与 0V 的交叉点。

6. tDS 定义为上述 DM 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 测量 DM 和 DQS 的平均压摆率。
9. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
10. 将测量结果与合规限值进行比较。

12.2.3 测量结果参考

下图 12.2-1 为可观测的测试结果示例。

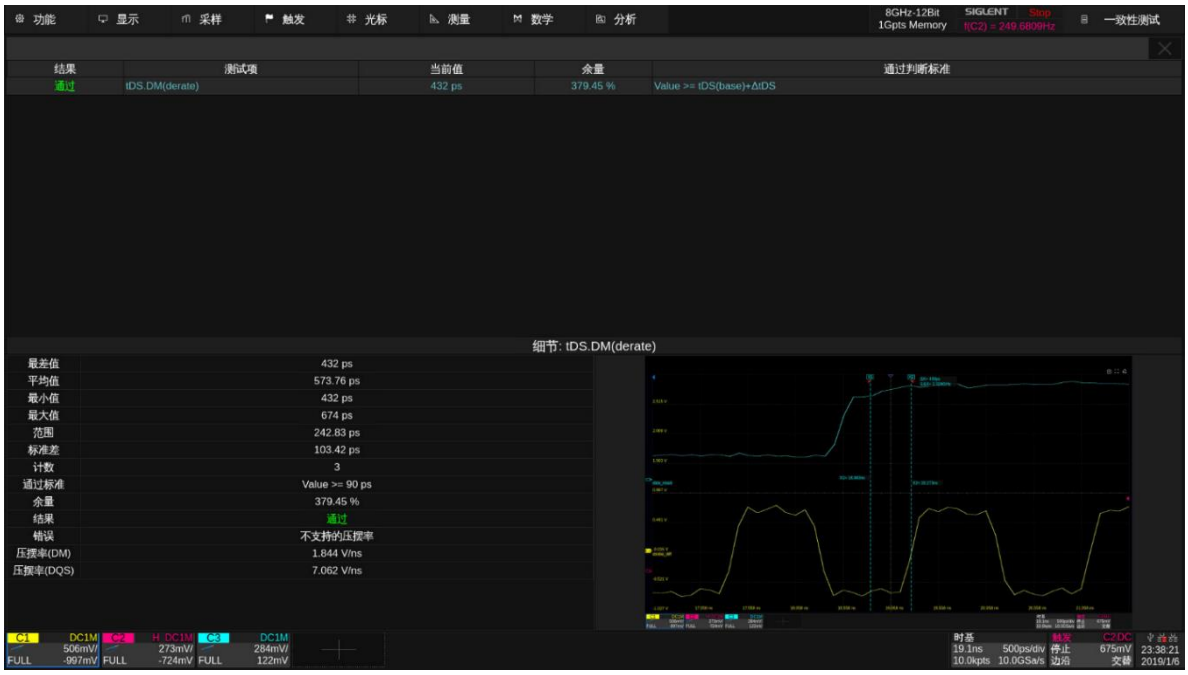


图 12.2-1 DDR3 tDS.DM(derate)测试示例

12.3 tDH.DM(base)

该测试的目的是验证数据掩码信号 DM 相对于 DQS 的保持时间 tDH 是否在 JEDEC 规范规定的基础值标准之内。tDH.DM(base)和前面的 11.7 项的 tDH.DQ(base)类似，此处不再赘述。

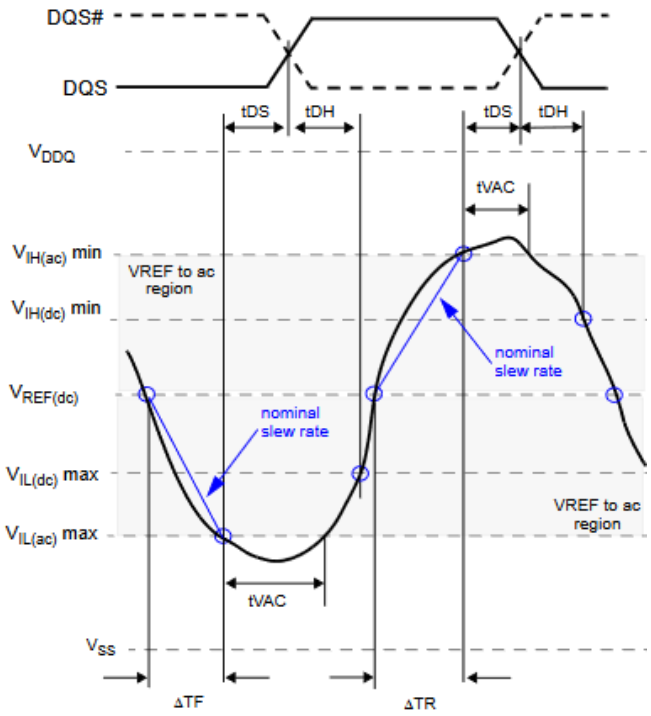


图 12.3-1 tDS 和 tDH 的定义

12.3.1 规范说明

DDR3 中，tDH.DM(base)的限值根据所选择速率的不同而不同。具体请参考 JESD79-3F Table 76，JESD79-3-1A-01 Table 12。DDR2 的取值范围如下表所示：

表 12.3-1 DDR2 tDH.DM(base)规格要求

测试项	DDR2-400		DDR2-533		DDR2-667		单位
tDH.DM(base)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	275	-	225	-	175	-	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	125	-	75	-			

12.3.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 上升沿与 $V_{IL(DC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DM 下降沿与 $V_{IH(DC)}$相交的交叉点。
5. 找出所有 DM 交叉点的前一个 DQS 与 0V 的交叉点。
6. tDH 定义为 DM 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

12.3.3 测量结果参考

下图 12.3-2 为可观测的测试结果示例。



图 12.3-2 DDR3 tDH.DM(base)测试示例

12.4 tDH.DM(derate)

该测试的目的是验证数据掩码信号 DM 相对于 DQS 的保持时间 tDH 是否在 JEDEC 规范规定降额后的标准之内。tDH.DM(derate)和前面 11.8 节的 tDH.DQ(derate)类似，此处就不再赘述。

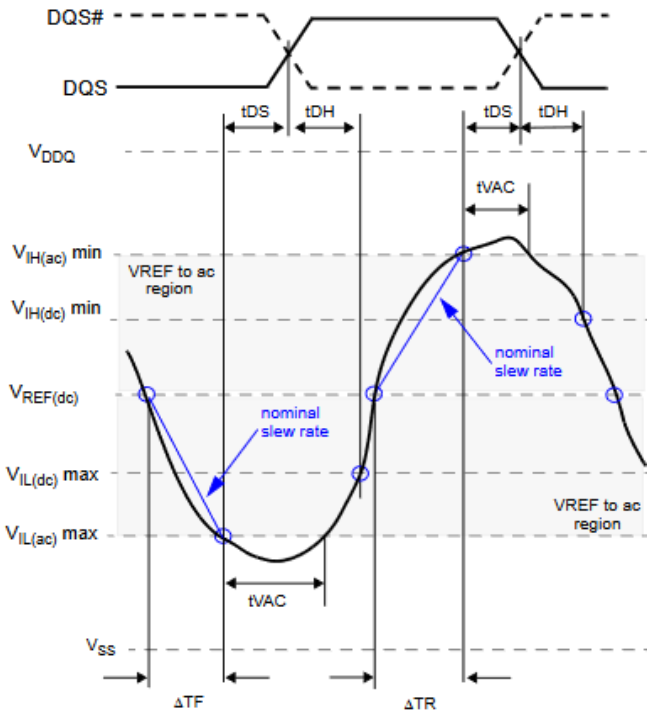


图 12.4-1 tDS 和 tDH 的定义

12.4.1 规范说明

DDR3 中，tDH.DM(derate)的限值根据 DM 和 DQS 的压摆率的不同以及 AC 的不同而改变。具体请参考 JESD79-3F Table 77、Table 78, JESD79-3-1A-01 Table 13、Table 14 等。

DDR2 中，tDH.DM(derate)的阈值根据 DM 和 DQS 的压摆率以及所选择数据速率的不同而不同。具体请参考 JESD79-2F Table 44、45，DDR2.1066.JESD208 Table 42。

12.4.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 上升沿与 $V_{IL(DC)}$相交的交叉点。
4. 找出上述脉冲时序中所有有效 DM 下降沿与 $V_{IH(DC)}$相交的交叉点。
5. 找出所有 DM 交叉点的前一个 DQS 与 0V 交叉点。

6. tDH 定义为 DM 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 测量 DM 和 DQS 的平均压摆率。
9. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
10. 将测量结果与合规限值进行比较。

12.4.3 测量结果参考

下图 12.4-2 为可观测的测试结果示例。

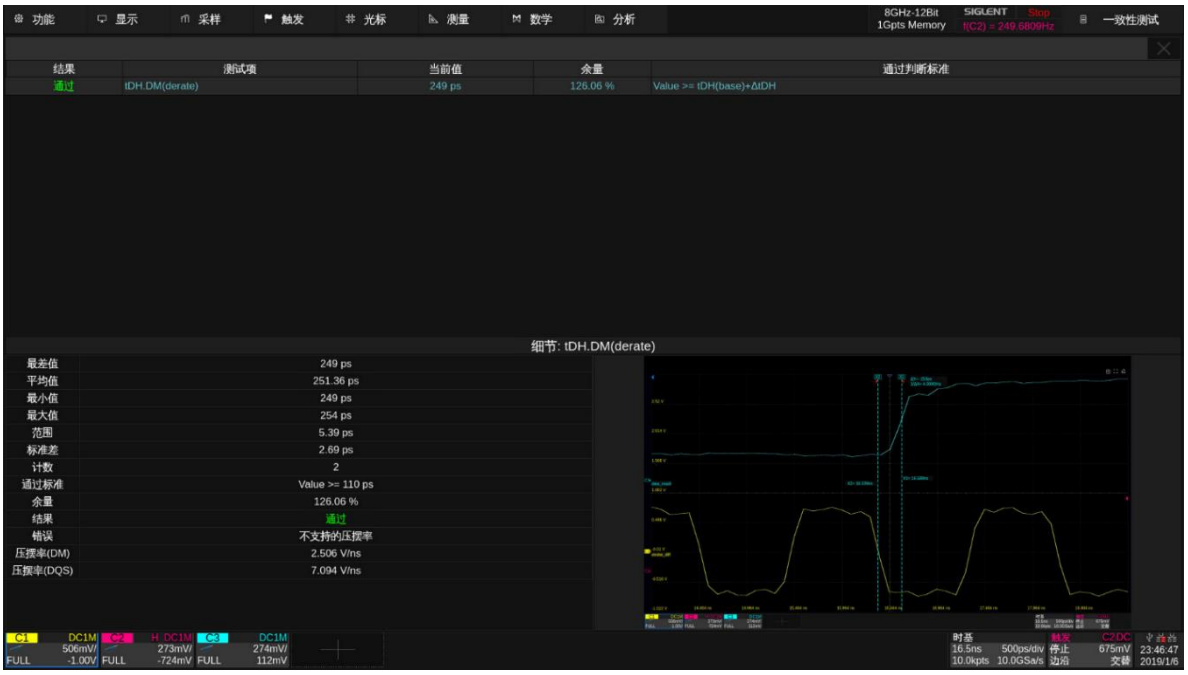


图 12.4-2 DDR3 tDH.DM(derate)测试示例

12.5 tDIPW(DM)

tDIPW(DM)是测量 DM 掩码信号的输入脉冲宽度，测量其值是否满足 JESD 规范。

12.5.1 规范说明

表 12.5-1 DDR3 tDIPW(DM)的规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tDIPW(DM)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	600	-	490	-	400	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	360	-	320	-	280	-	

表 12.5-2 DDR2 tDIPW(DM)的规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tDIPW(DM)	最小值	最大值	最小值	最大值	最小值	最大值	tCK(avg)
	0.35	-	0.35	-	0.35	-	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	0.35	-	0.35	-			

12.5.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有 DM 有效的上升沿和下降沿穿过 V_{REF} 的点。
4. tDPIW 是指 DM 从一个上升沿/下降沿开始到下一个下降沿/上升沿结束的时间。
5. 找出测量结果的最小值和最大值。
6. 将测量结果与合规限值进行比较。

12.5.3 测量结果参考

下图 12.5-1 为可观测的测试结果示例。

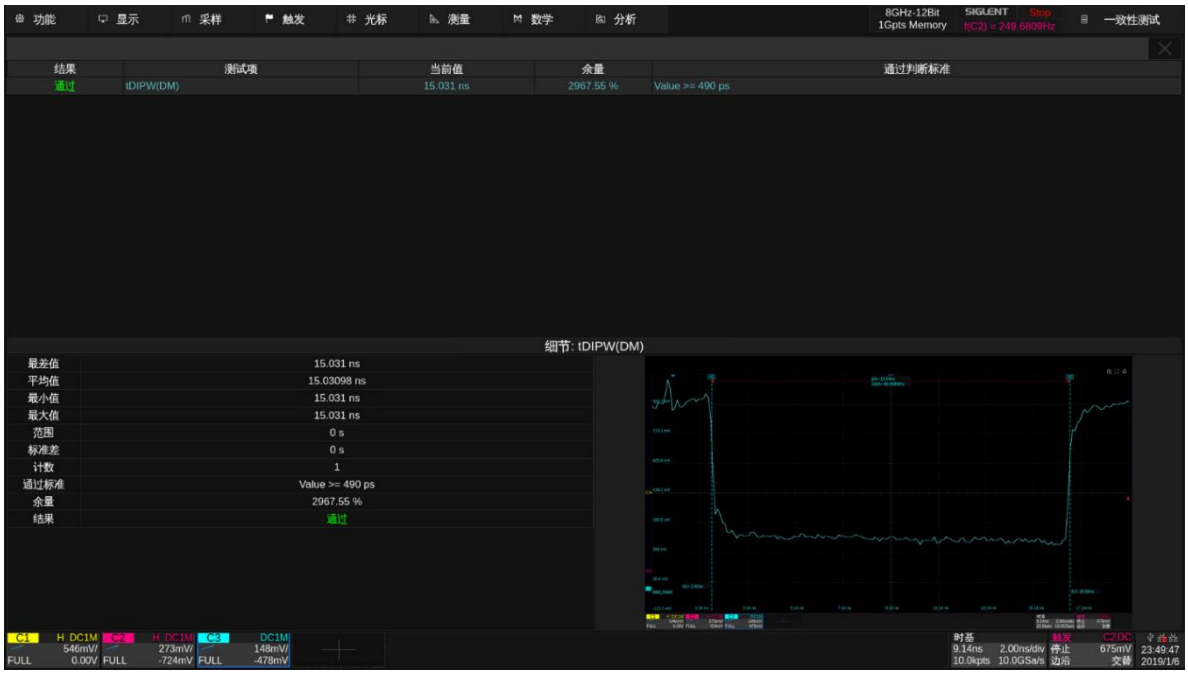


图 12.5-1 DDR3 tDIPW(DM)测试示例

12.6 tVAC

该项测试为 DDR3 所特有，该测试的目的是验证掩码 DM 信号高电平高于 $V_{IH(AC)}$的持续时间以及低电平低于 $V_{IL(AC)}$的持续时间是否在 JESD 规范规定的一致性限制范围内。

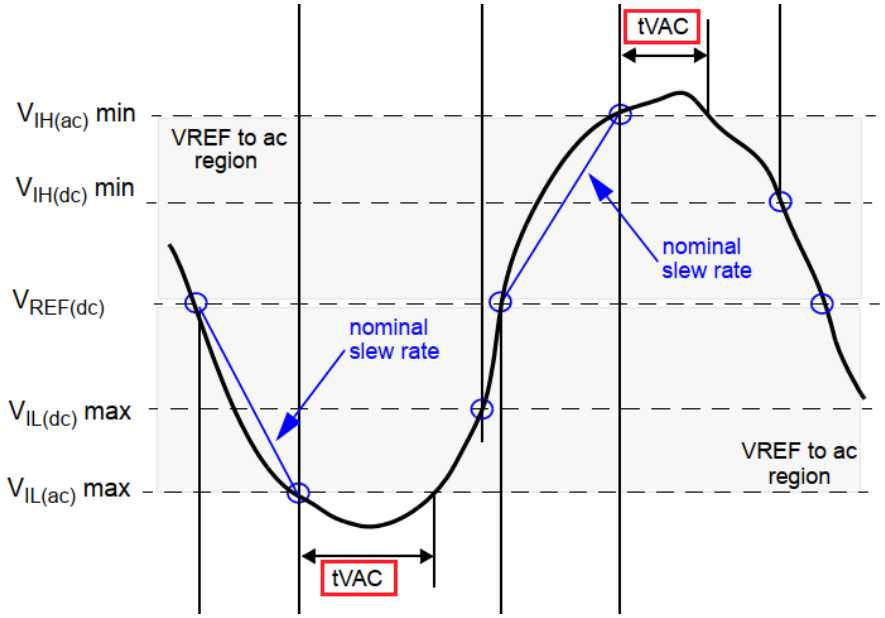


图 12.6-1 tVAC 在时序中的定义

12.6.1 规范说明

关于 tVAC 的阈值信息，请参见 JESD79-3F Table 81, JESD79-3-1A-01 Table 16。其取值范围根据其 Slew Rate 的不同而改变，且线性插值，DDR3L 也是如此。

12.6.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有 DM 有效的上升沿和下降沿穿过 $V_{IH(AC)}$ 以及 $V_{IL(AC)}$ 的点。
4. tVAC 是指 DM 上升沿穿过 $V_{IH(AC)}$的交叉点开始，到 DM 下降沿穿过 $V_{IH(AC)}$的交叉点结束的时间，或者 DM 下降沿穿过 $V_{IL(AC)}$的交叉点开始，到 DM 上升沿穿过 $V_{IL(AC)}$的交叉点结束的时间。
5. 找出测量结果的最小值和最大值。
6. 将测量结果与合规限值进行比较。

12.6.3 测量结果参考

下图 12.6-2 为可观测的测试结果示例。



图 12.6-2 DDR3 tVAC 测试示例

12.7 VIH.DM(AC)

该测试的目的是验证掩码信号 DM 的输入交流高电平电压值是否大于 JESD 的规范值。VIH.DM(AC)的取值范围与 Vref 有关，DDR3 的 Vref 为 0.75V；DDR3L 为 0.675V；DDR2 的 V_{REF} 为 0.9V，V_{peak} 为该信号 Overshoot 和 Undershoot 所允许的最大峰值幅度，一般为 0.5V。

12.7.1 规范说明

DDR3 的 VIH.DM(AC)的阈值范围根据所选数据速率的不同以及 AC 的不同而改变，具体请参考 JESD79-3F Table 24, JESD79-3-1A-01 Table 5。DDR2 的阈值范围如下表所示：

表 12.7-1 DDR2 VIH.DM(AC)规格要求

参数	DDR2-400/533		DDR2-677/800		单位
VIH.DM(AC)	最小值	最大值	最小值	最大值	V
	V_{REF}+0.25	V_{DDQ}+V_{peak}	V_{REF}+0.2	V_{DDQ}+V_{peak}	
	DDR2-1066				
	最小值	最大值			
	V_{REF}+0.2	-			

12.7.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 上升沿与 $V_{IH(AC)}$的交叉点。
4. 对于所有的 DM 交叉点找到下一个 DQS 穿过 0V 的交叉点。
5. 则 $V_{IH.DM(AC)}$的值为 DQS 的交叉点向前移动 tDS 时间间隔后 DM 的电压值。
6. 将测量结果与合规限值进行比较。

12.7.3 测试结果参考

下图 12.7-1 为可观测的测试结果示例。

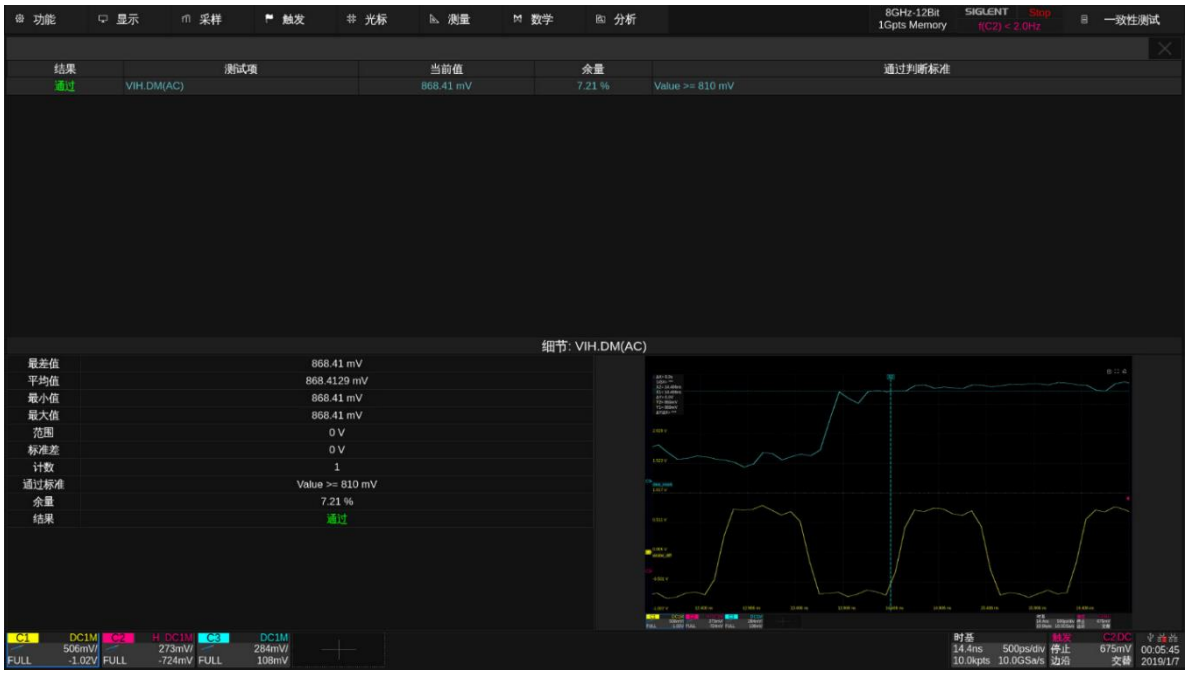


图 12.7-1 DDR3 VIH.DM(AC)测试示例

12.8 VIH.DM(DC)

该测试的目的是验证 DM 掩码信号的输入直流高电平值是否在 JEDEC 规范规定的一致性限制范围内。DDR3 的 V_{REF} 值为 0.75V，DDR3L 为 0.675V；DDR2 的 V_{REF} 值为 0.9V，DDR 的 VDDQ 值为 1.8V。

12.8.1 规范说明

DDR3 的 VIH.DM(DC)的阈值范围根据数据传输速率的不同而改变，具体请参考 JESD79-3F Table 24, JESD79-3-1A-01 Table 5。DDR2 的阈值范围如下表所示：

表 12.8-1 DDR2 VIH.DM(DC)的规格要求

参数	DDR2		单位
VIH.DM(DC)	最小值	最大值	V
	V_{REF}+0.125	V_{DDQ}+0.3	

12.8.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 上升沿与 $V_{IH(AC)}$的交叉点。
4. 对于所有的 DM 交叉点找到下一个 DQS 穿过 0V 的交叉点。
5. 则 $V_{IH.DM(DC)}$的值为 DQS 的交叉点向后移动 tDH 时间间隔后 DM 的电压值。
6. 将测量结果与合规限值进行比较。

12.8.3 测试结果参考

下图 12.8-1 为可观测的测试结果示例。

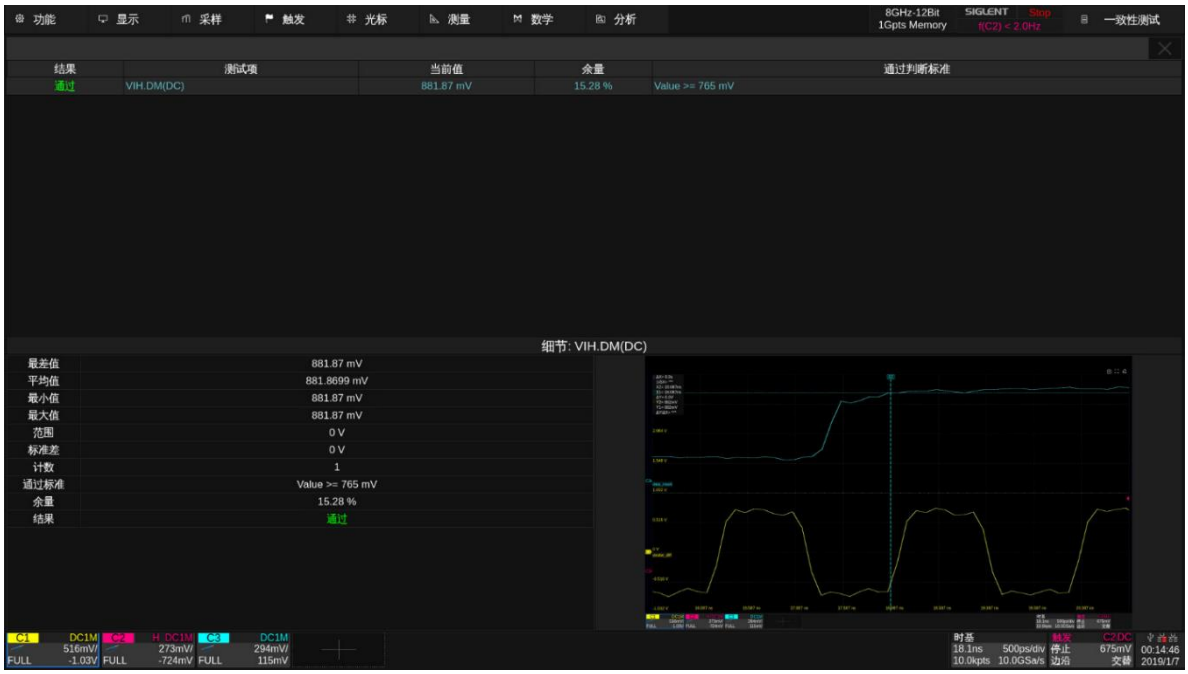


图 12.8-1 DDR3 VIH.DM(DC) 测试示例

12.9 VIL.DM(AC)

该测试的目的是验证掩码信号 DM 的交流输入低电平电压值是否满足 JESD 的规范值。VIL.DM(AC)的取值范围与 Vref 有关，DDR3 的 Vref 为 0.75V；DDR3L 为 0.675V；DDR2 的 Vref 为 0.9V，VSSQ 为 0V，V_{peak}为该信号 Overshoot 和 Undershoot 所允许的最大峰值幅度，一般为 0.5V。

12.9.1 规范说明

DDR3 的 VIL.DM(AC)的阈值范围根据数据传输速率的不同而改变，具体请参考 JESD79-3F Table 24, JESD79-3-1A-01 Table 5。DDR2 的阈值范围如下表所示：

表 12.9-1 DDR2 VIL.DM(AC)的规格要求

符号	DDR2-400/533		DDR2-667/800		DDR2-1066		单位
VIL.DM(AC)	最小值	最大值	最小值	最大值	最小值	最大值	V
	V_{SSQ}-V_{peak}	V_{REF}-0.25	V_{SSQ}-V_{peak}	V_{REF}-0.2	-	V_{REF}-0.2	

12.9.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 下降沿与 $V_{IL(AC)}$的交叉点。
4. 对于所有的 DM 交叉点找到下一个 DQS 穿过 0V 的交叉点。
5. 则 $V_{IL.DM(AC)}$的值为 DQS 的交叉点向前移动 tDS 时间间隔后，DM 的电压值。
6. 将测量结果与合规限值进行比较。

12.9.3 测试结果参考

下图 12.9-1 为可观测的测试结果示例。

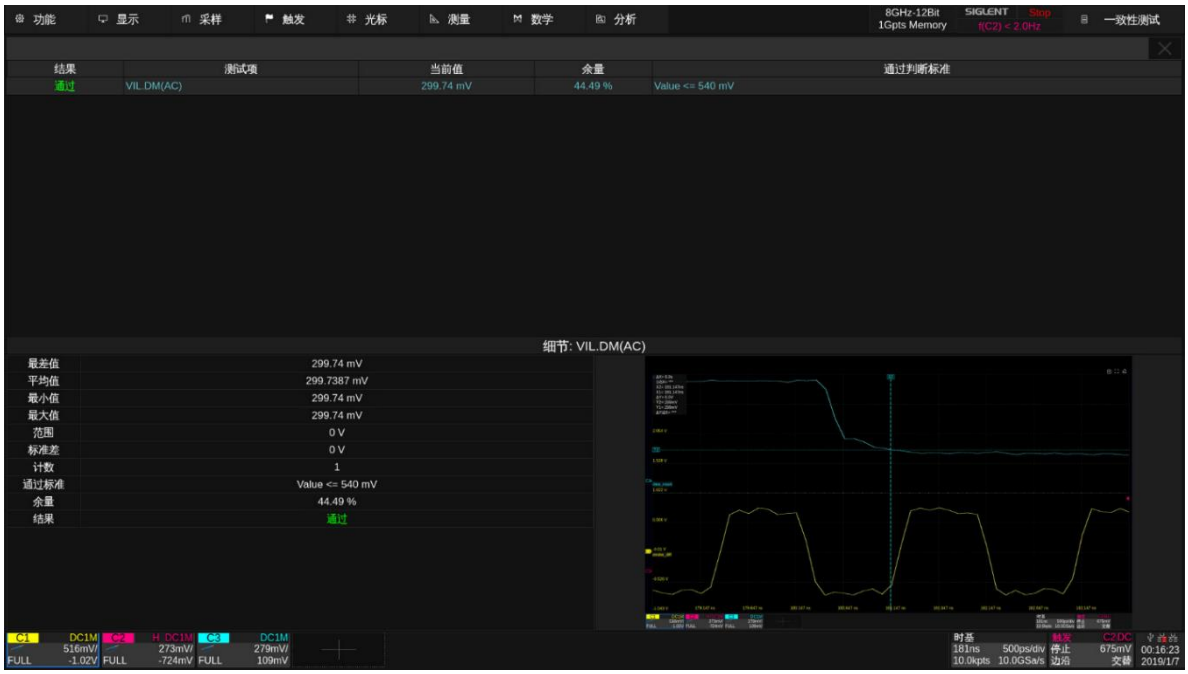


图 12.9-1 DDR3 VIL.DM(AC)测试示例

12.10 VIL.DM(DC)

该测试的目的是验证 DM 掩码信号的直流输入低电平值是否在 JEDEC 规范规定的一致性限制范围内。DDR3 的 V_{REF} 的值为 0.75V，DDR3L 为 0.675V；DDR2 的 V_{REF} 值为 0.9V。

12.10.1 规范说明

DDR3 的 VIL.DM(DC)的阈值范围根据数据传输速率的不同而改变，具体请参考 JESD79-3F Table 24, JESD79-3-1A-01 Table 5。DDR2 的取值范围如下表所示：

表 12.10-1 DDR2 VIL.DM(DC)规格要求

符号	DDR2		单位
VIL.DM(DC)	最小值	最大值	V
	-0.3	VREF - 0.125	

12.10.2 计算方法

1. 获取并分离读写时序。
2. 找到一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 下降沿与 $V_{IL(AC)}$ 的交叉点。
4. 对于所有的 DM 交叉点找到下一个 DQS 穿过 0V 的交叉点。
5. 则 $V_{IL.DM(DC)}$ 的值为 DQS 的交叉点向前移动 tDH 时间间隔后，DM 的电压值。
6. 将测量结果与合规限值进行比较。

12.10.3 测试结果参考

下图 12.10-1 为可观测的测试结果示例。

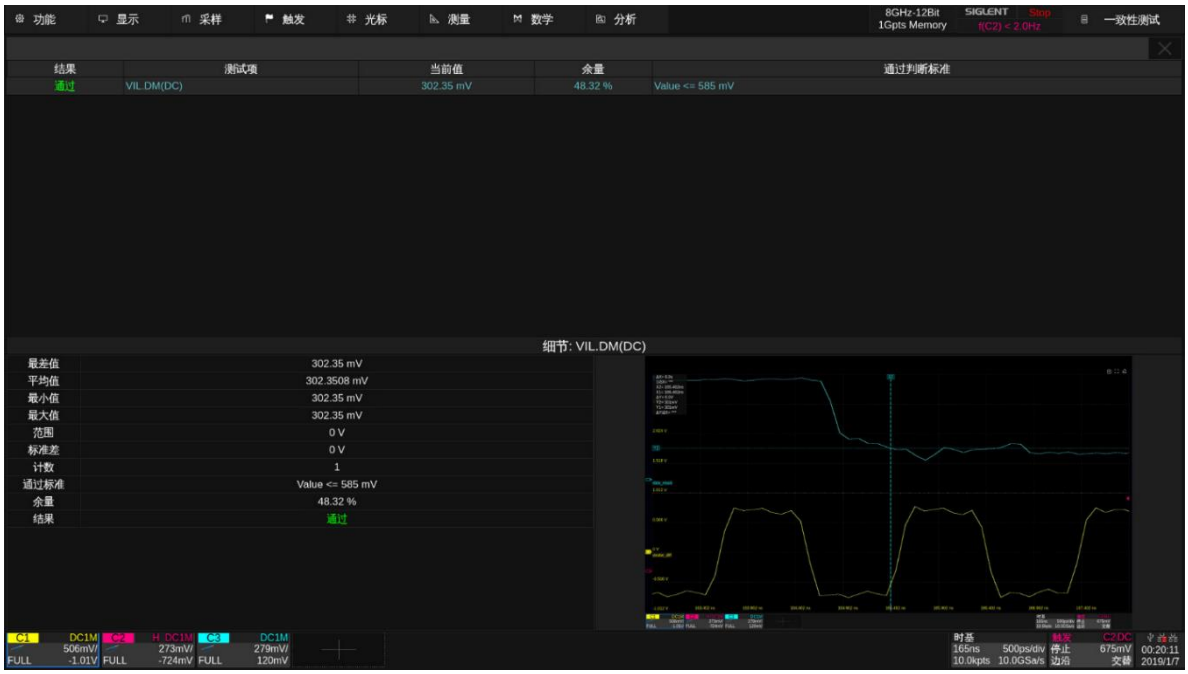


图 12.10-1 DDR3 VIL.DM(DC)测试示例

12.11 压摆率(Slew Rate)(DM)

信号的建立和保持时间的压摆率（slew rate）主要针对 Address/Command/Data 这些单端信号，且 DDR3 的 JESD 规范并未给出判断标准。在 DDR3 自动化测量中，DM 的 setup time 或 hold time 的 slew rate 测量仅作为参考，没有判断标准。在 DDR2 中只给出了建立时间的压摆率的取值范围：value>=1V/ns，掩码信号的保持时间的压摆率测量仅作为参考，没有判断标准。

12.11.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF)

标准上分为了标称压摆率和切线压摆率，对于下图中的建立/保持时序的压摆率，当波形早于标称压摆率时，使用标称压摆率作为tDS补偿值的选择依据，否则使用切线压摆率作为依据。测试时，对所有有效的边沿，取其标称压摆率作为测量值，统计所有测量值与用户定义的阈值进行比对。

建立时间（tDS）的压摆率定义：

- 上升信号：从上升沿穿过 VREF(dc)到第一次穿过 VIH(ac)min 的斜率。
- 下降信号：从下降沿穿过 VREF(dc)到第一次穿过 VIL(ac)max 的斜率。

保持时间（tDH）的压摆率定义：

- 上升信号：从最后一次穿过 VIL(dc)max 到上升沿穿过 VREF(dc)的斜率。
- 下降信号：从最后一次穿过 VIH(dc)min 到下降沿穿过 VREF(dc)的斜率。

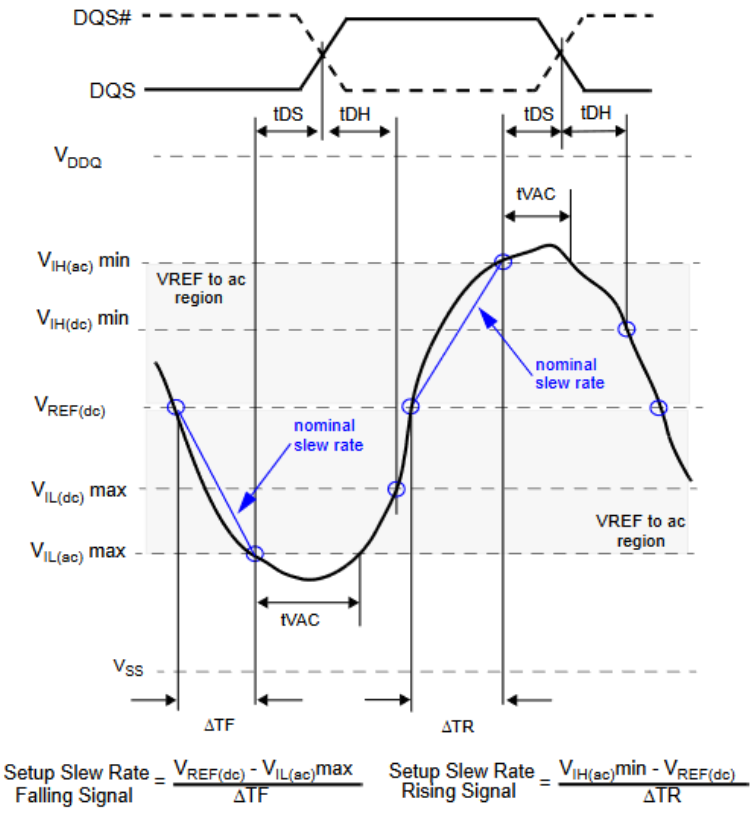


图 12.11-1 标称压摆率

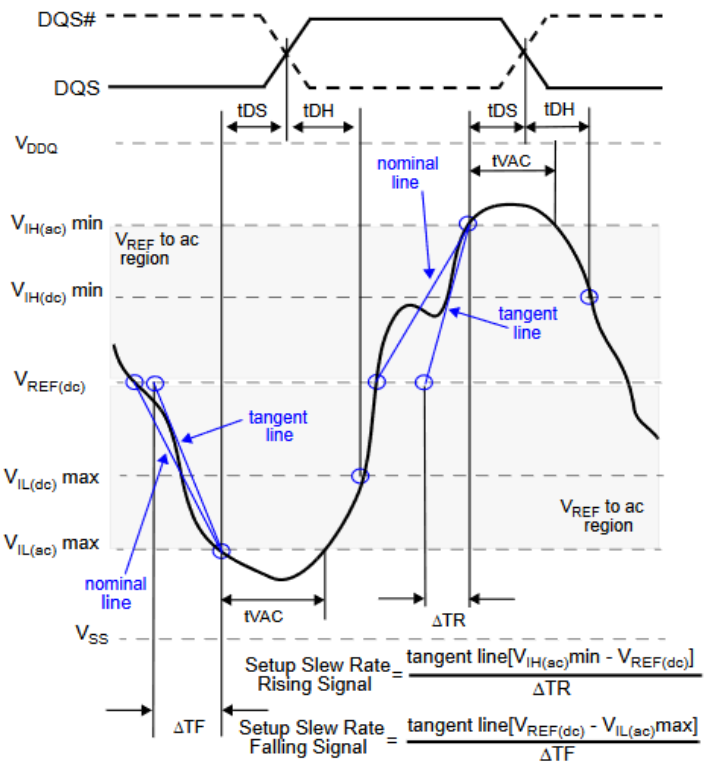


图 12.11-2 切线压摆率

12.11.1 测试结果参考

下图 12.11-3 为可观测的测试结果示例。



图 12.11-3 DDR3 Slew rate Setup/Hold-Rising/Falling(DM)测试示例

12.12 Overshoot 和 Overshoot Area(DM)

过冲测试可分为两个子测试：过冲幅度和过冲面积测试。过冲测试的目的是从获取的波形区域验证测试信号的过冲值（过冲幅度和过冲面积）是否满足 JESD 规范中规定的一致性限值。过冲面积的计算基于过冲宽度和过冲幅度。过冲区域应小于或等于 JESD 规范中规定的一致性限制。

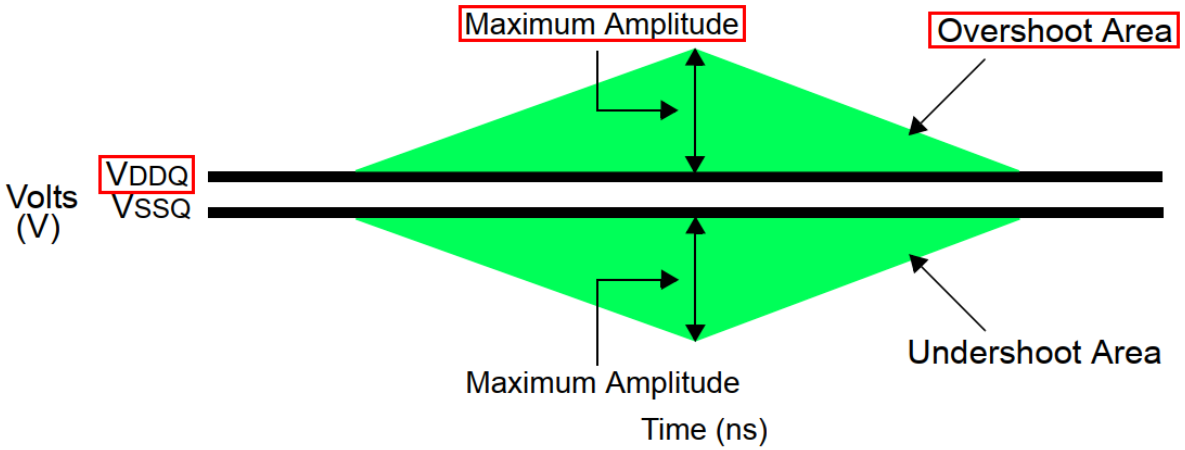


图 12.12-1 DD2/3 DM 过冲幅度和过冲面积的定义

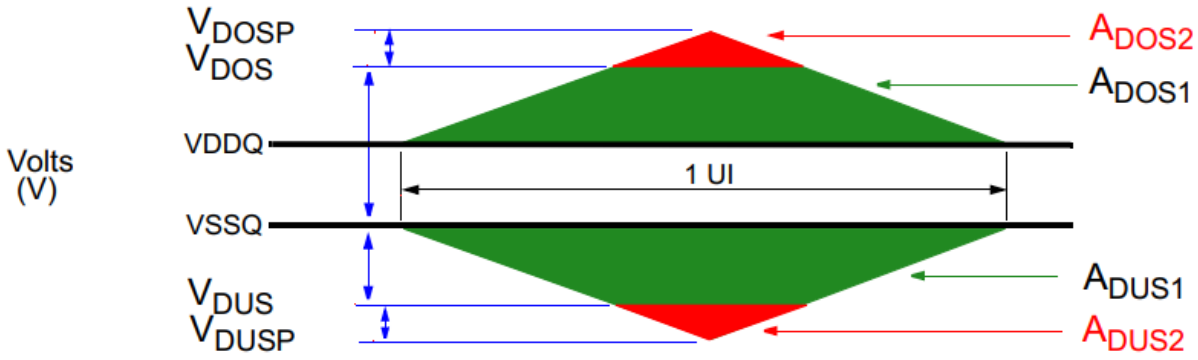


图 12.12-2 DDR4 DM 过冲幅度和过冲面积的定义

DDR4 自动化测试中 DM 的 Overshoot 定义为超过 VDDQ(1.2V)的部分，其最大不能超过 VDDQ 0.4V。Overshoot Area 分为两部分， Overshoot Area1 是一个 UI 内，介于 VDDQ(1.2V)和 V_{DOS} (1.44V)之间的部分的面积； Overshoot Area2 是一个 UI 内超过 $V_{DQS(}$1.44V)的部分的面积。DDR4 对这两部分的过冲面积都有严格的要求，门限取值范围如表 8.4-3 所示。Undershoot 和 Overshoot 是针对整个传输的波形来测试的，即使不是有效传输部分。Undershoot Area 和 Overshoot Area 是针对有效传输部分。

12.12.1 规范说明

表 12.12-1 DDR3 DM 过冲幅度和过冲面积规格要求

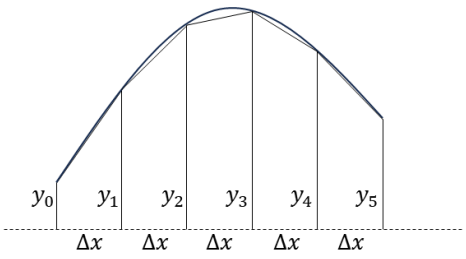
	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Overshoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Overshoot Area	0.25V-ns	0.19V-ns	0.15V-ns	0.13V-ns	0.11V-ns	0.10V-ns

表 12.12-2 DDR2 DM 过冲幅度和过冲面积规格要求

	规格				
参数	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Overshoot	0.5V	0.5V	0.5V	0.5V	0.5
Overshoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19V-ns

12.12.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找过冲区。过冲区从 DM 与 V_{DDQ}（或 V_{DDCA}）上升交叉点开始，到 V_{DDQ}（或 V_{DDCA}）与 DM 下降沿交叉点结束。
2. 在过冲区域内，执行以下步骤：
   a) 通过以下步骤评估过冲幅度：
      i. 使用 T_{MAX} 和 V_{MAX} 获取波形过冲区最大电压。
      ii. 计算：过冲幅度 = V_{MAX} - V_{DDQ}（或 V_{DDCA}）。
   b) 评估低于 V_{DDQ} 的区域 =(过冲区域结束 - 过冲区域开始) * V_{DDQ}。
   c) 采用梯形法计算 0 V 以上的总面积，如下图所示：



$$\text{Area} \approx \Delta x\left(\frac{y_0}{2} + y_1 + y_2 + y_3 + \cdots + \frac{y_n}{2}\right)$$

图 12.12-3 过冲面积计算方式

   d) 计算 V_{DDQ}（或 V_{DDCA}）以上的面积 =0 V 以上的总面积 - V_{DDQ}（或 V_{DDCA}）以下的面积。

e) 对于 DDR4 来说还需要计算出 1 个 UI 内 VDDQ 和 1.4V 之间的面积，和 1.4V 之上的面积，且过冲区域开始和过冲区域结束限制在 1 个 UI 内。

f) 将计算结果存储，供以后的最坏情况查找过程使用。

3. 对获取的波形中发现的其余过冲区重复上一步。

4. 从存储结果中找出下面最差的结果。

5. 将测试结果与测试限值进行比较。

12.12.3 测试结果参考

下图 12.12-4 为可观测的测试结果示例。



图 12.12-4 DDR3 Overshoot(DM)和 Overshoot Area(DM)测试示例

注：若测试的过冲幅度和过冲面积均为 0，表明被测信号幅度没有超过 VDDQ，此为正常现象。

12.13 Undershoot 和 Undershoot Area(DM)

下冲测试可分为两个子测试：下冲幅度和下冲面积测试。下冲测试的目的是从获取的波形区域验证测试信号的下冲值（下冲幅度和下冲面积）是否满足 JESD 规范中规定的一致性限值。下冲面积的计算基于下冲宽度和下冲幅度。下冲区域应小于或等于 JESD 规范中规定的一致性限制。

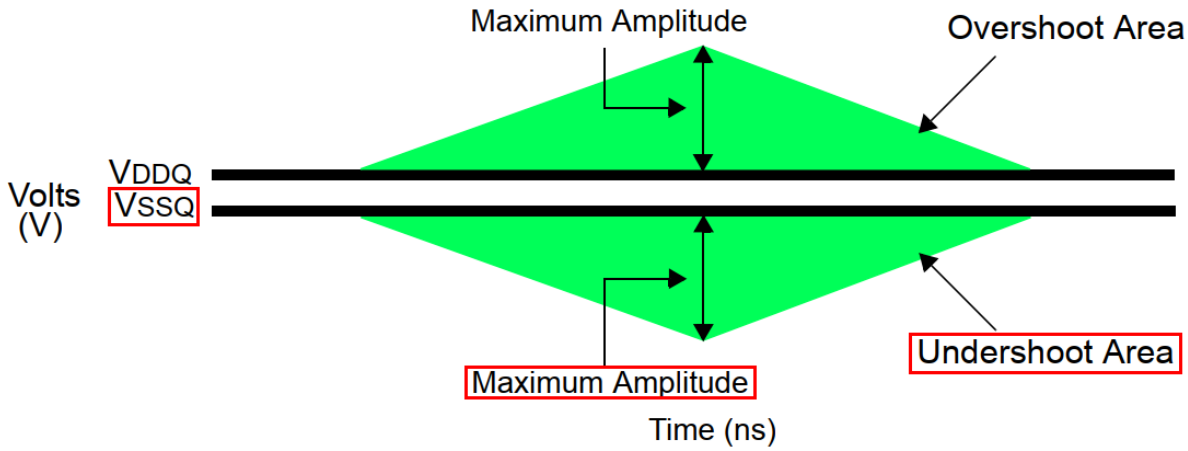


图 12.13-1 DDR2/3 DM 下冲幅度和下冲面积的定义

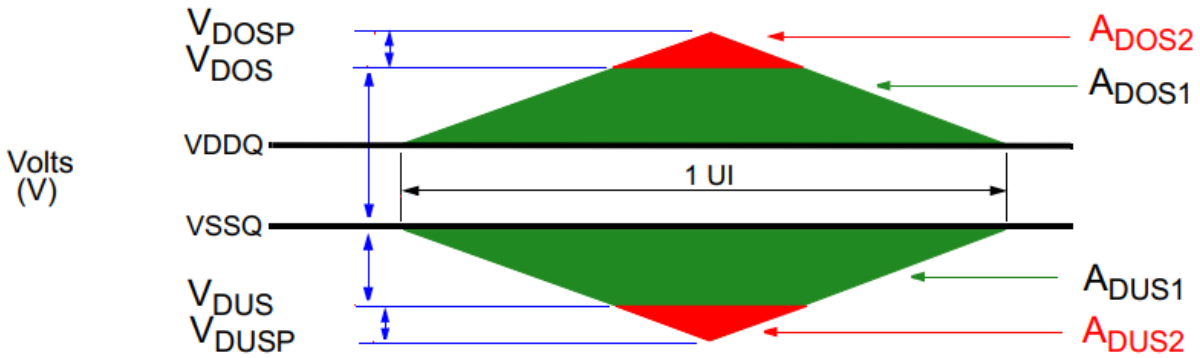


图 12.13-2 DDR4 DM 过冲幅度和过冲面积的定义

DDR4 自动化测试中 DM 的 Undershoot 定义为低于 VSSQ(0V)的部分，其最大不能低于-0.4V。Undershoot Area 分为两部分，Undershoot Area1 是一个 UI 内，介于 VSSQ(0V)和 VDUS (-0.3)之间的部分的面积；Undershoot Area2 是一个 UI 内低于 VDUS(-0.3V)的部分的面积。DDR4 对这两部分的下冲面积都有严格的要求，门限取值范围如上表 8.4-3 所示。

12.13.1 规范说明

表 12.13-1 DDR3 DM 下冲幅度和下冲面积规格要求

	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Undershoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Undershoot Area	0.25V-ns	0.19V-ns	0.15V-ns	0.13V-ns	0.11V-ns	0.10V-ns

表 12.13-2 DDR2 DM 下冲幅度和下冲面积规格要求

	规格				
参数	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Undershoot	0.5V	0.5V	0.5V	0.5V	0.5
Undershoot Area	0.38V-ns	0.28V-ns	0.23V-ns	0.23V-ns	0.19V-ns

12.13.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找下冲区。
2. 在下冲区域内，执行以下步骤：
   a) 通过以下步骤评估下冲幅度：
      i. 使用 T_{MIN} 和 V_{MIN} 获取波形下冲区最大电压。
      ii. 计算：下冲幅度 = 0 - V_{MIN}。
   b) 通过梯形法面积计算，评估 0 V 以下的总面积（参考图 8.4-3）。
   c) 对于 DDR4，需要再求出-0.3V 和 0V 之间的面积，再用总面积相减得到 Area2 的值。
   d) 为以后的最坏情况查找过程存储计算结果。
3. 对获取的波形中发现的其余下冲区域重复上一步。
4. 从存储结果中找出下面最差的结果。
5. 将测试结果与符合性测试限值进行比较。

12.13.3 测试结果参考

下图 12.13-3 为可观测的测试结果示例。

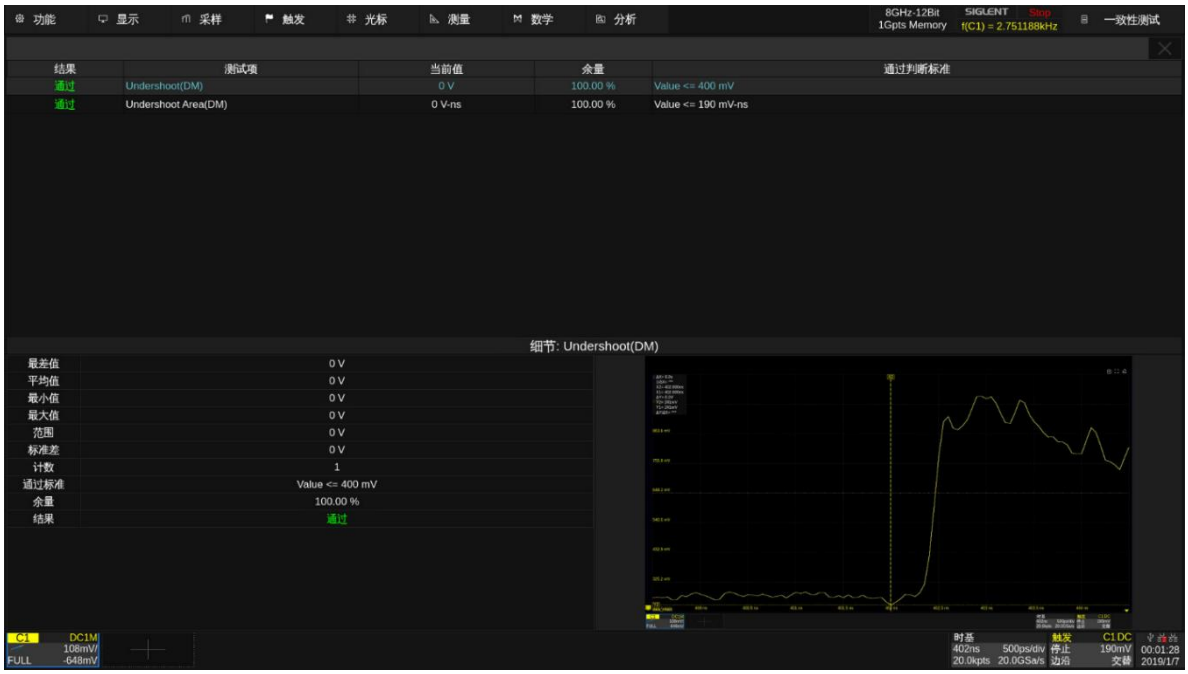


图 12.13-3 DDR3 Undershoot(DM)和 Undershoot Area(DM)测试示例

注：若测试的下冲幅度和下冲面积均为 0，表明被测信号幅度没有超过 VSSQ，此为正常现象。

12.14 tDS1.DM(base)

该项测试为 DDR2 所特有，当 DQS 为单端信号时，tDS1.DM(base)、tDH1.DM(base)等测试项的测试方法和取值范围与 11.19 项到 11.22 项的一样，此处不再赘述。

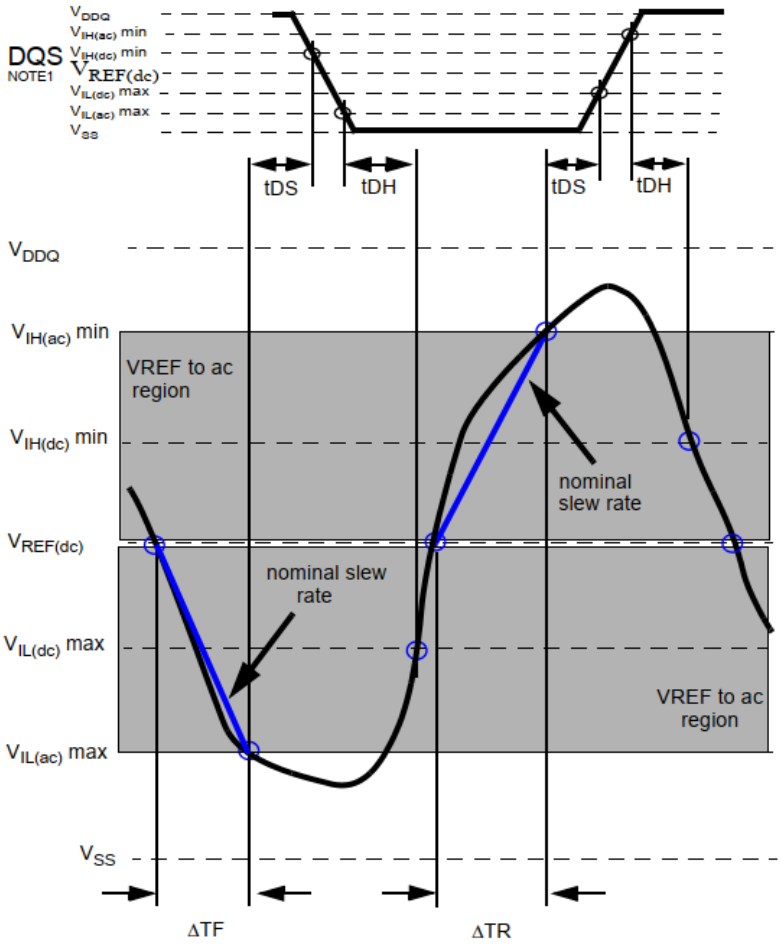


图 12.14-1 tDS1 和 tDH1 的定义

12.14.1 规范说明

表 12.14-1 DDR2 tDS1.DM(base)的规格要求

参数	DDR2-400		DDR2-533		单位
tDS1.DM(base)	最小值	最大值	最小值	最大值	ps
	25	-	-25	-	

12.14.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。

3. 找出上述脉冲串中所有有效 DM 上升沿与 $V_{IH(AC)}$相交的交叉点。
4. 找出上述脉冲串中所有有效 DM 下降沿与 $V_{IL(AC)}$相交的交叉点。
5. 找出所有 DM 交叉点的下一个 DQS 与 VIH(dc).min 或 VIL(dc).max 的交叉点。
6. tDS1 定义为 DM 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

12.14.3 测量结果参考

下图 12.14-2 为可观测的测试结果示例。

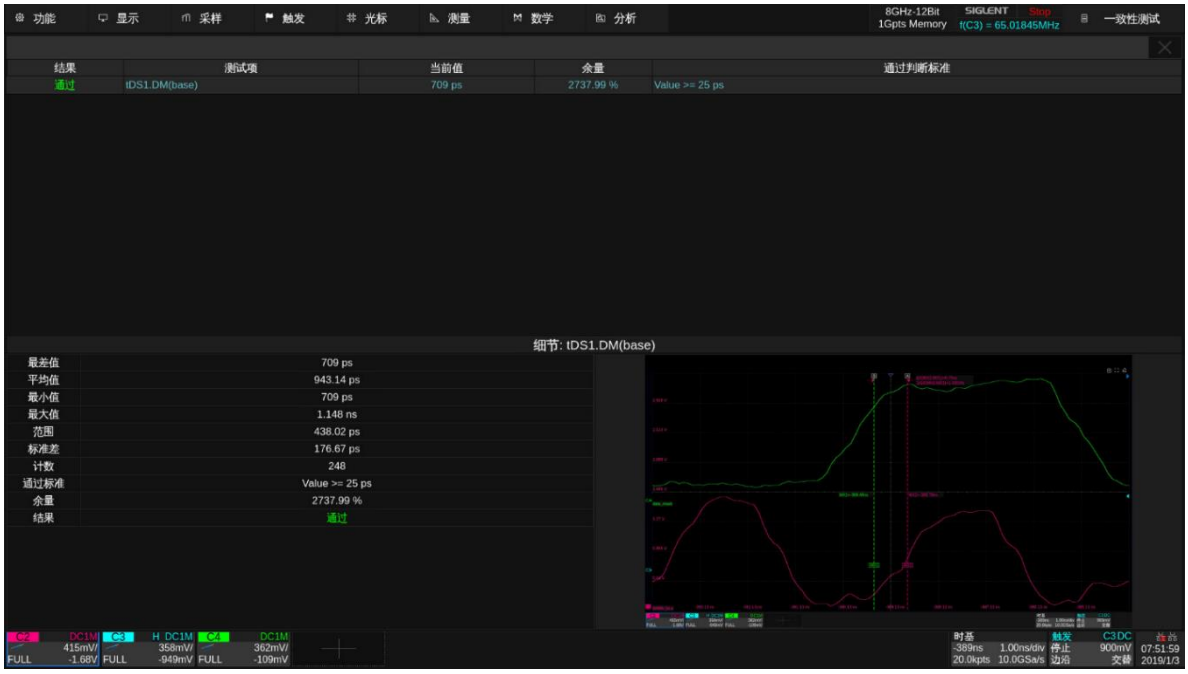


图 12.14-2 DDR2 tDS1.DM(base)测试示例

12.15 tDS1.DM(derate)

该项测试为 DDR2 所特有，当 DQS 为单端信号时，tDS1.DM(derate)、tDH1.DM(derate) 等测试项的测试方法和取值范围与 11.9 项到 11.22 项的一样，详细信息可查看 11.19 项到 11.22 项。

12.15.1 规范说明

tDS1.DM (derate) 的限值根据 DM 和 DQS 的压摆率以及 DQS 是差分还是单端而改变。对于 DQS 单端信号，具体 tDS1.DM(derate)的取值请参考 DDR2.JESD79-2F Table 46。

12.15.2 计算方法

1. 获取并分离读写时序。
2. 找到第一个有效写时序。
3. 找出上述脉冲时序中所有有效 DM 上升沿与 $V_{IH(AC)}$以及下降沿与 $V_{IL(AC)}$相交的交叉点。
4. 找出所有 DM 交叉点的下一个 DQS 与 VIH(dc).min 或 VIL(dc).max 的交叉点。
5. tDS 定义为上述 DM 交叉点与 DQS 交叉点之间的时间。
6. 找出测量结果中的最小值和最大值。
7. 测量 DM 和 DQS 的平均压摆率。
8. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
9. 将测量结果与合规限值进行比较。

12.15.3 测量结果参考

下图 12.15-1 为可观测的测试结果示例。

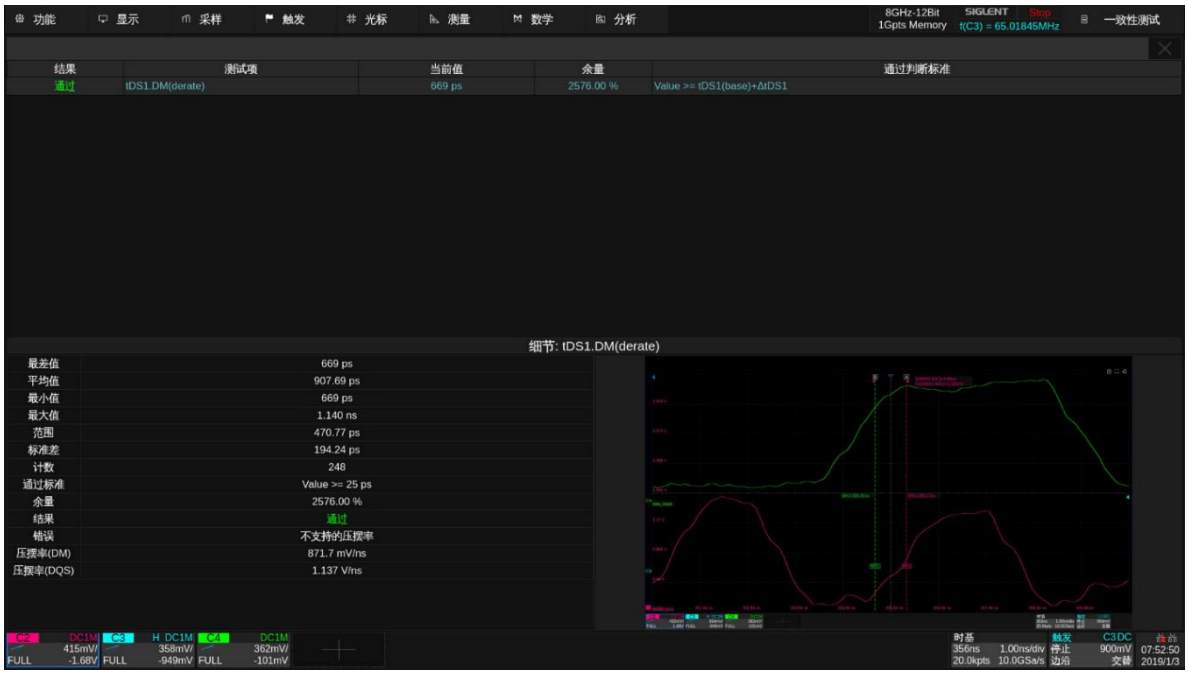


图 12.15-1 DDR2 tDS1.DM(derate)测试示例

12.16 tDH1.DM(base)

该项测试为 DDR2 所特有，当 DQS 为单端信号时，tDH1.DM(base)、tDS1.DM(base)等测试项的测试方法和取值范围与 11.19 项到 11.22 项的一样，详细信息可查看 11.19 项到 11.22 项。

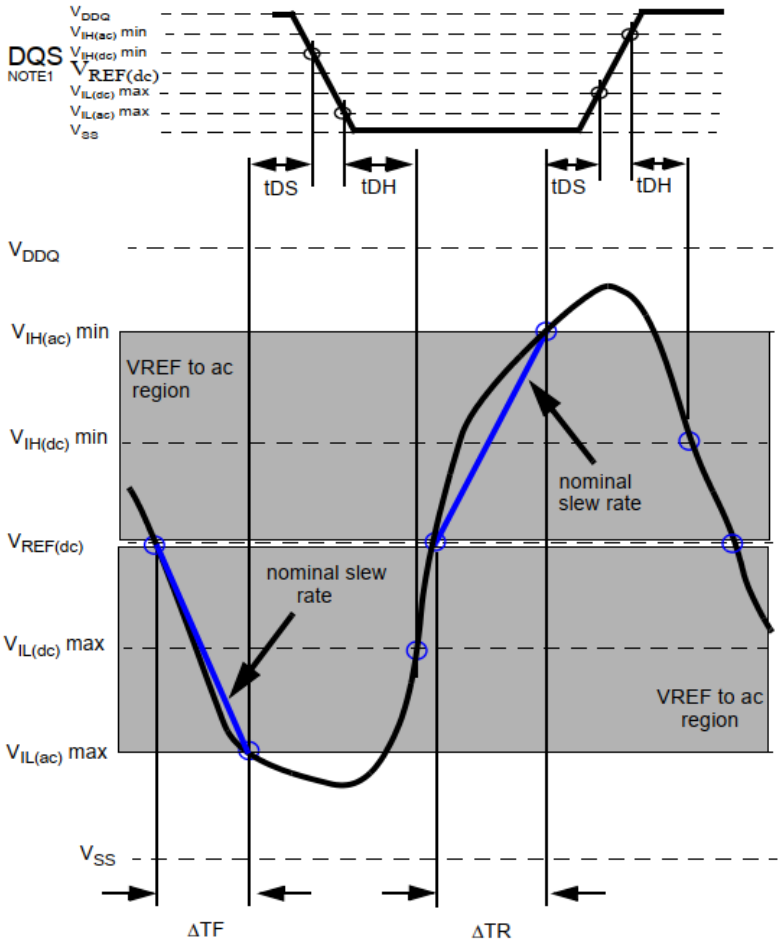


图 12.16-1 tDS1 和 tDH1 的定义

12.16.1 规范说明

表 12.16-1 tDH1.DM(base) 规格要求

参数	DDR2-400		DDR2-533		单位
tDH1.DM(base)	最小值	最大值	最小值	最大值	ps
	25	-	-25	-	

12.16.2 计算方法

1. 获取并分离读写脉冲时序。
2. 找到第一个有效写时序。

3. 找出上述脉冲串中所有有效 DM 上升沿与 $V_{IL(DC)}$相交的交叉点。
4. 找出上述脉冲串中所有有效 DM 下降沿与 $V_{IH(DC)}$相交的交叉点。
5. 找出所有 DM 交叉点的下一个 DQS 与 VIL(ac).max 或 VIH(ac).min 的交叉点。
6. tDH1 定义为 DM 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

12.16.3 测量结果参考

下图 12.16-2 为可观测的测试结果示例

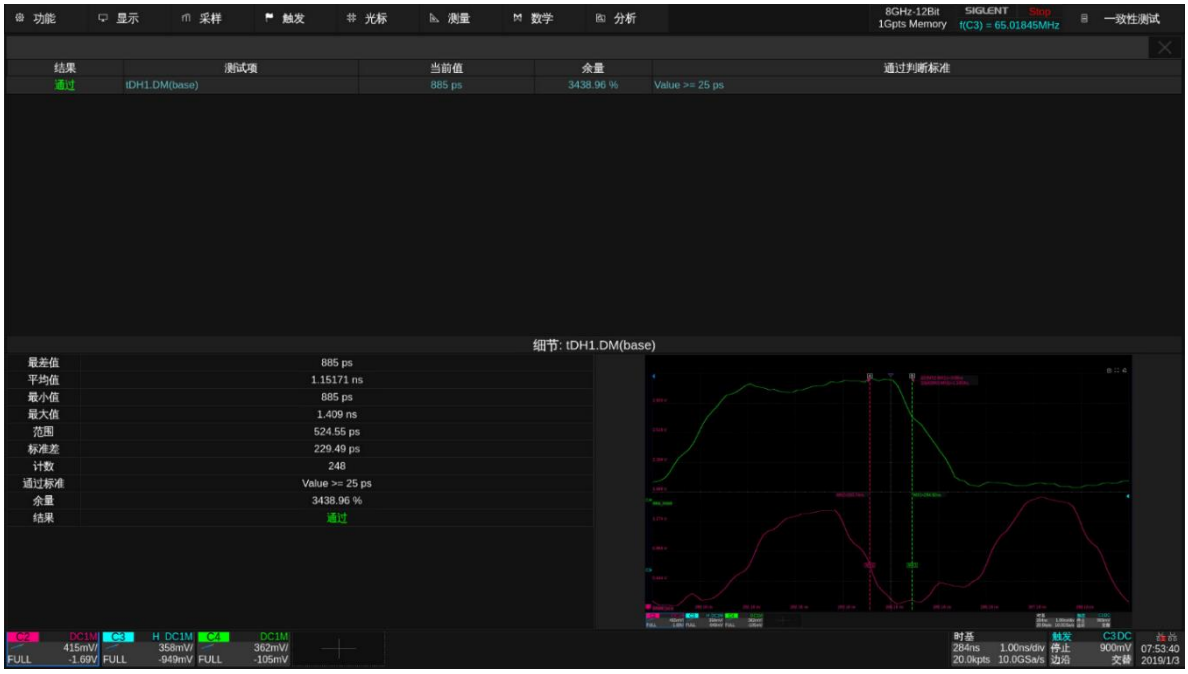


图 12.16-2 DDR2 tDH1.DM(base)测试示例

12.17 tDH1.DM(derate)

该项测试为 DDR2 所特有，当 DQS 为单端信号时，tDH1.DM(derate)、tDS1.DM(derate)等测试项的测试方法和取值范围与 11.9 项到 11.22 项的一样，详细信息可查看 11.19 项到 11.22 项。

12.17.1 规范说明

tDH1.DM(derate)的限值根据 DM 和 DQS 的压摆率以及 DQS 是差分还是单端而改变。对于 DQS 单端信号，具体 tDH1.DM(derate)的取值请参考 DDR2.JESD79-2F Table 46。

12.17.2 计算方法

1. 获取并分离读写脉冲串。
2. 找到第一个有效写时序。
3. 找出上述脉冲串中所有有效 DM 上升沿与 $V_{IL(DC)}$相交的交叉点。
4. 找出上述脉冲串中所有有效 DM 下降沿与 $V_{IH(DC)}$相交的交叉点。
5. 找出所有 DM 交叉点的下一个 DQS 与 0V 的交叉点。
6. tDS1 定义为 DM 交叉点与 DQS 交叉点之间的时间。
7. 找出测量结果中的最小值和最大值。
8. 测量 DM 和 DQS 的平均压摆率。
9. 根据平均压摆率的值查询降额表决定该测试项的合规限值，将测量结果与合规限值进行比较。

12.17.3 测量结果参考

下图 12.17-1 为可观测的测试结果示例。

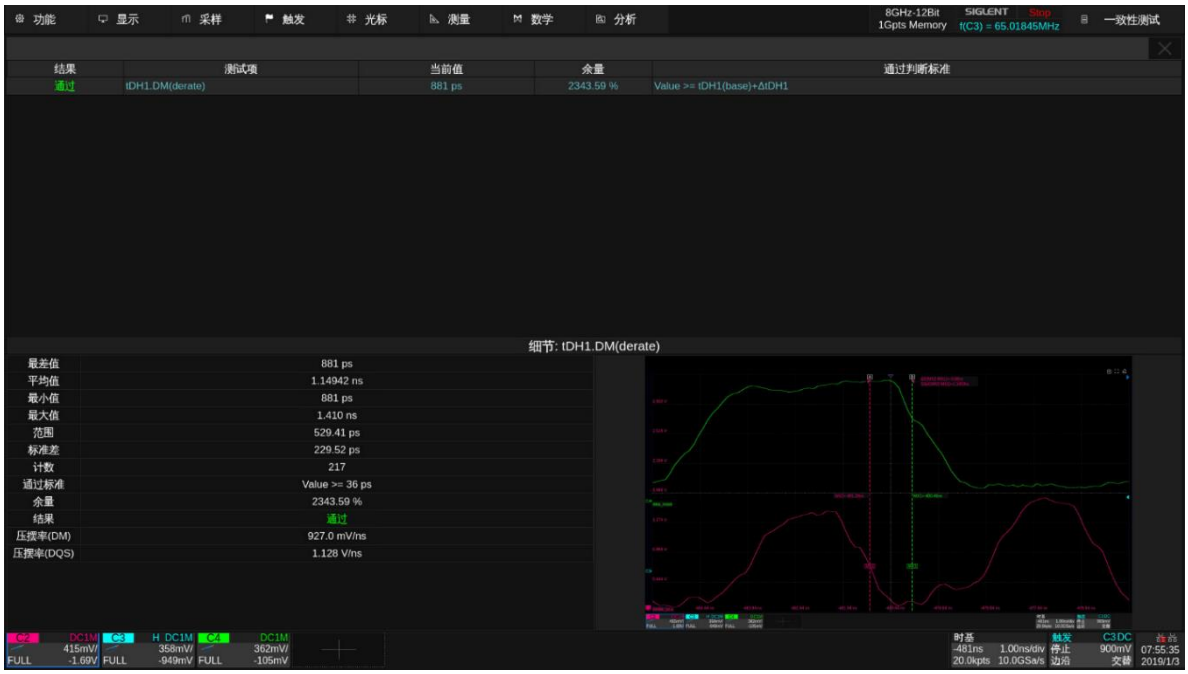


图 12.17-1 DDR2 tDH1.DM(derate)测试示例

13 命令或地址信号测试集

13.1 tIS(base)

该测试的目的是验证命令或者地址信号相对于 CLK 的建立时间 tIS 是否在 JEDEC 规范规定的基础值标准之内。tIS 和 tIH 均在 CLK 的上升沿采样时抓取，tIS (total setup time) = tIS(base) + ΔtIS。DDR3 中，tIS(base)是数据手册中给出的基准值，通常基于标称斜率（例如 Command/Address slew rate 2 V/ns 和 CLK 差分信号 slew rate 1 V/ns）定义的，也是通过查表所得，例如 DDR3_JESD79-3F 规范文档中的 table 70。ΔtIS 是降额值，用于根据 Command/Address 和 CLK 差分信号的实际信号斜率调整 tIS(base)。ΔtIS 的值，通常通过查表获得，例如 DDR3_JESD79-3F 规范文档中的 table 71、table72 等。

在实际测试时，tIS 为 VIL(AC)max 与 CA 信号下降沿的交点到最近 CLK 上升沿的时间，或者 VIH(AC)min 与 CA 信号上升沿的交点到最近 CLK 上升沿的时间，如下图所示。

DDR2 中，tIS(base)是实际测试的基准值。 ΔtDS 是降额值，用于根据 Command/Address 和 CLK 差分信号的实际信号斜率调整 tIS(base)。ΔtIS 的值通常通过查表获得，例如 DDR2.JESD79-2F 规范文档中的 table47、table48；DDR2-1066.JESD208 规范文档中的 table 43。

DDR4 中该项测试和 DDR3 是一样的，示波器实际测试得到的 tIS(base)其实是 tIS (total setup time)，其阈值是根据查表得到的 tIS(base)和ΔtIS 之和。tIS(base)的取值可以参考 JESD79-4D Table 175，VIH\VIL 的取值可以参考 JESD79-4D Table 121，ΔtIS 降额值可以参考 JESD79-4D Table 177、Table 178。

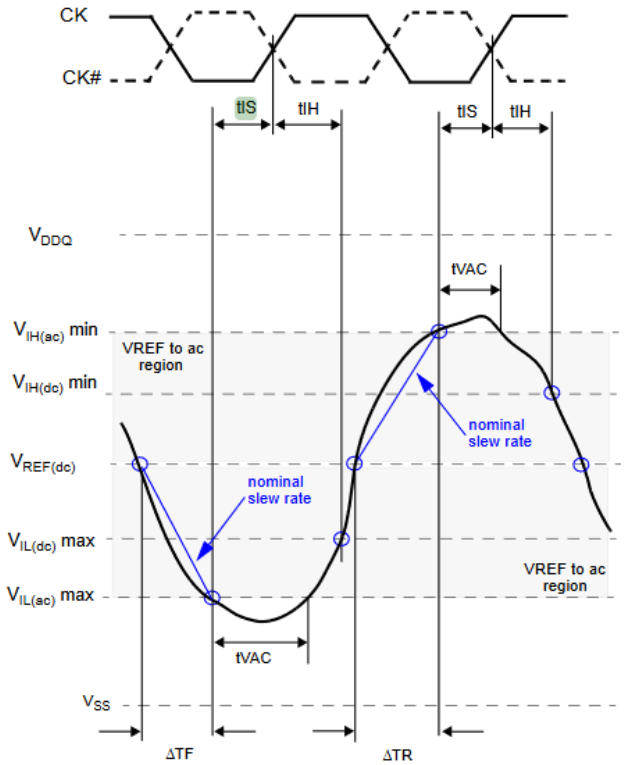


图 13.1-1 tIS 和 tIH 的定义

13.1.1 规范说明

在 DDR4 中ΔtIS 降额值可以参考 JESD79-4D Table 177、Table 178。

DDR4 中 tIS(base)的取值如下表所示：

表 13.1-1 DDR4 tIS(base)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tIS(base)	115	-	100	-	80	-	62	-	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	55	-	48	-	40	-			

在 DDR3 中，tIS(base)的阈值根据所选择数据速率的不同以及 AC 的不同而改变。具体请参考 JESD79-3F Table 70, JESD79-3-1A-01 Table 7。DDR2 的取值范围如下表所示：

表 13.1-2 DDR2 tIS(base)规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tIS(base)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	350	-	250	-	200	-	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	175	-	125	-			

13.1.2 计算方法

1. 预置示波器。
2. 在被测命令或地址的上升沿或下降沿触发。
3. 找出被测信号上升沿与 $V_{IH(AC)}$的所有交叉点。
4. 找出被测信号下降沿与 $V_{IL(AC)}$的所有交叉点。
5. 对于找到的所有交叉点，向后搜索时钟与 0V 的最近的交叉点。
6. 取被测信号交叉点与相对于时钟交叉点之间的时间差为 tIS。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

13.1.3 测量结果参考

下图 13.1-2 为可观测的测试结果示例。



图 13.1-2 DDR3 tIS(base)测试示例

13.2 tIS(derate)

该测试的目的是验证命令或者地址信号相对于 CLK 差分信号的建立时间 tIS 是否在 JEDEC 规范规定降额后的标准之内。DDR4 不测试按压摆率降额后的 tIS(derate)。

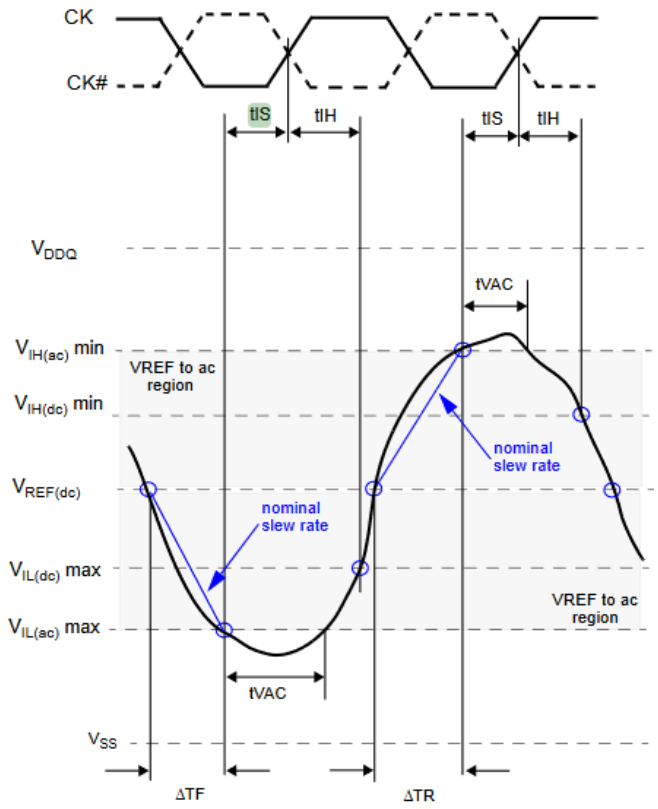


图 13.2-1 tIS 和 tIH 的定义

13.2.1 规范说明

对于 DDR3，tIS(derate)的限值根据 Command/Address/CLk 差分信号压摆率的不同以及 AC 的不同而改变。具体请参考 JESD79-3F Table 71 到 Table 74, JESD79-3-1A-01 Table 8、Table 9、Table 10。DDR2 同 DDR3 类似，Command/Address/CLk 差分信号压摆率的不同也会使 tIS(derate)的限值不同，具体可参考 DDR2.JESD79-2F 规范文档中的 table47、table48，DDR2-1066.JESD208 规范文档中的 table 43。

13.2.2 计算方法

1. 预置示波器。
2. 在被测命令或地址的上升沿或下降沿触发。
3. 找出被测信号上升沿与 $V_{IH(AC)}$的所有交叉点。

4. 找出被测信号下降沿与 $V_{IL(AC)}$的所有交叉点。
5. 对于找到的所有交叉点，向后搜索时钟与 0V 的最近的交叉点。
6. 取被测信号交叉点与相对于时钟交叉点之间的时间差为 tIS。
7. 测量 ADD/CMD 和时钟的平均压摆率。
8. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
9. 将测量结果与合规限值进行比较。

13.2.3 测量结果参考

下图 13.2-2 为可观测的测试结果示例。



图 13.2-2 DDR3 tIS(derate)测试示例

13.3 tIS(Vref)

该项测试为 DDR4 所特有，tIS(Vref)为 CLK 上升沿与 CA 信号边沿穿越 VREF(DC)的时间差，如下图所示：

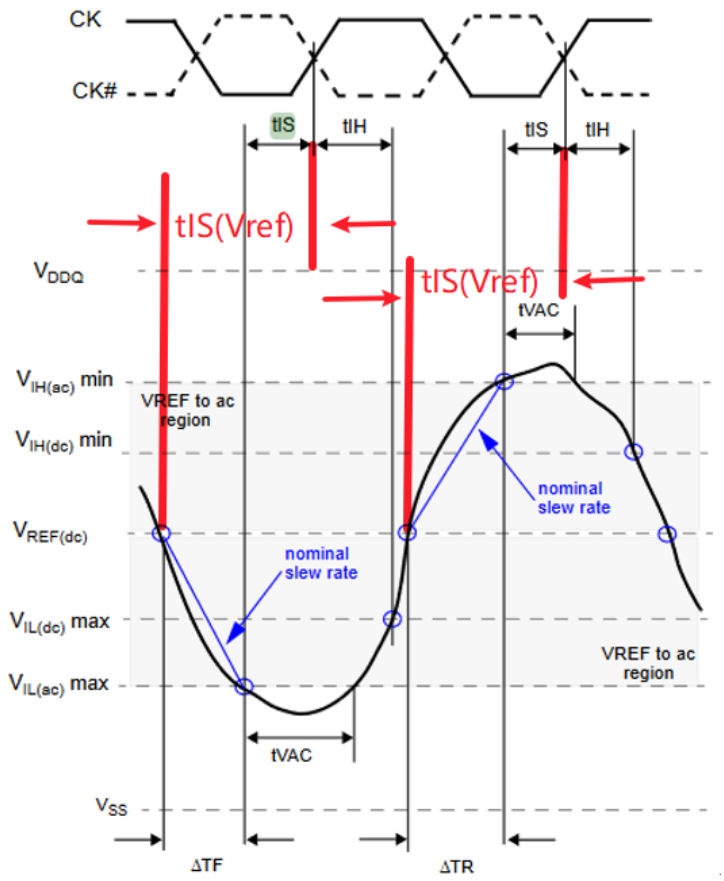


图 13.3-1 tIS(Vref) 的定义

13.3.1 规范说明

表 13.3-1 DDR4 tIS(Vref)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tIS(Vref)	215	-	200	-	180	-	162	-	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	145	-	138	-	130	-			

13.3.2 计算方法

1. 对于上升沿：
   a) 以 VrefCa, VIH.CA(DC), VIH.CA(AC)分别为低、中和高阈值，搜索上升沿；
   b) 取边沿穿越 VIH.CA(AC)和 VIH.CA(DC)阈值两点连线延长线与 VrefCA 的交点的时间点作为 tCrossVref，如果边沿实际穿越 VrefCA 的位置位于 tCrossVref 之后，则取边沿穿越 VrefCA 的时间点为 tCrossVref；
   c) 以 tCrossVIH 开始，向右搜索最近的时钟信号上升沿，如果命令长度为 2T，则再向右搜索一个时钟信号上升沿，上升沿时间点记为 tClock；
   d) 则,tIS(Vref)=tClock – tCrossVref;
   e) 统计所有上升沿的 tIS(Vref)；
2. 对于下降沿
   a) 以 VIL.CA(AC), VIL.CA(DC), VrefCA 分别为低、中和高阈值，搜索下降沿；
   b) 取边沿穿越 VIL.CA(AC)和 VIL.CA(DC)阈值两点连线延长线与 VrefCA 的交点的时间点作为 tCrossVref，如果边沿实际穿越 VrefCA 的位置位于 tCrossVref 之后，则取边沿实际穿越 VrefCA 的时间点为 tCrossVref；
   c) 以 tCrossVIL 开始，向右搜索最近的时钟信号上升沿，如果命令时序模式为 2T，则再向右搜索一个时钟信号上升沿，上升沿时间点记为 tClock；
   d) 则 tIS(Vref)=tClock – tCrossVref;
   e) 统计所有上升沿的 tIS(Vref);
3. 从统计的结果中找出最差的结果。
4. 将测试结果与一致性测试阈值进行比较。

13.3.3 测量结果参考

下图 13.3-2 为可观测的测试结果示例。



图 13.3-2 DDR4 tIS(Vref)测试示例

13.4 tIH(base)

该测试的目的是验证命令或者地址信号相对于 CLK 的保持时间 tIH 是否在 JEDEC 规范规定的基础值标准之内。tIH(base)和前面的 tIS(base)类似，tIH (total hold time) = tIH(base) + ΔtIH，此处不再赘述。

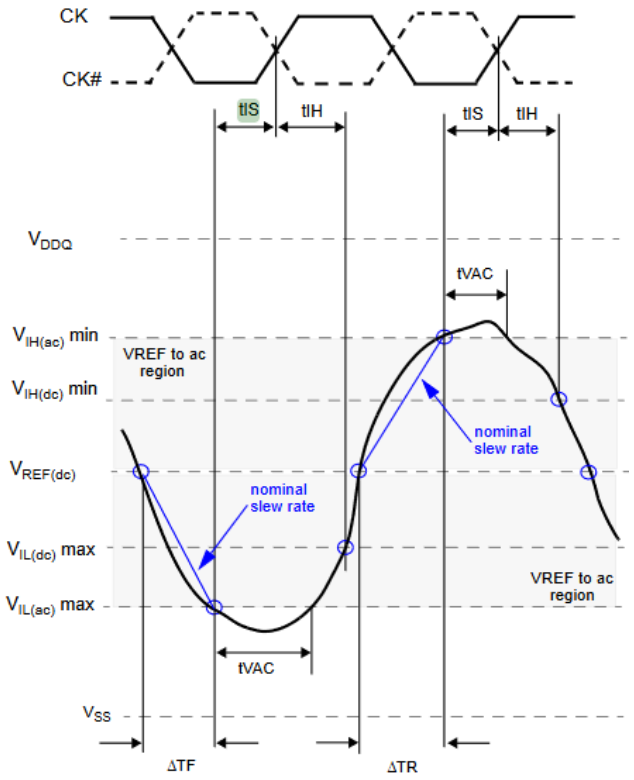


图 13.4-1 tIS 和 tIH 的定义

13.4.1 规范说明

DDR3 中，tIH(base)的限值根据所选择速率的不同而改变。具体请参考 JESD79-3F Table 70, JESD79-3-1A-01 Table 7。

在 DDR4 中ΔtIH 降额值可以参考 JESD79-4D Table 177、Table 178。

DDR4 中 tIH(base)的取值范围如下表所示：

表 13.4-1 DDR4 tIH(base)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tIH(base)	140	-	125	-	105	-	87	-	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	80	-	73	-	65	-			

DDR2 的 tIH(base)的取值范围如下表所示：

表 13.4-2 DDR2 tIH(base)规格要求

参数	DDR2-400		DDR2-533		DDR2-667		单位
tIH(base)	最小值	最大值	最小值	最大值	最小值	最大值	ps
	475	-	375	-	275	-	
	DDR2-800		DDR2-1066				
	最小值	最大值	最小值	最大值			
	250	-	200	-			

13.4.2 计算方法

1. 预置示波器。
2. 在被测命令或地址的上升沿或下降沿触发。
3. 找出被测信号上升沿与 $V_{IH(DC)}$的所有交叉点。
4. 找出被测信号下降沿与 $V_{IL(DC)}$的所有交叉点。
5. 对于找到的所有交叉点，向前搜索时钟与 0V 的最近的交叉点。
6. 取被测信号交叉点与相对于时钟交叉点之间的时间差为 tIH。
7. 找出测量结果中的最小值和最大值。
8. 将测量结果与合规限值进行比较。

13.4.3 测量结果参考

下图 13.4-2 为可观测的测试结果示例。

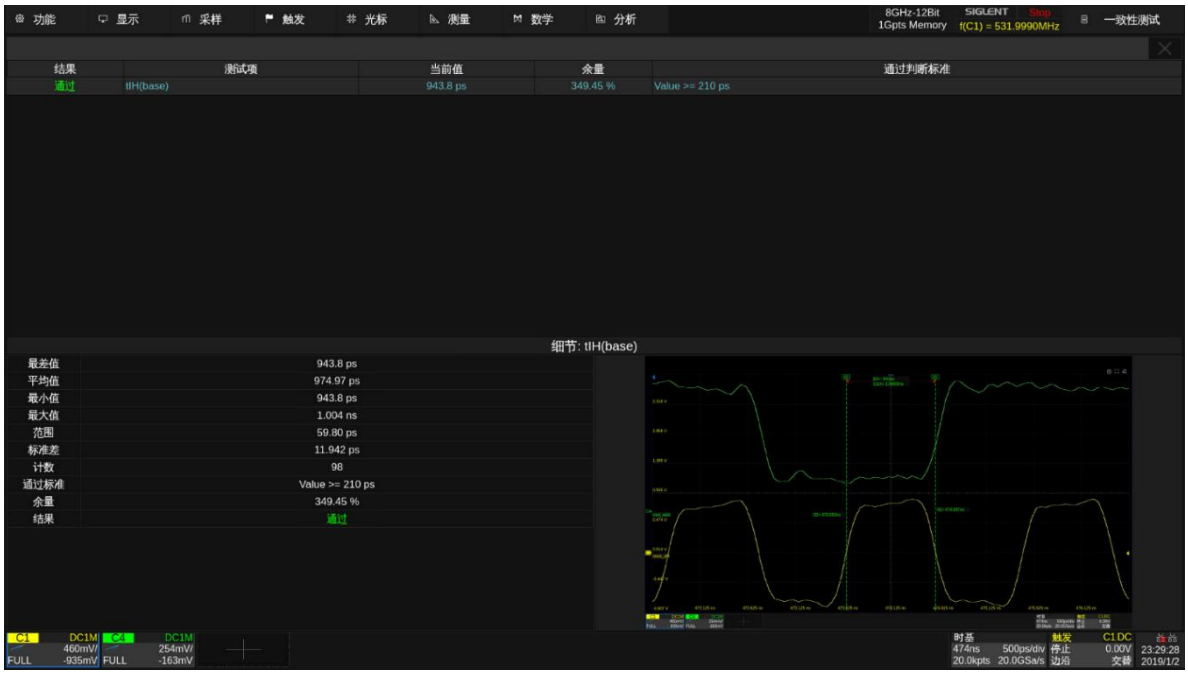


图 13.4-2 DDR3 tIH(base)测试示例

13.5 tIH(derate)

该测试的目的是验证命令或地址信号相对于 CK 的保持时间 tIH 是否在 JEDEC 规范规定降额后的标准之内。tIH(derate)和前面的 11.8 tDH.DQ(derate)类似，此处不再赘述

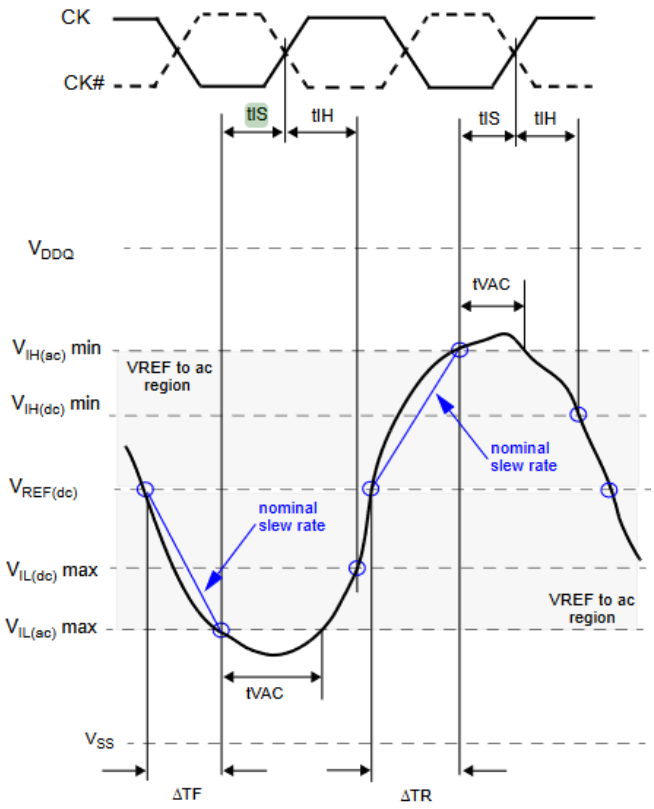


图 13.5-1 tIS 和 tIH 的定义

13.5.1 规范说明

对于 DDR3，tIH(derate)的限值根据 Command/Address/CLk 差分信号压摆率的不同以及 AC 的不同而改变。具体请参考 JESD79-3F Table 71 到 Table 74, JESD79-3-1A-01 Table 8、Table 9、Table 10。对于 DDR2，tIH(derate)的取值范围可参考 DR2.JESD79-2F 规范文档中的 table47、table48，DDR2-1066.JESD208 规范文档中的 table 43。

13.5.2 计算方法

1. 预置示波器。
2. 在被测命令或地址的上升沿或下降沿触发。
3. 找出被测信号上升沿与 $V_{IH(DC)}$的所有交叉点。
4. 找出被测信号下降沿与 $V_{IL(DC)}$的所有交叉点。

5. 对于找到的所有交叉点，向前搜索时钟与 0V 的最近的交叉点。
6. 取被测信号交叉点与相对于时钟交叉点之间的时间差为 tIH。
7. 测量地址、命令和时钟信号的平均压摆率。
8. 根据平均压摆率的值查询降额表决定该测试项的合规限值。
9. 将测量结果与合规限值进行比较。

13.5.3 测量结果参考

下图 13.5-2 为可观测的测试结果示例。



图 13.5-2 DDR3 tIH(derate)测试示例

13.6 tIH(Vref)

该测试项为 DDR4 所特有，该测试项是测量 CA 信号以 Vref 电平为基准相对于 CLK 上升沿的保持时间。该测试项和前面的 tIS(Vref)类似，tIS(Vref)是其建立时间。

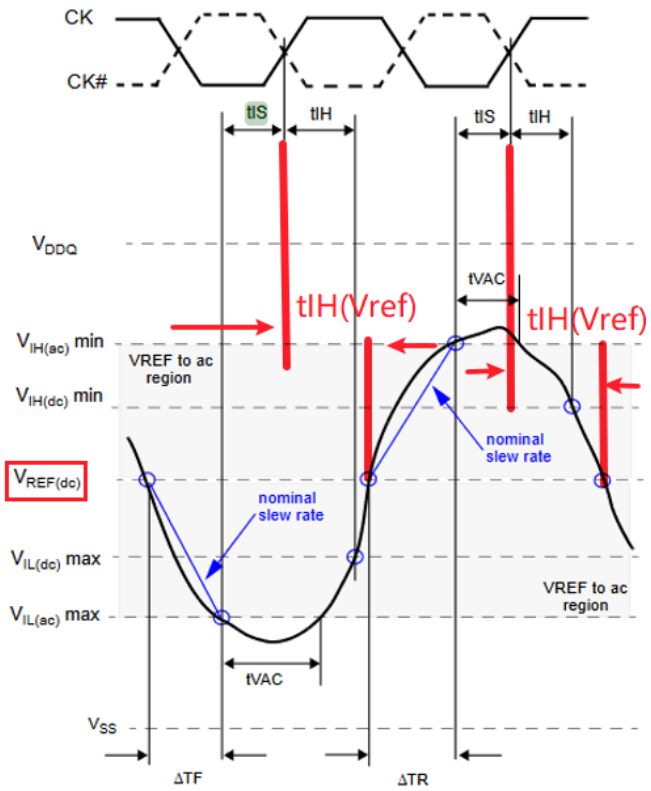


图 13.6-1 DDR4 中 tIH(Vref)的定义

13.6.1 规范说明

表 13.6-1 DDR4 tIH(Vref)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tIH(Vref)	215	-	200	-	180	-	162	-	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	145	-	138	-	130	-			

13.6.2 计算方法

1. 对于上升沿：

   a) 以 VIL.CA(AC), VIL.CA(DC), VrefCA 分别为低、中和高阈值，搜索上升沿；

b) 取边沿穿越 VIL.CA(AC)和 VIL.CA(DC)阈值两点连线延长线与 VrefCA 的交点的时间点记为 tCrossVref，如果边沿实际穿越 VrefCA 的位置位于 tCrossVref 之前，则取边沿实际穿越 VrefCA 的时间点为 tCrossVref；

c) 以 tCrossVIL 开始，向左搜索最近的时钟信号上升沿，记为 tClock；

d) 则 tIH(Vref)=tCrossVref – tClock;

e) 统计所有上升沿的 tIH(Vref)；

2. 对于下降沿：

a) 以 VrefCa, VIH.CA(DC), VIH.CA(AC)分别为低、中和高阈值，搜索下降沿；

b) 取边沿穿越 VIH.CA(AC)和 VIH.CA(DC)阈值两点连线延长线与 VrefCA 的交点的时间点作为 tCrossVref，如果边沿实际穿越 VrefCA 的位置位于 tCrossVref 之前，则取边沿实际穿越 VrefCA 的时间点为 tCrossVref；

c) 以 tCrossVIH 开始，向左搜索最近的时钟信号上升沿，记为 tClock；

d) 则 tIH(Vref)=tCrossVref – tClock;

e) 统计所有下降沿的 tIH(Vref)；

3. 从所有统计的 tIH(Vref)中选择最小值与一致性测试阈值比较。

13.6.3 测量结果参考

下图 13.7-1 为可观测的测试结果示例。



图 13.6-2 DDR4 tIH(Vref)测试示例

13.7 tIPW

该测试项验证命令或者地址信号的输入脉冲宽度是否满足 JEDEC 规范。

13.7.1 规范说明

表 13.7-1 DDR4 tIPW 规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
tIPW	600	-	525	-	460	-	410	-	ps
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	385	-	365	-	340	-			

表 13.7-2 DDR3 tIPW 规格要求

参数	DDR3-800		DDR3-1066		DDR3-1333		单位
tIPW	最小值	最大值	最小值	最大值	最小值	最大值	ps
	900	-	780	-	620	-	
	DDR3-1600		DDR3-1866		DDR3-2133		
	最小值	最大值	最小值	最大值	最小值	最大值	
	560	-	535	-	470	-	

DDR2 tIPW 的最小值为 0.6tCK(avg)，规范中并未明确给出最大值。

13.7.2 计算方法

1. 预置示波器。在被测地址或控制信号的上升沿或下降沿触发。
2. 找出上述脉冲时序中所有被测信号有效的上升沿和下降沿穿过 V_{REF} 的点。
3. tIPW 是指被测信号从一个上升沿/下降沿穿过 V_{REF} 的点开始到下一个下降沿/上升沿穿过 V_{REF} 的点结束的时间。
4. 找出测量结果的最小值和最大值。
5. 将测量结果与合规限值进行比较。

13.7.3 测量结果参考

下图 13.7-1 为可观测的测试结果示例。



图 13.7-1 DDR3 tIPW 测试示例

13.8 tVAC(CA)

该测试项为 DDR3 所特有，该测试的目的是验证命令或地址信号电平高于 $V_{IH(AC)}$的时间以及低于 $V_{IL(AC)}$的时间是否在 JEDEC 规范规定的一致性限制范围内。

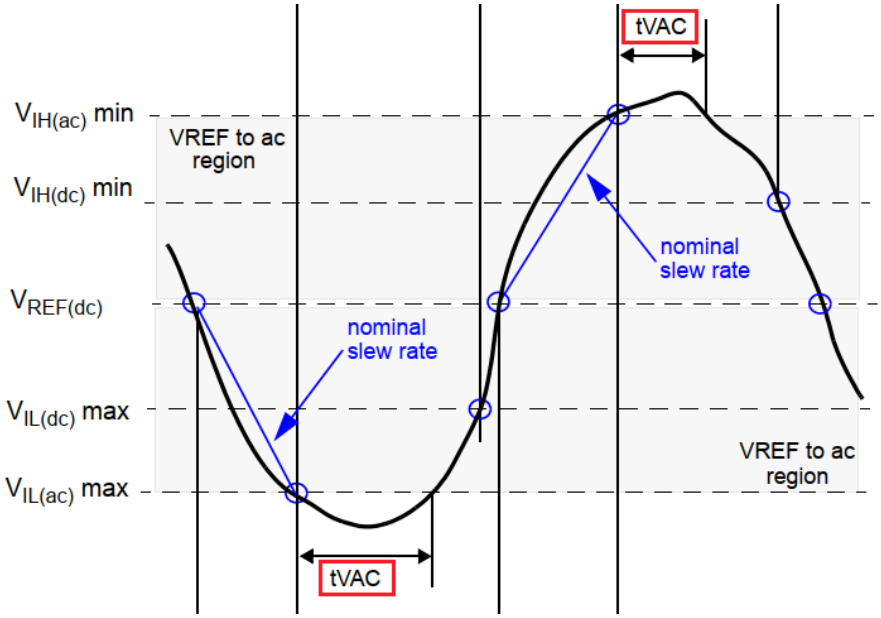


图 13.8-1 tVAC 的定义

13.8.1 规范说明

tVAC 阈值的取值范围根据其 Slew Rate 的不同而改变，且线性插值，DDR3L 也是如此，参见 DDR3.JESD79-3F Table 75，DDR3L.JESD79-3-1A-01 Table 11。

13.8.2 计算方法

1. 预置示波器。
2. 在被测命令/地址/控制信号的上升沿或下降沿触发。
3. 找出被测信号上升沿/下降沿上与 $V_{IL(AC)}$相交的所有交叉点。
4. 找出被测信号上升沿/下降沿上与 $V_{IH(AC)}$相交的所有交叉点。
5. tVAC 是指被测信号上升沿穿过 $V_{IH(AC)}$的交叉点开始，到下降沿穿过 $V_{IH(AC)}$的交叉点结束的时间，或者下降沿穿过 $V_{IL(AC)}$的交叉点开始，到上升沿穿过 $V_{IL(AC)}$的交叉点结束的时间。
6. 找出测量结果的最小值和最大值。
7. 将最大最小值与阈值范围进行比较。

13.8.3 测量结果参考

下图 13.8-2 为可观测的测试结果示例。



图 13.8-2 DDR3 tVAC(CA)测试示例

13.9 VIH.CA(AC)

该测试的目的是验证命令或地址信号的输入交流高电平值是否满足 JESD 的规范值。VIH.CA(AC)的取值范围与 Vref 有关，DDR4 的 Vref 为 0.6V；DDR3 的 Vref 为 0.75V；DDR3L 为 0.675V。DDR2 的 Vref 为 0.9V，VDDQ 为 1.8V，Vpeak 为该信号 Overshoot 和 Undershoot 所允许的最大峰值幅度，一般为 0.5V。

13.9.1 规范说明

DDR4 的 VIH.CA(AC)阈值范围如下表所示：

表 13.9-1 DDR4 VIH.CA(AC)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIH.CA(AC)	0.7	-	0.7	-	0.7	-	0.7	-	V
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.69	-	0.69	-	0.69	-			

DDR3 的 VIH.CA(AC)的阈值范围根据所选择速率的不同以及 AC 的不同而改变，具体请参考 JESD79-3F Table 23，JESD79-3-1A-01 Table 4。DDR2 的 VIH.CA(AC)阈值范围如下表所示：

表 13.9-2 DDR2 VIH.CA(AC)规格要求

参数	DDR2-400/533		DDR2-667/800		DDR2-1066		单位
VIH.CA(AC)	最小值	最大值	最小值	最大值	最小值	最大值	V
	V_{REF}+0.25	V_{DDQ}+V_{peak}	V_{REF}+0.2	V_{DDQ}+V_{peak}	V_{REF}+0.2	-	

13.9.2 计算方法

1. 预置示波器。
2. 在被测信号的上升沿触发。
3. 在整个波形中找出所有有效的正脉冲。有效正脉冲从有效上升沿的 V_{REF} 交叉点开始，到下一个有效下降沿的 V_{REF} 交叉点结束
4. 对于一个有效的正脉冲执行 V_{TOP} 测量，并将 V_{TOP} 测量结果作为 $V_{IH.CA(AC)}$值。
5. 对波形中发现的所有有效正脉冲重复上一步操作。
6. 从测出的 $V_{IH.CA(AC)}$中找出最差的结果。

7. 将最差的结果同合规限值进行比较。

13.9.3 测试结果参考

下图 13.9-1 为可观测的测试结果示例。

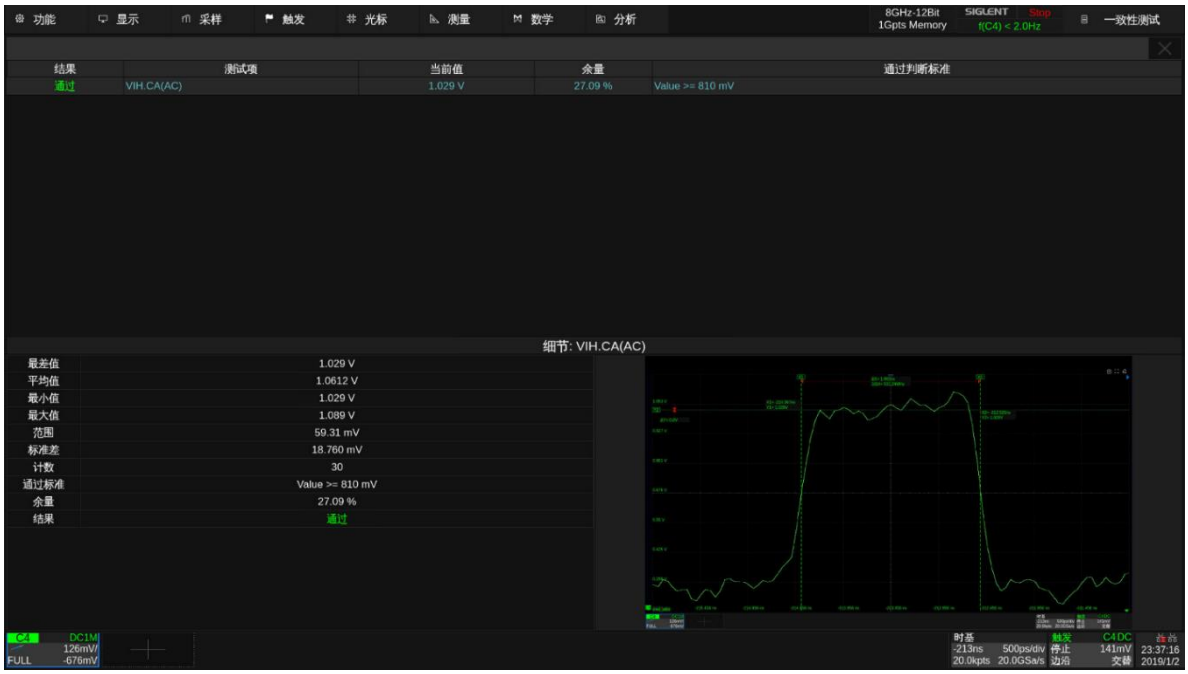


图 13.9-1 DDR3 VIH.CA(AC)测试示例

13.10 VIH.CA(DC)

该测试的目的是验证命令或者地址信号的 $V_{IH.CA(DC)}$值是否在 JEDEC 规范规定的一致性限制范围内。该测试项的阈值和 Vref 有关，DDR4 的 V_{REF} 的值为 0.6V；DDR3 的 V_{REF} 的值设置为 0.75V，DDR3L 为 0.675V。DDR2 的 Vref 的值为 0.9V，VDDQ 为 1.8V。

13.10.1 规范说明

DDR4 的 VIH.CA(DC)阈值范围如下表所示：

表 13.10-1 DDR4 VIH.CA(DC)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIH.CA(DC)	0.675	1.2	0.675	1.2	0.675	1.2	0.675	1.2	V
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.665	1.2	0.665	1.2	0.665	1.2			

DDR3 中，$V_{IH.CA(DC)}$的阈值范围根据所选择速率的不同而改变，具体请参考 JESD79-3F Table 23, JESD79-3-1A-01 Table 4。对于 DDR2 来说，VIH.CA (DC)阈值的最小值为 Vref+0.125V，最大值为 VDDQ+0.3V。

13.10.2 计算方法

1. 预置示波器，在被测信号的上升沿触发。
2. 在整个波形中找出所有有效的正脉冲。有效正脉冲从有效上升沿的 V_{REF} 交叉点开始，到下一个有效下降沿的 V_{REF} 交叉点结束
3. 对于一个有效的正脉冲执行 V_{TOP} 测量，并将 V_{TOP} 测量结果作为 $V_{IH.CA(DC)}$ 值。
4. 对波形中发现的所有有效正脉冲重复上一步。
5. 从测出的 $V_{IH.CA(DC)}$ 中找出最差的结果。
6. 将最差的结果同合规限值进行比较。

13.10.3 测试结果参考

下图 13.10-1 为可观测的测试结果示例。

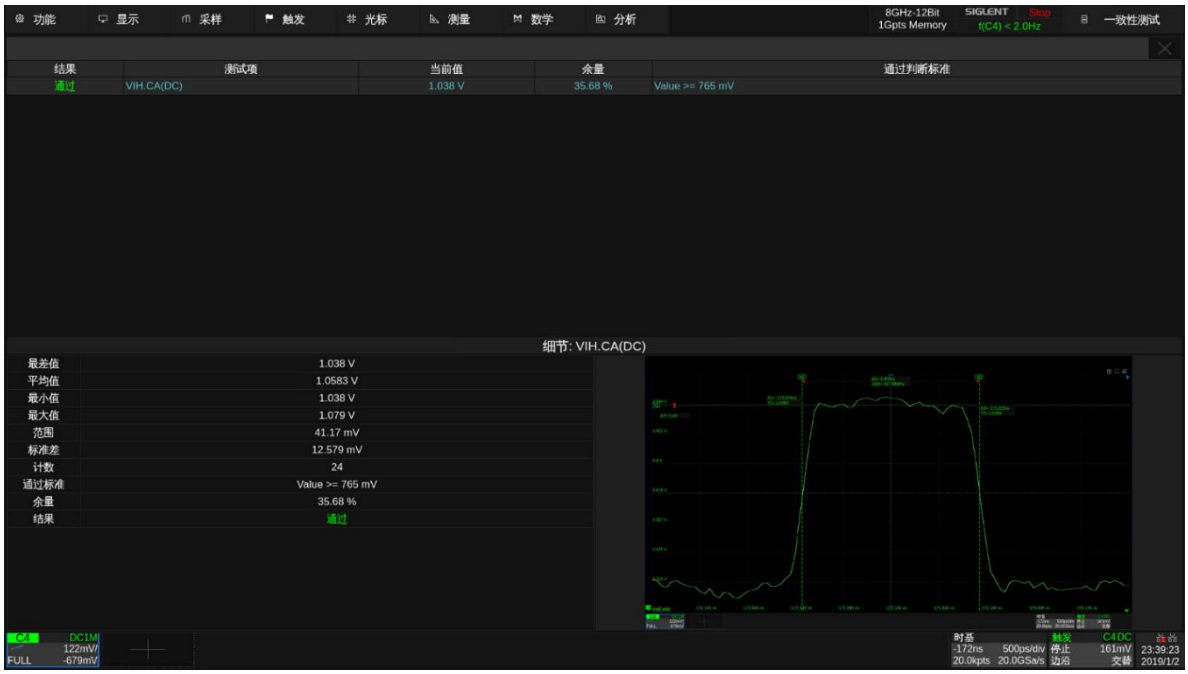


图 13.10-1 DDR3 VIH.CA(DC)测试示例

13.11 VIL.CA(AC)

该测试的目的是验证命令或地址信号的交流输入低电平电压值是否满足 JESD 的规范值。该测试项的取值范围与 Vref 有关，DDR4 的 Vref 为 0.6V；DDR3 的 Vref 为 0.75V；DDR3L 为 0.675V。

DDR2 的 VIL.CA(AC)的取值范围和 VSSQ、Vref、Vpeak 相关，VSSQ 为 0V，Vref 为 0.9V，Vpeak 为 Undershoot 和 Overshoot 所允许的最大值，该值为 0.5V。

13.11.1 规范说明

DDR4 的 VIL.CA(AC)阈值范围如下表所示：

表 13.11-1 DDR4 VIL.CA(AC)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIL.CA(AC)	-	0.5	-	0.5	-	0.5	-	0.5	V
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	-	0.51	-	0.51	-	0.51			

DDR3 中，$V_{IL.CA(AC)}$的范围根据所选择速率的不同以及 AC 的不同而改变，具体请参考 JESD79-3F Table 23，JESD79-3-1A-01 Table 4。

对于 DDR2 来说，其阈值范围如下表所示：

表 13.11-2 DDR2 VIL.CA(AC)规格要求

符号	DDR2-400/533		DDR2-667/800		DDR2-1066		单位
VIL.CA(AC)	最小值	最大值	最小值	最大值	最小值	最大值	V
	V_{SSQ}-V_{peak}	V_{REF}-0.25	V_{SSQ}-V_{peak}	V_{REF}-0.2	-	V_{REF}-0.2	

13.11.2 计算方法

1. 预置示波器。
2. 在被测时钟信号的下降沿触发。
3. 在整个波形中找出所有有效的负脉冲。有效负脉冲从有效下降沿的 V_{REF} 交叉点开始，到下一个有效上升沿的 V_{REF} 交叉点结束。
4. 对于一个有效的负脉冲执行 V_{BASE} 测量，并将 V_{BASE} 测量结果作为 $V_{IL.CA(AC)}$值。

5. 对波形中发现的所有有效负脉冲重复上一步。
6. 从测出的 $V_{IL.CA(AC)}$中找出最差的结果。
7. 将最差的结果同合规限值进行比较。

13.11.3 测试结果参考

下图 13.11-1 为可观测的测试结果示例。

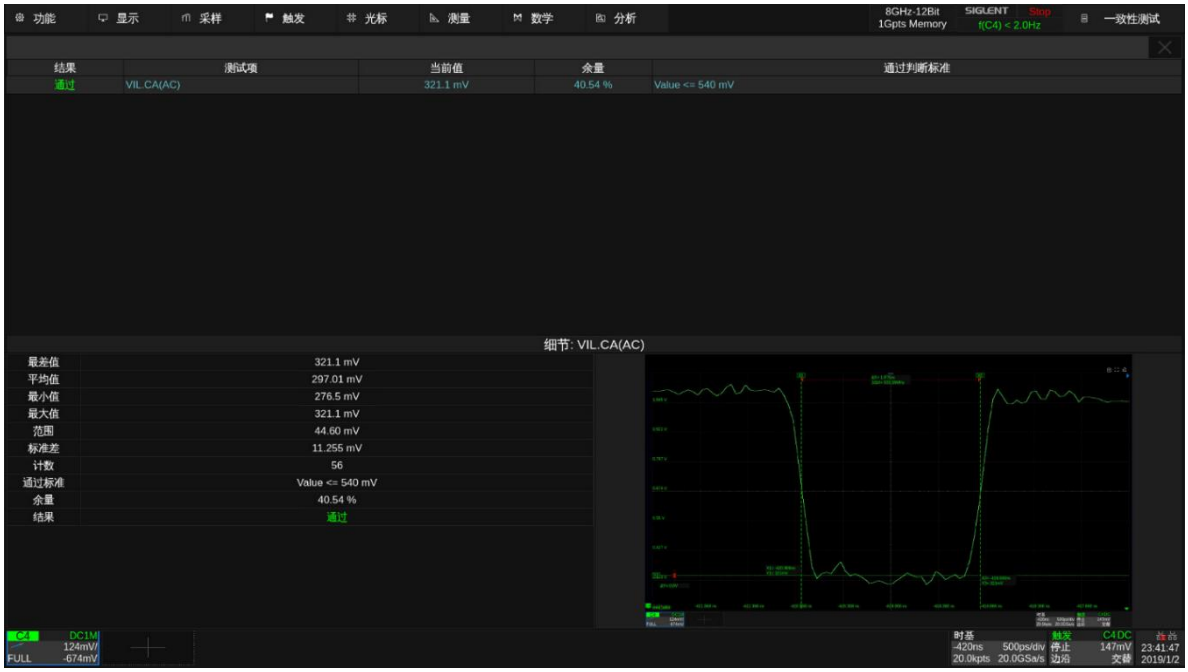


图 13.11-1 DDR3 VIL.CA(AC)测试示例

13.12 VIL.CA(DC)

该测试的目的是验证命令或地址信号的直流输入低电平电压值是否满足 JEDEC 规范。该测试项的阈值和 Vref 有关，DDR4 的 V_{REF} 的值为 0.6V；DDR3 的 V_{REF} 的值为 0.75V，DDR3L 为 0.675V。DDR2 的 V_{REF} 的值为 0.9V。

13.12.1 规范说明

DDR4 的 VIL.CA(DC)阈值范围如下表所示：

表 13.12-1 DDR4 VIL.CA(DC)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
VIL.CA(DC)	0	0.525	0	0.525	0	0.525	0	0.525	V
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0	0.535	0	0.535	0	0.535			

对于 DDR3 来说，$V_{IL.CA(DC)}$ 的阈值范围根据所选择速率的不同而改变，具体请参考 JESD79-3F Table 23, JESD79-3-1A-01 Table 4。

DDR2 的 VIL.CA(DC)阈值的最小值为-0.3V，最大值为 Vref-0.125V。

13.12.2 计算方法

1. 预置示波器。
2. 在被测时钟信号的下降沿触发。
3. 在整个波形中找出所有有效的负脉冲。有效负脉冲从有效下降沿的 V_{REF} 交叉点开始，到下一个有效上升沿的 V_{REF} 交叉点结束。
4. 对于一个有效的负脉冲执行 V_{BASE} 测量，并将 V_{BASE} 测量结果作为 $V_{IL.CA(DC)}$ 值。
5. 对波形中发现的所有有效负脉冲重复上一步。
6. 从测得的 $V_{IL.CA(DC)}$ 中找出最差的结果，并与合规限值进行比较

13.12.3 测试结果参考

下图 13.12-1 为可观测的测试结果示例。

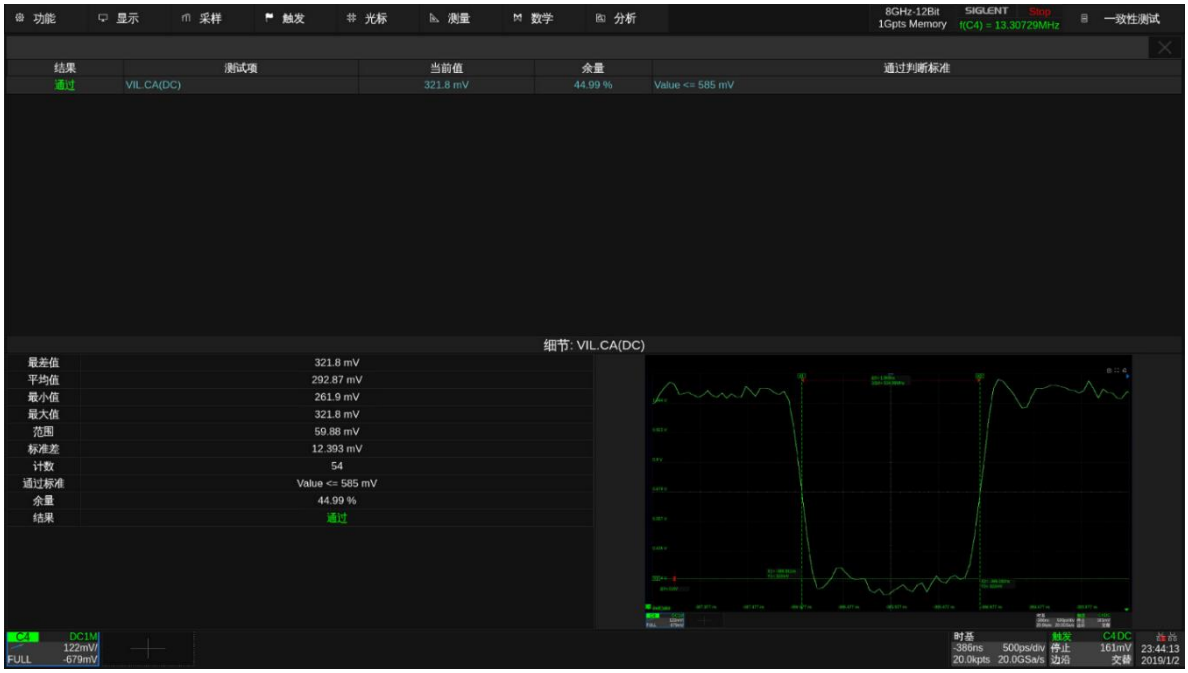


图 13.12-1 DDR3 VIL.CA(DC)测试示例

13.13 压摆率(Slew Rate)(CA)

信号的建立和保持时间的压摆率(slew rate)主要针对 Address/Command/Data 这些单端信号，且 DDR3 的 JESD 规范并未给出判断标准。在 DDR3 自动化测量中，CA 的 setup time 或 hold time 的 slew rate 测量仅作为参考，没有判断标准。在 DDR2 中只给出了建立时间的压摆率的取值范围：value>=1V/ns，CA 信号的保持时间的压摆率测量仅作为参考，没有判断标准。

13.13.1 计算方法(SlewSR / SlewSF / SlewHR / SlewHF)

标准上分为了标称压摆率和切线压摆率，对于下图中的建立/保持时序的压摆率，当波形早于标称压摆率时，使用标称压摆率作为补偿值的选择依据，否则使用切线压摆率作为依据。测试时，对所有有效的边沿，取其标称压摆率作为测量值，统计所有测量值与用户定义的阈值进行比对。

建立时间（tIS）的压摆率定义：

- 上升信号：从上升沿穿过 VREF(dc)到第一次穿过 VIH(ac)min 的斜率。
- 下降信号：从下降沿穿过 VREF(dc)到第一次穿过 VIL(ac)max 的斜率。

保持时间（tIH）的压摆率定义：

- 上升信号：从最后一次穿过 VIL(dc)max 到上升沿穿过 VREF(dc)的斜率。
- 下降信号：从最后一次穿过 VIH(dc)min 到下降沿穿过 VREF(dc)的斜率。

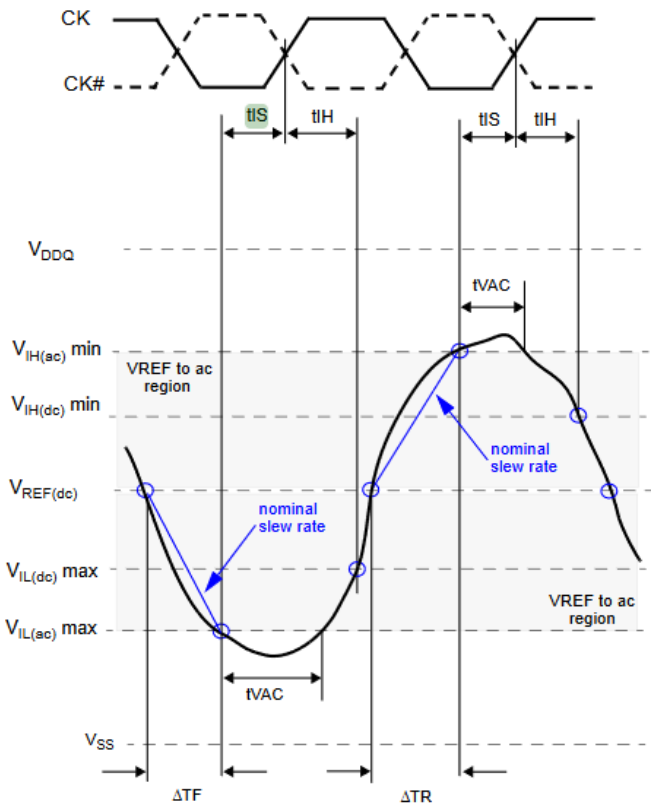


图 13.13-1 标称压摆率

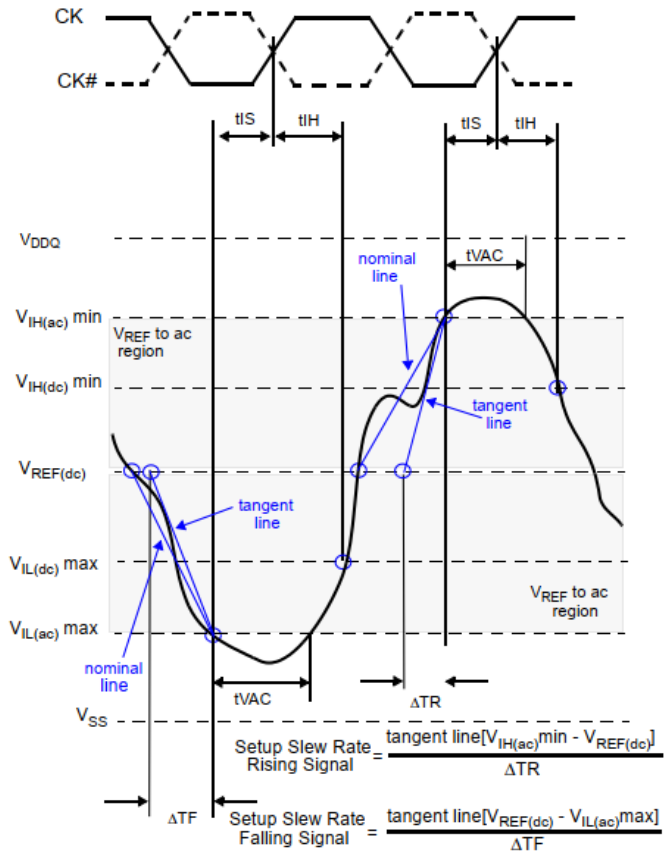


图 13.13-2 切线压摆率

13.13.2 测试结果参考

下图 13.13-3 为可观测的测试结果示例。

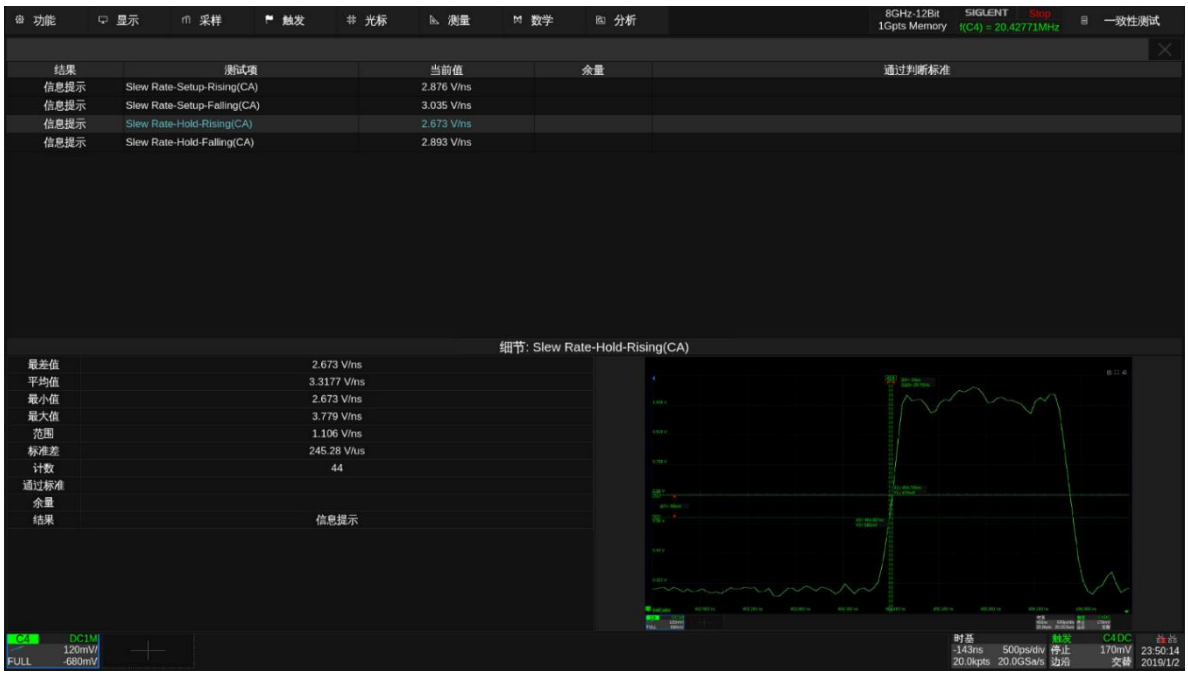


图 13.13-3 DDR3 Slew rate Setup/Hold-Rising/Falling(CA)测试示例

13.14 Overshoot 和 Overshoot Area(CA)

过冲测试可分为两个子测试：过冲幅度和过冲面积测试。过冲测试的目的是从获取的波形区域验证测试信号的过冲值（过冲幅度和过冲面积）是否满足 JESD 规范中规定的一致性限值。过冲面积的计算基于过冲宽度和过冲幅度。过冲区域应小于或等于 JESD 规范中规定的一致性限制。

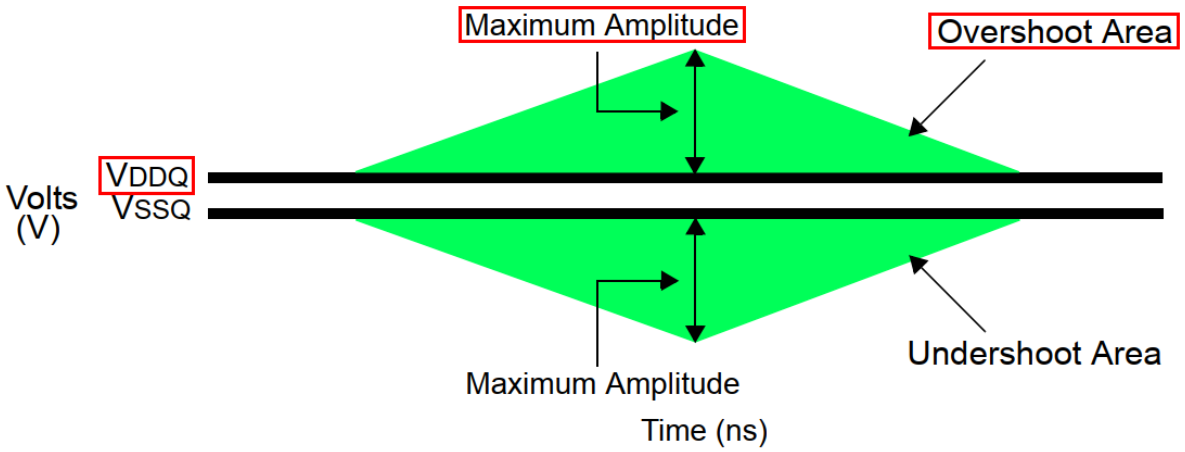


图 13.14-1 DDR2/3 CA 过冲幅度和过冲面积的定义

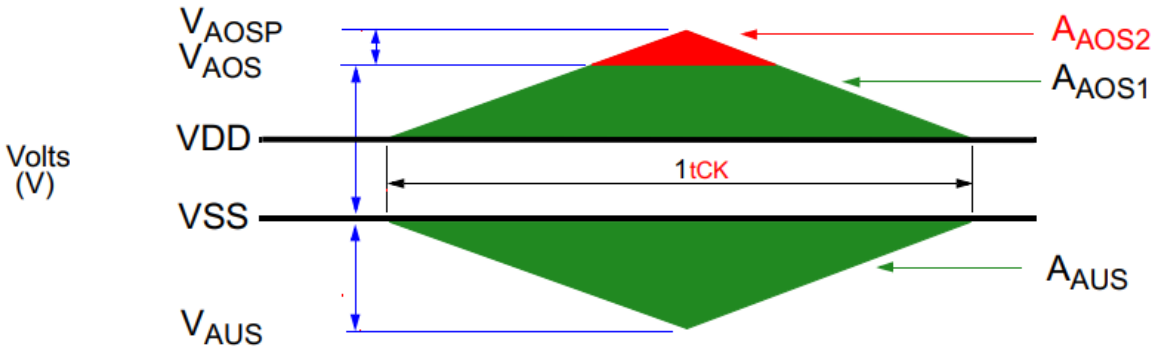


图 13.14-2 DDR4 CA 过冲幅度和过冲面积的定义

DDR4 自动化测试中，命令或地址信号的 Overshoot 定义为超过 VDD(1.2V)的部分，其最大不能超过 VDD(1.2V) 0.3V。Overshoot Area 分为两部分，Overshoot Area1 是在一个 tCK 内，介于 VDDQ(1.2V)和 V_{AOS}(1.44V)之间的部分的面积；Overshoot Area2 是在一个 tCK 内超过 V_{AOS}(1.44V)的部分的面积。DDR4 对这两部分的过冲面积都有严格的要求，门限取值范围如下表所示。Undershoot 和 Overshoot 是针对整个传输的波形来测试的，即使不是有效数据位。Undershoot Area 和 Overshoot Area 是针对单个 tCK 内的面积。这里的 1tCK 是以 CLK 上升沿为中心。

13.14.1 规范说明

表 13.14-1 DDR4 CA 过冲/下冲/下冲面积/过冲面积的规格要求

Parameter	Symbol	DDR4-1600	DDR4-1866	DDR4-2133	DDR4-2400	DDR4-2666	DDR4-2933	DDR4-3200	unit
Maximum peak amplitude above V_{AOS}	V_{AOSP}	0.06							V
Upper boundary of overshoot area A_{AOS1}	V_{AOS}	VDD + 0.24							V
Maximum peak amplitude allowed for undershoot	V_{AUS}	0.3							V
Maximum overshoot area per 1 tCK above VAOS	A_{AOS2}	0.0083	0.0071	0.0062	0.0055	0.0055			V-ns
Maximum overshoot area per 1 tCK between VDD and V_{AOS}	A_{AOS1}	0.255	0.2185	0.1914	0.1699	0.1699			V-ns
Maximum undershoot area per 1 tCK below VSS	A_{AUS}	0.2644	0.2265	0.1984	0.1762	0.1762			V-ns

表 13.14-2 DDR3 CA 过冲幅度和过冲面积规格要求

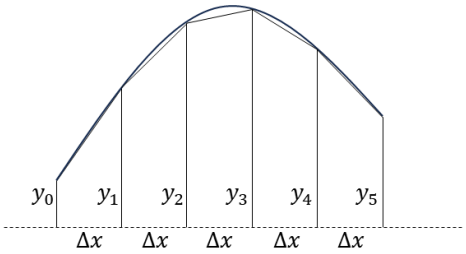
	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Overshoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Overshoot Area	0.67V-ns	0.5 V-ns	0.4 V-ns	0.33 V-ns	0.28 V-ns	0.25 V-ns

表 13.14-3 DDR2 CA 过冲幅度和过冲面积规格要求

参数	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Overshoot	0.5V	0.5V	0.5V	0.5V	0.5V
Overshoot Area	1.33V-ns	1V-ns	0.8V-ns	0.66V-ns	0.5V-ns

13.14.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找过冲区。过冲区从 V_{DDQ}（或 V_{DDCA}）上升交叉点开始，到 V_{DDQ}（或 V_{DDCA}）下降交叉点结束。
2. 在过冲区域内，执行以下步骤：
   a) 通过以下步骤评估过冲幅度：
      i. 使用 T_{MAX} 和 V_{MAX} 获取波形过冲区最大电压。
      ii. 计算：过冲幅度 $= V_{MAX} - V_{DDQ}$（或 V_{DDCA}）。
   b) 评估低于 V_{DDQ}（或 V_{DDCA}）的区域 =(过冲区域结束 - 过冲区域开始) * V_{DDQ}（或 V_{DDCA}）。
   c) 采用梯形法计算 0 V 以上的总面积，如下图所示：



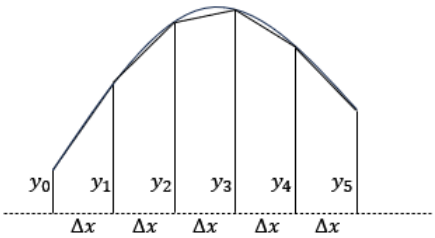
$$\text{Area} \approx \Delta x\left(\frac{y_0}{2} + y_1 + y_2 + y_3 + \cdots + \frac{y_n}{2}\right)$$

图 13.14-3 过冲面积计算方式

   d) 计算 V_{DDQ}（或 V_{DDCA}）以上的面积 =0 V 以上的总面积 - V_{DDQ}（或 V_{DDCA}）以下的面积。
   e) 将计算结果存储，供以后的最坏情况查找过程使用。
3. 对获取的波形中发现的其余过冲区重复上一步。
4. 从存储结果中找出下面最差的结果。
5. 将测试结果与符合性测试限值进行比较。

对于 DDR4 来说，计算方法如下：

1. 在整个波形时序内搜索 DQ 信号高于 VDDQ(1.2V)的部分，选出最高的作为 Overshoot 测试值，同样的，在整个时序内找出低于 VSSQ(0V)的部分，选出最低的作为 Undershoot。无则为 0。其实就是找 Vmax 和 Vmin，看这两个值是否有超过 1.2V 和低于 0V。
2. 搜索有效时序；
3. 对于每一个有效时序，以 CLK 上升沿为中心选取 1tCK，执行下列的步骤：
   a) 在这 1tCK 内，搜索 CA 信号高于阈值 VDD 的部分，得到该部分的起始时间点和结束时间点，按下述方法计算这两个时间点之间的面积 Area(VDD)：
   b) 同样在 1tCK 内搜索高于 VAOS 的部分，计算出其面积 Area(VAOS)作为 Overshoot Area2。



$$\text{Area} \approx \Delta x \left(\frac{y_0}{2} + y_1 + y_2 + y_3 + \cdots + \frac{y_n}{2}\right)$$

   c) 用同一个 tCK 内的 Area(VDD) - Area(VAOS)得到 Overshoot Area1
   d) 继续向右搜索 CA 信号高于阈值的部分，计算出 Overshoot Area1 和 Area2。
   e) 如果 1tCK 内 CA 没有高于阈值的部分，则该 1tCK 的结果记为 0；
   f) 统计所有读写时序内的过冲面积，选出最大值。
   g) 下冲面积的测试方式类似，此处不再赘述。
   h) 将最大值与阈值进行比较。

13.14.3 测试结果参考

下图 13.14-4 为可观测的测试结果示例。

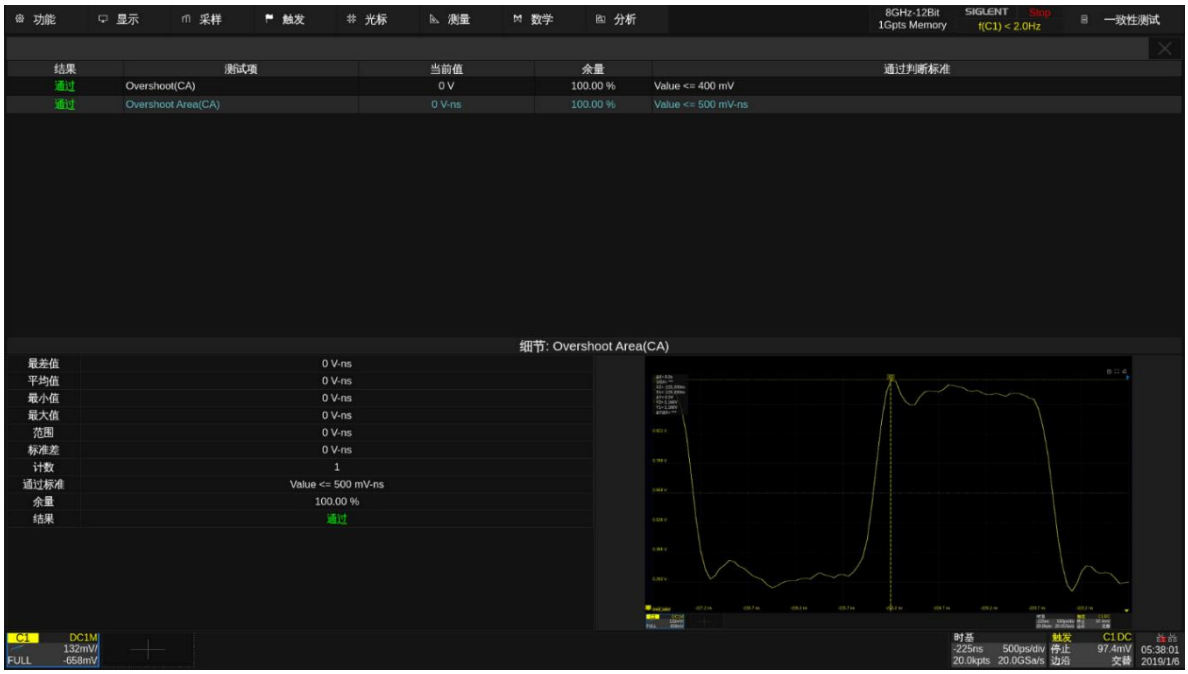


图 13.14-4 DDR3 Overshoot(CA)和 Overshoot Area(CA)测试示例

注：若测试的过冲幅度和过冲面积均为 0，表明被测信号幅度没有超过 VDDQ，此为正常现象。

13.15 Undershoot 和 Undershoot Area(CA)

下冲测试可分为两个子测试：下冲幅度和下冲面积测试。下冲测试的目的是从获取的波形区域验证测试信号的下冲值（下冲幅度和下冲面积）是否满足 JESD 规范中规定的一致性限值。下冲面积的计算基于下冲宽度和下冲幅度。下冲区域应小于或等于 JESD 规范中规定的一致性限制。

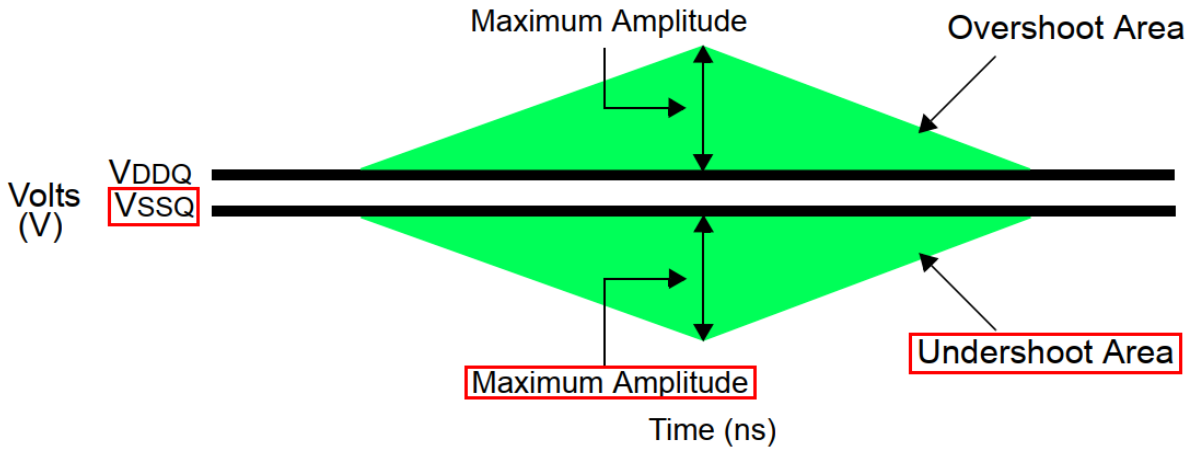


图 13.15-1 DDR2/3 CA 下冲幅度和下冲面积的定义

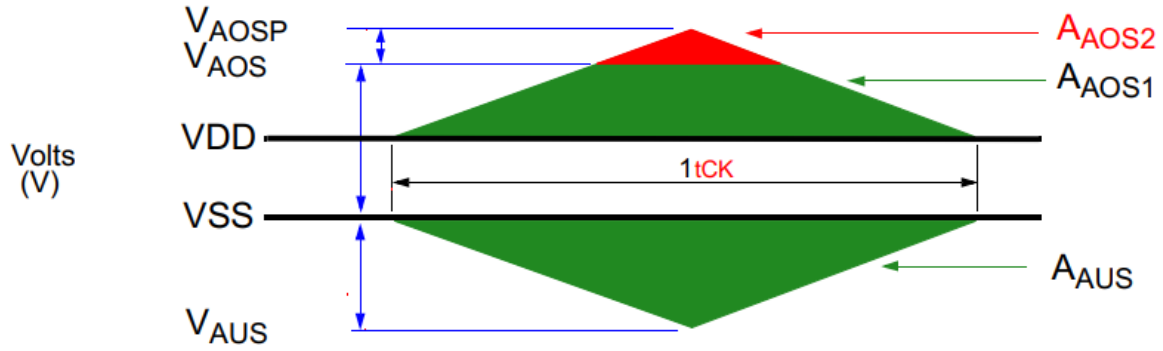


图 13.15-2 DDR4 CA 下冲幅度和下冲面积的定义

DDR4 自动化测试中，命令或地址信号的 Undershoot 定义为低于 VSS(0V)的部分。Undershoot Area 为在一个 tCK 内低于 VSS(0V)的部分的面积。CA 的 Undershoot 只有一个。门限取值范围如上表 13.14-1 所示。Undershoot 和 Overshoot 是针对整个传输的波形来测试的，即使不是有效数据位。Undershoot Area 和 Overshoot Area 是针对单个 tCK 内有效数据的面积。这里的 1tCK 是以 CLK 上升沿为中心。

13.15.1 规范说明

表 13.15-1 DDR3 CA 下冲幅度和下冲面积规格要求

	规格					
参数	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133
Undershoot	0.4V	0.4V	0.4V	0.4V	0.4V	0.4V
Undershoot Area	0.67V-ns	0.5V-ns	0.4V-ns	0.33V-ns	0.28V-ns	0.25V-ns

表 13.15-2 DDR2 CA 下冲幅度和下冲面积规格要求

参数	规格				
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	DDR2-1066
Undershoot	0.5V	0.5V	0.5V	0.5V	0.5V
Undershoot Area	1.33V-ns	1V-ns	0.8V-ns	0.66V-ns	0.5V-ns

13.15.2 计算方法

1. 采样/获取信号数据，在获取的波形中查找下冲区。
2. 在下冲区域内，执行以下步骤：
   a) 通过以下步骤评估下冲幅度：
      i. 使用 T_{MIN} 和 V_{MIN} 获取波形下冲区最大电压。
      ii. 计算：下冲幅度 $= 0 - V_{MIN}$。
   b) 通过梯形法面积计算，评估 0 V 以下的总面积（参考图 13.14-3）。
   c) 为以后的最坏情况查找过程存储计算结果。
3. 对获取的波形中发现的其余下冲区域重复上一步。
4. 从存储结果中找出下面最差的结果。
5. 将测试结果与符合性测试限值进行比较。

13.15.3 测试结果参考

下图 13.15-3 为可观测的测试结果示例。



图 13.15-3 DDR3 Undershoot(CA)和 Undershoot Area(CA)测试示例

注：若测试的下冲幅度和下冲面积均为 0，表明被测信号幅度没有超过 VSSQ，此为正常现象。

13.16 Vref.CA(DC)

该项测试主要验证输入命令或地址信号的参考电压是否满足测试规范。Vref.CA(DC)测试项测量 VREFCA 引脚持续时间不少于 1s 的波形平均值。

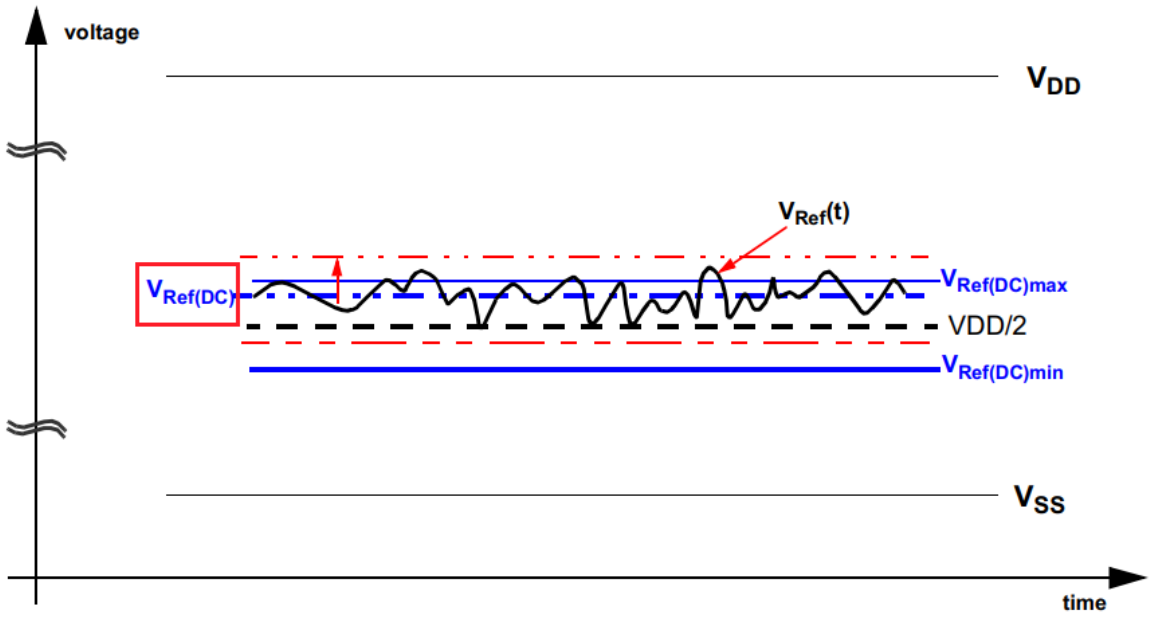


图 13.16-1 DDR4 Vref.CA(DC)的定义

13.16.1 规范说明

表 13.16-1 DDR4 Vref.CA(DC)规格要求

	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		
参数	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	Units
Vref.CA(DC)	0.588	0.612	0.588	0.612	0.588	0.612	0.588	0.612	V
	DDR4-2666		DDR4-2933		DDR4-3200				
	MIN	MAX	MIN	MAX	MIN	MAX			
	0.588	0.612	0.588	0.612	0.588	0.612			

13.16.2 计算方法

1. 预置示波器，使 Vref.CA 的波形占满屏幕至少三格。
2. 测试波形的 Vmean 值，取其平均值作为最终的测量结果。
3. 将结果与一致性测试规范阈值比较。

13.16.3 测试结果参考

下图 13.16-2 为可观测的测试结果示例。



图 13.16-2 DDR4 Vref.CA(DC)测试示例

13.17 Vref.CA(AC)

该项测试为测量 Vref.CA 波形的最大值和最小值是否满足一致性测试规范。Vref.CA(AC)测试值不能超过 Vref.CA(DC)±1%VDD，即 Vref.CA(DC)±12mV。

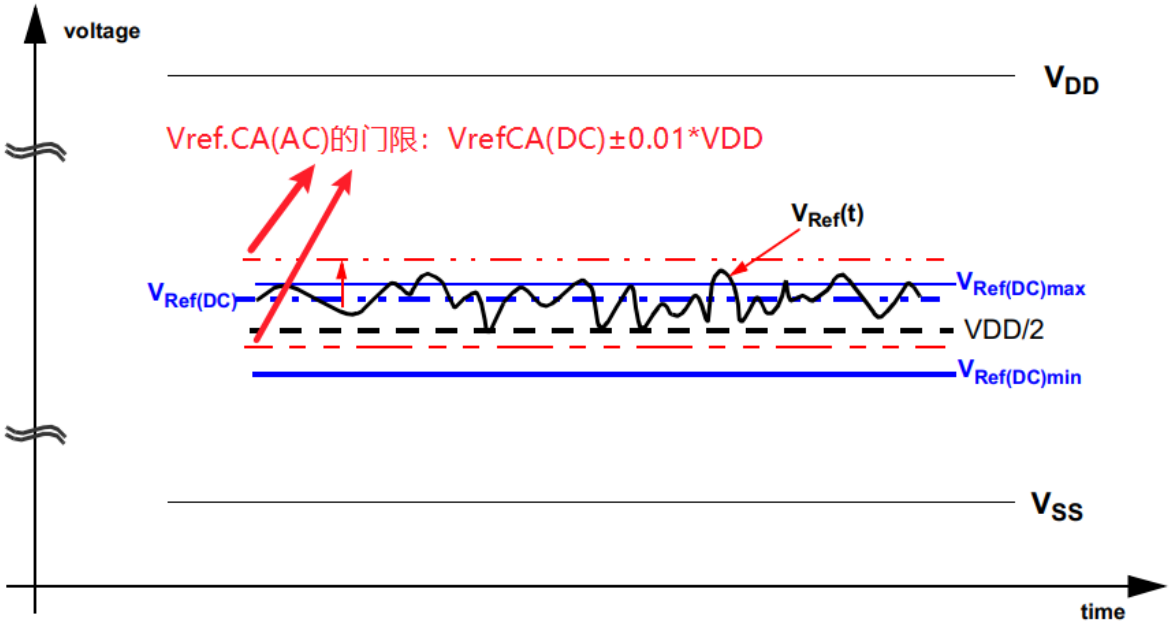


图 13.17-1 DDR4 Vref.CA(AC)的定义

13.17.1 规范说明

表 13.17-1 DDR4 Vref.CA(AC)规格要求

	DDR4-1600/1866/2133/2400/2666/2933/3200		
参数	MIN	MAX	Units
Vref.CA(AC)	Vref.CA(DC)-1%VDD	Vref.CA(DC)+1%VDD	V

13.17.1 计算方法

1. 预置示波器，使 Vref.CA 的波形占满屏幕至少三格。
2. 测试波形的 Vmin 和 Vmax 值。
3. 将结果与一致性测试规范阈值比较。

13.17.2 测试结果参考

下图 13.17-2 为可观测的测试结果示例。

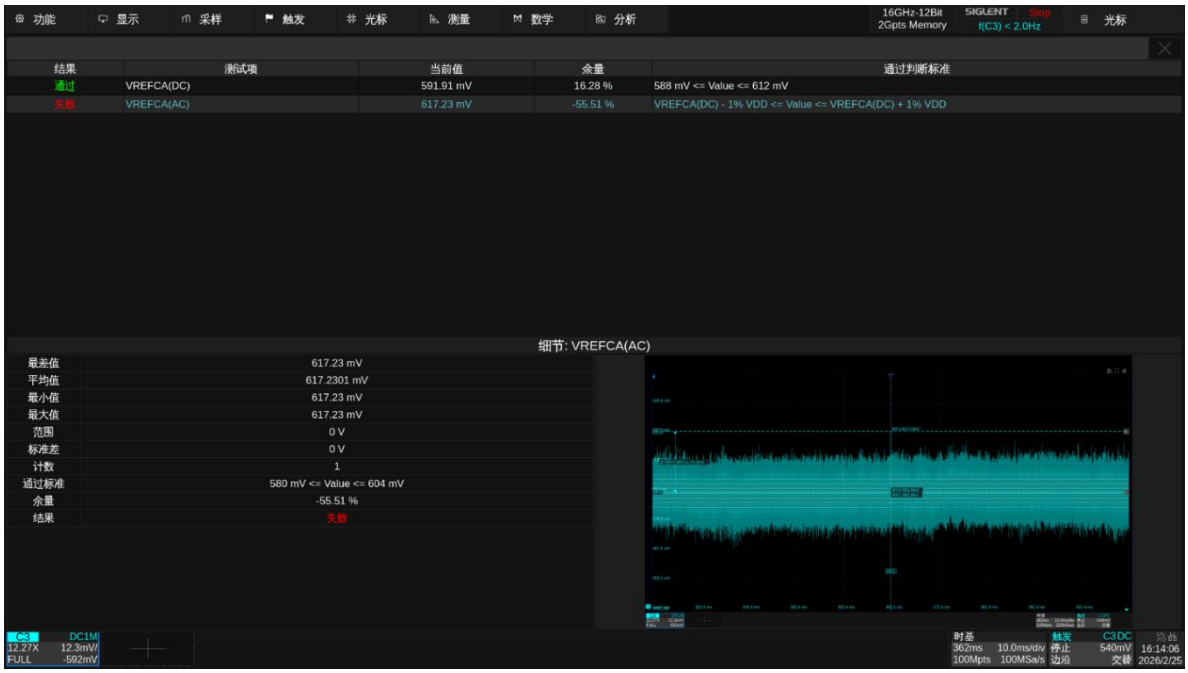


图 13.17-2 DDR4 Vref.CA(AC)测试示例

关于鼎阳

鼎阳科技（SIGLENT）是通用电子测试测量仪器领域的行业领军企业，A 股上市公司。

2002 年，鼎阳科技创始人开始专注于示波器研发，2005 年成功研制出鼎阳第一款数字示波器。历经多年发展，鼎阳产品已扩展到数字示波器、手持示波表、频谱分析仪、函数/任意波形发生器、矢量网络分析仪、射频/微波信号源、台式万用表、直流电源、电子负载、精密源表等基础测试测量仪器产品，是全球极少数能够同时研发、生产、销售数字示波器、信号发生器、频谱分析仪和矢量网络分析仪四大通用电子测试测量仪器主力产品的厂家之一，国家重点“小巨人”企业。同时也是国内主要竞争对手中极少数同时拥有这四大主力产品并且四大主力产品全线进入高端领域的厂家。公司总部位于深圳，在马来西亚槟城州设有生产基地，在美国克利夫兰、德国奥格斯堡、日本东京成立了子公司，在成都成立了分公司，产品远销全球 80 多个国家和地区，SIGLENT 已经成为全球知名的测试测量仪器品牌。

联系我们

深圳市鼎阳科技股份有限公司

全国免费服务热线：400-878-0807

网址：www.siglent.com

声明

SIGLENT 鼎阳 是深圳市鼎阳科技股份有限公司的注册商标，事先未经过允许，不得以任何形式或通过任何方式复制本手册中的任何内容。本资料中的信息代替原先的此前所有版本。技术数据如有变更，恕不另行通告。

技术许可

对于本文档中描述的硬件和软件，仅在得到许可的情况下才会提供，并且只能根据许可进行使用或复制。